Obsah

1. Osobní počítače firmy IBM 1

1.1 Stručné charakteristiky jednotlivých modelů PC 1

2. Architektura počítačů standardu IBM PC 2

3. Mikroprocesory v osobních počítačích standardu PC XT/AT 3

3.1 Mikroprocesor 8088 3
3.2 Mikroprocesor 80286 4
3.3 Mikroprocesor 80386 5
3.4 Mikroprocesor 80386SX 5
3.5 Mikroprocesor 80486 5
3.6 Instrukční soubor mikroprocesoru 8088, 80286 5

4. Sběrnice osobních počítačů 6

4.1 Sběrnice modelu PC XT 6
4.2 Sběrnice ISA 7
4.3 Sběrnice nejnovějších modelů osobních počítačů 7

5. Základní programovací techniky vstupu a výstupu dat 8

5.1 Techniky řízení vstupu dat 8
5.2 Rozbor dosažitelné rychlosti 9
5.3 Uspořádání k dosažení nejvyšší rychlosti 9

6. Časování sběrnice 103

6.1 Časování sběrnice modelu XT 103
6.2 Časování sběrnice ISA 108

7. Paměťový podsystém mikropočítačů PC XT/AT 119

7.1 Návrh bloku relokovatelné uživatelské paměti 126

8. Adresace V/V zařízení 129

8.1 V/V adresový dekodér - návrh 130
8.2 Generování dodatečných Wait-taktů vnucených adaptérem 135

9. Přímý přístup do paměti 139

9.1 Průběh přenosu dat při DMA 144
9.2 Inicializace řadiče DMA 146
9.3 Návrh obvodu pro připojení žádosti o DMA na sběrnici . . . 150

10. Přerušovací podsystém 153

10.1 Řadič přerušení 159
10.2 Posloupnost činností při obsluze přerušení 160
10.3 Inicializace přerušovacího podsystému 162
10.4 Obvodové řešení žádosti o přerušení z adaptéru 168

11. Obrazový podsystém 169

11.1 Vývoj obrazových podsystémů PC 170
11.2 Obrazový adaptér EGA/VGA 174

12. Standardní rozhraní 181

12.1 Standardní rozhraní RS 232 C 182
12.2 Rozhraní CENTRONICS 195
12.3 Rozhraní pro klávesnici 199
12.4 Rozhraní pro disketu 201
12.5 Rozhraní pro disk 208
12.6 Rozhraní pro monitor 222
12.7 Síťové rozhraní 224
12.8 Rozhraní pro hry 228
12.9 Standardní rozhraní IEEE 488 pro připojování měřicích zařízení 230

13. Konstrukce adaptéru nestandardních vstupů a výstupů 237

13.1 Mechanické vlastnosti adaptéru 237
13.2 Příklad sběrnicového rozhraní uživatelského adaptéru 238

14. Literatura 241

15. Rejstřík 243

Miroslav Šnorek

Standardní rozhraní PC

© Miroslav Šnorek, 1992

Miroslav Šnorek

Standardní rozhraní PC

V knize použité názvy programových produktů, firem apod. mohou být ochrannými známkami nebo registrovanými ochrannými známkami příslušných vlastníků.

ISBN 80-85424-80-0

1. Osobní počítače firmy IBM

Historie vzniku osobního počítače firmy IBM byla velmi úspěšná. V červenci roku 1980 byla pověřena jeho vývojem skupina 12 vybraných odborníků, kteří téměř přesně do roka a do dne - tedy v termínu - úkol splnili a 12. srpna 1981 byl počítač PC veřejně prezentován. Na trhu byl očekáván se zájmem. Snad nikdo však nepředpokládal, jakého úspěchu tímto svým výrobkem IBM dosáhne. Do konce roku 1983 to bylo 400 000 prodaných počítačů jen v USA a v dalších letech (1985, 86) získala firma přes 55 % trhu osobních počítačů.

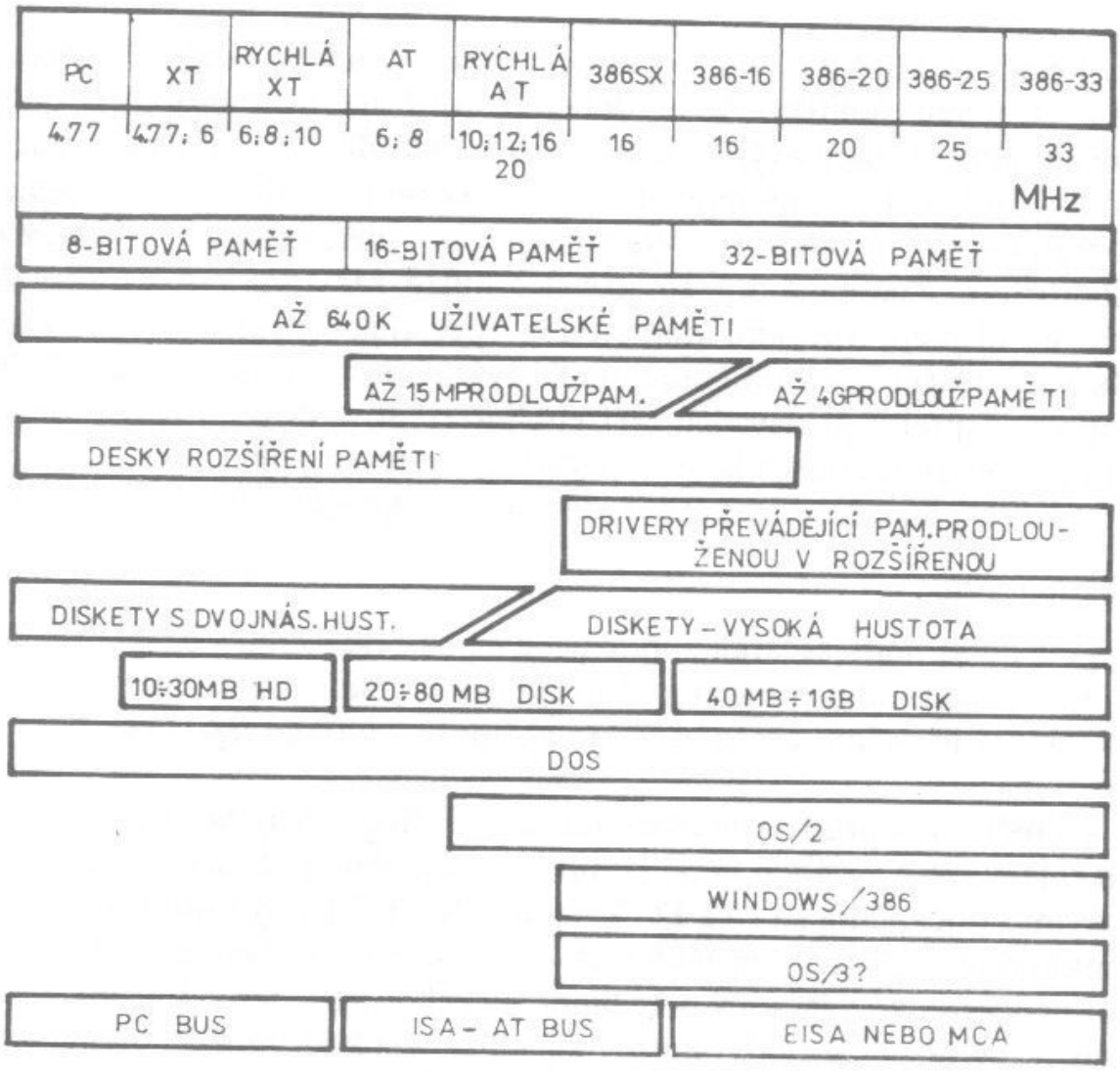
Osobní počítač IBM PC znamenal pro firmu v mnoha směrech obrovskou změnu tradiční politiky. V té době už totiž na trhu osobních počítačů existovalo několik zajímavých a úspěšných standardů. Aby byl úspěch zaručen, rozhodla se firma spolupracovat s dalšími dodavateli technických a programových produktů. Výsledkem je mikropočítač s otevřenou architekturou. Znamená to, že uživatel může základní systémovou desku doplňovat displeji, vnějšími pamětmi a specializovanými deskami různých výrobců a vytvářet tak konfiguraci podle svých specifických požadavků. Řídicí jednotky (adaptéry) přídavných zařízení, interfejsové desky a desky rozšiřující vnitřní paměť jsou konstrukčně uspořádány ve tvaru polovičních nebo celých karet (desek), které se zasouvají do volných konektorů (slotů) systémové desky.

Firma též od samého začátku publikovala nejen celé technické řešení počítače, ale i výpis základního programového vybavení (Basic Input Output System - BIOS), který je ovšem chráněn vlastnickými právy (copyright) výrobce.

Tyto skutečnosti a především obchodní úspěch firmy měly za následek, že dnes už na celém světě vyrábějí nebo kompletují podobné počítače stovky výrobců. Takovýmto počítačům se říká PC kompatibilní, PC klony nebo prostě jen PC. Kompatibilita je přitom jen zřídkakdy stoprocentní. Vyžaduje totiž naprostou shodu součástkové základny a technologického provedení. Většina počítačů ostatních výrobců je tedy pouze do jisté (pokud možno značné) míry kompatibilní. Kompatibilita se prověřuje prostě: Vezme se některý z rozsáhlých programů pro originální IBM PC a zkusí se, zda na tom kterém počítači také

funguje. Mezi uznávané a přísné testy kompatibility patří například Flight Simulator II programátorské firmy Microsoft.

Po počátečním úspěchu firma IBM přirozeně pokračovala v rozvoji úspěšného výrobku dále. Do dnešního dne trhem prošlo (v některých případech velmi úspěšně, v některých naopak propadlo) mnoho modelů tohoto počítače. Pro vás, jako pro zájemce o mikropočítačovou techniku, bude užitečné, když si charakteristiky některých důležitých modelů zapamatujete. Než však přistoupíme k jednotlivostem, řekneme si něco o typických vlastnostech všech.



Obr. 1.1 Typické rysy osobních počítačů s mikroprocesory INTEL

Všechny modely mají společného výrobce mikroprocesoru, firmu INTEL.Tento průkopník mikroprocesorové techniky slavil díky IBM PC opět obrovský úspěch. V jednotlivých modelech jsou využity jeho různé mikroprocesory. Od původního šestnáctibitového (ale s osmibitovou datovou sběrnicí) I 8088, přes I 8086, I 80286 k dvaatřicetibitovému I 80386, či dokonce k I 80486, nebo RISCovému I 80860. A to jsme se ještě nezmínili o úsporných technologických provedeních (např. CMOS) mikroprocesorů, které využívají přenosné modely mikropočítačů. Řečeno prostě: Šestnáctibitový mikroprocesorový standard v osobních mikropočítačích představují právě výrobky firmy INTEL.

Přehled typických rysů osobních počítačů na bázi mikroprocesorů INTEL uvádíme na obr. 1.1. Najdete v něm informace o rychlostech procesorů, velikosti RWM paměti, charakteristikách pamětí vnějších, základním programovém vybavení i o typu sběrnice. Obrázek je kompaktní a pokrývá jak originální IBM PC všech modelů, tak i nejdůležitější klony. Je však možné, že pro úplné pochopení některých pojmů a souvislostí budete hledat podrobnější vysvětlení. Naší upřímnou snahou bylo, abyste je nalezli právě v této publikaci.

1.1 Stručné charakteristiky jednotlivých modelů PC

Mikropočítač PC můžeme stručně charakterizovat takto: Mikroprocesor I 8088, do prázdné patice možno doplnit numerický koprocesor I 8087, 16 - 64 KB paměti RAM na systémové desce, 40 KB paměti ROM s BIOSEM a BASICEM, konektor pro připojení klávesnice (83 znaků) a kazetového magnetofonu a pět konektorů pro připojení rozšiřujících desek. Mezi ně patří hlavně adaptér pro připojení monochromatického nebo barevného displeje a tiskárny, adaptér 5,25" disketových pamětí s kapacitou 160 nebo 320 KB, desky rozšiřujících pamětí atp.

Mikropočítače XT mají také většinou mikroprocesor I 8088 s koprocesorem I 8087 pro urychlení operací v pohyblivé řádové čárce. Používají diskety s kapacitou 360 KB (také 5,25", ale DSDD, tedy záznam po obou stranách s dvojitou hustotou). Jejich klávesnice má jednodušší, tzv. XT uspořádání. Na systémové desce je max. 256 KB paměti RAM včetně kontroly parity, 64 KB paměti ROM a osm konektorů pro připojení rozšiřujících desek. Některé z nich jsou ovšem standardně obsazeny např. diskovým, disketovým adaptérem

nebo adaptérem displeje. Paměť lze rozšířit na 640 KB. Pevný disk tohoto mikropočítače mívá kapacitu 10 - 30 MB. Počítač PC lze na XT upravit instalací pevného disku, který je součástí karty - adaptéru, a rozšířením paměti.

Mikropočítače AT mají mikroprocesor I 80286 s aritmetickým koprocesorem I 80287 a mají větší počet konektorů pro vložení osmibitových a šestnáctibitových (AT) karet. Dodávají se s disketou o kapacitě 1,2 MB (5,25", DSHD, oboustranný záznam s vysokou hustotou). Paměti s pevnými disky mají kapacitu 20 - 80 MB. Do základní jednotky mikropočítače lze umístit dva pevné disky nebo jeden pevný disk a jednu kazetopáskovou jednotku pro pořizování bezpečnostních kopií. Klávesnice mají různé uspořádání, často označované AT, AT professional apod.

Mikropočítače třídy **386** obsahují mikroprocesor I 80386 a jsou vybavovány velkou vnitřní pamětí (1 - 8 MB). Důležité jsou zejména mikropočítače AT 386SX, které nabízejí ve srovnání s předchozími typy výkonnější instrukční repertoár, ale běžnou sběrnici (ISA).

Paleta nabízených výrobků je tak široká, že se postupně stírají rozdíly mezi jednotlivými modely. Je možné si například pod označením XT 286 koupit systém třídy XT, ale s mikroprocesorem I 80286. Klávesnice se už téměř výhradně dodávají s AT uspořádáním.

Firma IBM začátkem dubna 1987 ukončila déletrvající dohady o dalším vývoji svých osobních počítačů a uvedla na trh mikropočítače systému PS/2. Setrvala u osvědčené koncepce s otevřenou architekturou, avšak uplatněním progre-

sivní technologie povrchové montáže (Surface Mounting Technology - SMT) a programovatelných logických polí se jí podařilo podstatně zmenšit rozměry systémových desek. Novou řadu tvoří čtyři základní modely v osmi různých verzích. Modely jsou označeny 30, 50, 60 a 80. Modely 30 a 50 jsou ve stolním provedení, výkonnější modely 60 a 80 jsou ve tvaru věže a zasunují se pod desku pracovního stolu.

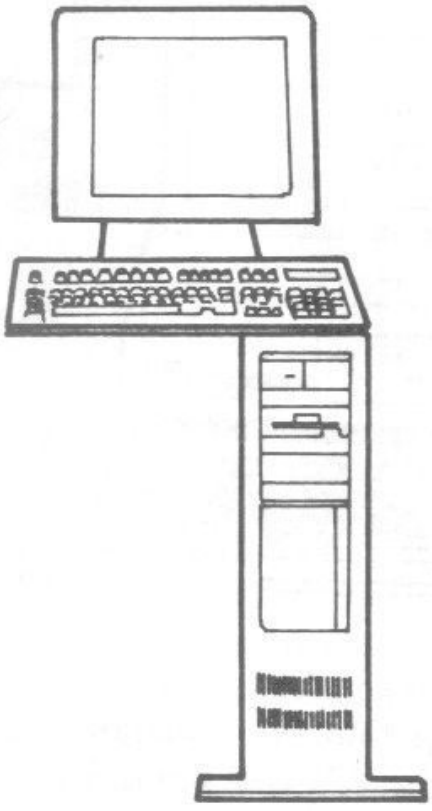
Mikropočítač **PS/2 Model 30** má mikroprocesor I 8086, maximální velikost paměti RAM 640 KB a paměti ROM 64 KB. Dodává se s jednou nebo dvěma mikrodisketovými jednotkami s kapacitou 720 KB a jedním 20 MB pevným diskem. Maximální velikost paměti tohoto modelu je 2,64 MB. Součástí systémové desky jsou tři konektory pro připojení rozšiřujících desek systému. Zasouvají se desky modelu XT. Stručně řečeno, model 30 představuje evoluční vývoj osobního mikropočítače XT.

Mikropočítač **PS/2 Model 50** je základem nové řady a umožňuje využít všech předností mikroprocesoru I 80286. Ve srovnání s mikropočítači PC je mnohem menší a vyznačuje se jinou sběrnicí, hustšími konektory a mnohem větší pamětí. Technologickou modernost dokumentuje toto: Na systémové desce, která je mimochodem menší než u modelu XT a AT, jsou mimo jiné čtyři zákaznické obvody realizované logickými poli. Proto je možné sem umístit všech obvyklých pět rozhraní pro připojení klávesnice, myši, rozhraní Centronics, RS 232 C a monitoru. Paměť RAM je 1 MB, rozšiřitelná až na 7 MB, paměť ROM je 128 KB. Disketové jednotky jsou nového typu s kapacitou 1,44 MB (3,5"). Kromě pevného disku 20 MB se na objednávku dodává velkokapacitní optická paměť pro jeden zápis (WORM - Write Once Read Many) s kapacitou výměnných kazet 200 MB. Desky rozšiřující možnosti

systému jsou, stejně jako sběrnice, nového typu, takže rozšiřující desky starších modelů nelze použít.

Mikropočítač **PS/2 Model 60** má proti předchozímu modelu, díky věžovému provedení, větší možnosti v rozšiřování paměti. Ta může být maximálně 15 MB. V jeho V/V kanálu je možné použít až sedm desek adaptérů.

Mikropočítač **PS/2 Model 80** s dvaatřicetibitovým mikroprocesorem I 80386 představoval původně nejvýkonnější osobní mikropočítač. Jeho základní paměť má velikost 2 MB a může být rozšířena až na 16 MB. Rozšiřující desky jsou rovněž nového typu, přičemž se maximálně přizpůsobují požadavku na dosažení vysoké rychlosti. Paměťové obvody mají totiž dobu přístupu pouhých 80 ns, zatímco u modelu XT to obvykle bylo 200 ns. Problémy s přenositelností datových souborů na tyto mikropočítače (vzhledem k tomu, že jsou standardně vybaveny jen mikrodisketami) vyřeší buď nákup a instalace jedné minidisketové jednotky, nebo program pro přenos souborů mezi počítači po sériové nebo paralelní lince (např. LapLink III).



O rok později byla třída mikropočítačů PS/2 rozšířena o modely 25 (dolní výkonnostní třetina) a 70 (horní výkonností třetina).

Mikropočítač **PS/2 Model 70** má dvaatřicetibitový mikroprocesor I 80386 s hodinovou frekvencí 16, 20 nebo 25 MHz. Základní paměť má velikost 2 MB a může se rozšířit až na 16 MB. Na rozdíl od modelu 80 je ve stolním provedení a má rychlejší mikroprocesor, takže je ještě výkonnější než model 80.

Řadu PS/2 rozvíjí firma IBM i nadále a v polovině roku 1991 je její nabídka inovována takto:

Mikropočítač **PS/2 Model 25** má mikroprocesor I 8086 s matematickým koprocesorem a krystalem s hodinovou frekvencí 8 MHz. Do dvou konektorů V/V kanálu, které jsou k dispozici, se zasouvají jen osmibitové adaptéry. Systémová deska obsahuje adaptéry sériového i paralelního kanálu, grafický adaptér MCGA a diskový i disketový adaptér. Provedení je stolní, standardně se osazuje jedna mikrodisketa.

Mikropočítač **PS/2 Model 25-286** má mikroprocesor I 80286, koprocesor I 80287 a krystal s hodinovou frekvencí 10 MHz. Dva konektory jsou v tomto případě šestnáctibitové (ISA), grafickým adaptérem na systémové desce je VGA. Paměť RAM je standardně 1 - 4 MB, rozšiřitelná až na 16 MB.

Model **PS/2 Model 30-286** se dodává též s mikroprocesorem I 80286 (I 80287), má krystal s hodinovou frekvencí 10 MHz a tři šestnáctibitové (ISA) konektory V/V kanálu. Stejně jako předchozí model má grafický adaptér VGA i možnosti stejně velké paměti.

Mikropočítač **PS/2 Model L40SX** je jedním ze tří přenosných počítačů firmy IBM. Mikroprocesorem je v tomto případě I 80386SX s paticí pro koprocesor, hodinová frekvence krystalu je 20 MHz. Napájení je možné ze sítě i z baterií, vestavěný displej je typu LCD.

Mikropočítač **PS/2 Model 50Z** má podobné charakteristiky jako model 30; jeho tři konektory V/V kanálu jsou však typu MCA (Micro Channel Architecture).

Modely 55SX i **55LS** jsou oba ve stolním provedení a mají i stejný mikroprocesor (I 80386SX). Liší se aplikační oblastí; zatímco první z nich představuje univerzální osobní počítač, druhý je vhodný, díky vestavěnému síťovému adaptéru, jako server počítačové sítě.

Věžové provedení má mikropočítač **PS/2 Model 65SX**. Mikroprocesor I 80386SX s koprocesorem a hodinovou frekvencí 16 MHz mu dává standardní výkon. Mimořádně rozsáhlé může mít doplňkové vybavení, protože má na

MCA k dispozici sedm volných V/V konektorů. Standardně se vybavuje velkými disky (přes 1 GB).

Druhým přenosným počítačem v nabídce IBM je **PS/2 Model P70-386**. Díky vybavení dvaatřicetibitovým mikroprocesorem má i dvaatřicetibitovou verzi V/V kanálu MCA; hodinová frekvence je podle podtypu 16 nebo 20 MHz. I přes přenosné provedení jsou v jeho systémové jednotce volné dva konektory pro další adaptéry, např. síťový. Displej tohoto počítače je plazmový.

Model 70 se nabízí s mikroprocesorem I 80386 nebo I 80486. Další charakteristiky jsou víceméně podobné - max. 16 MB paměti, tři volné konektory, vestavěný grafický adaptér VGA. Sběrnicí je dvaatřicetibitový MCA.

Posledním přenosným počítačem je **PS/2 Model P75-486**. Mikroprocesor I 80486 je taktován hodinovou frekvencí 33 MHz, paměť má standardně 8 MB, maximálně 16 MB a v systémové jednotce jsou ještě tři volné rozšiřující konektory. Displej je i v tomto případě plazmový, adaptér XGA.

Nejvýkonnějšími modely počítačů PS/2 jsou následující tři dvaatřicetibitové modely. **Model 80-386** má mikroprocesor I 80386 s koprocesorem I 80387, cache paměť 64 KB, díky věžovému provedení sedm volných konektorů pro adaptéry a vestavěný VGA adaptér. Standardní velikost paměti je 2 - 4 MB, maximální 16 MB. Běžně se dodává s disky o velikosti kolem 1 GB.

Zbývající **Modely 90XP-486** a **95XP-486** mají nejvýkonnější mikroprocesory I 80486 pracující s hodinovou frekvencí 33 MHz. Paměť je rozšiřitelná až na 32 MB a v systémové jednotce jsou volné konektory (tři, resp. šest). Vestavěným grafickým standardem je XGA. První z počítačů je stolní, druhý má provedení věžové. Standardně se dodávají s velkokapacitními disky (cca 1 GB).

Posledním novým typem osobního počítače IBM je **Personal System/1 (PS/1)**. Vhodný je zejména pro začátečníky a méně náročné aplikace. Operační systém je kompatibilní s MS DOS a vyniká tím, že obsahuje speciální výukové programy a integrované programové vybavení pro zpracování textů, tabulkový kalkulátor a databanku. Dodává se ve čtyřech modelech, které se liší velikostí

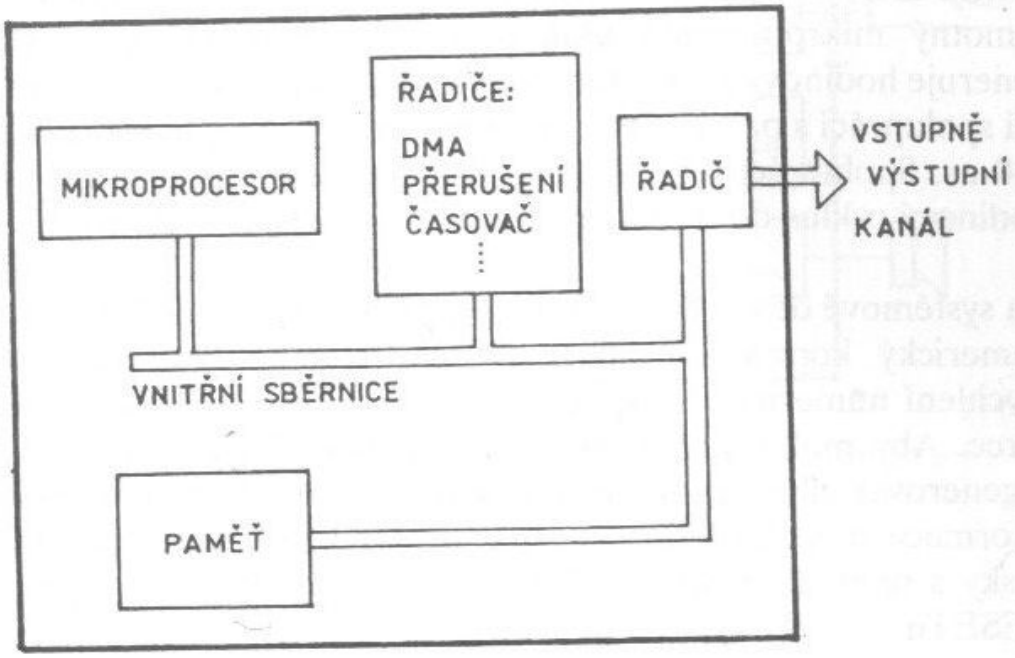
operační paměti (512 KB nebo 1 MB), diskem (bez disku, nebo 30 MB) a obrazovým adaptérem (jednobarevný nebo barevný VGA). Jako mikroprocesor má I 80286 bez koprocesoru. Ze standardních rozhraní má sériový a paralelní port. Dodávka dále obsahuje myš a disketu. Na požádání se dodává i s jednotkou adaptérů se třemi konektory pro zvukovou desku (4hlavové výstupy, mikrofonní vstup a MIDI rozhraní), případně pro další. V praxi se zatím nerozšířil a my se jím v dalším textu nebudeme zabývat.

Kromě stolních nebo věžových provedení PC kompatibilních počítačů nabízejí výrobci dvě třídy počítačů přenosných. **Laptopy** - česky "počítače na klín" - se podobají aktovce a plochý displej mají vestavěný ve víku. Nejčastěji jsou to vlastně modely XT s grafickou kartou CGA a jsou poměrně těžké.

Novější a velice módní jsou typy **notebook**. Vnější rozměry odpovídají formátu A4 a hmotnost mají do 3 kg. Nejčastějším procesorem je 386SX. Vzhledem k zaměření tohoto textu se však přenosnými modely příliš zabývat nebudeme.

2. Architektura počítačů standardu IBM PC

Většina modelů osobních počítačů kompatibilních s IBM PC, PS/2 se skládá ze **systémové jednotky**, **klávesnice**, **monitoru**, **tiskárny**, případně **myši**.



Obr. 2.1 Blokové schéma systémové desky

Systémová jednotka obsahuje šestnácti nebo dvaatřicetibitový mikroprocesor, paměť, jednu nebo dvě disketové mechaniky, diskovou jednotku a tzv. adaptéry pro další periferní zařízení nebo pro připojení do sítí. Jednotky méně výkonných modelů se pohodlně vejdou na stůl. Výkonnější modely se vyrábějí ve věžovém provedení a umísťují se pod něj. Napájejí se pomocí standardních síťových rozvodů, jednofázově, napětí je přepínatelné podle rozvodu v té které zemi. Příkon celé sestavy představuje několik stovek wattů. Klávesnice, monitor, myš a tiskárna se připojují kabelem a uživatel si jejich fyzické umístění může individuálně přizpůsobit svým tělesným proporcím a pracovním zvyklostem.

Srdcem systémové jednotky je systémová deska, vlastně jednodeskový mikropočítač (obr. 2.1). Je osazena některým z mikroprocesorů firmy INTEL; podle modelu to je buď 8088, 80286, 80386, nebo nejnověji 80486.

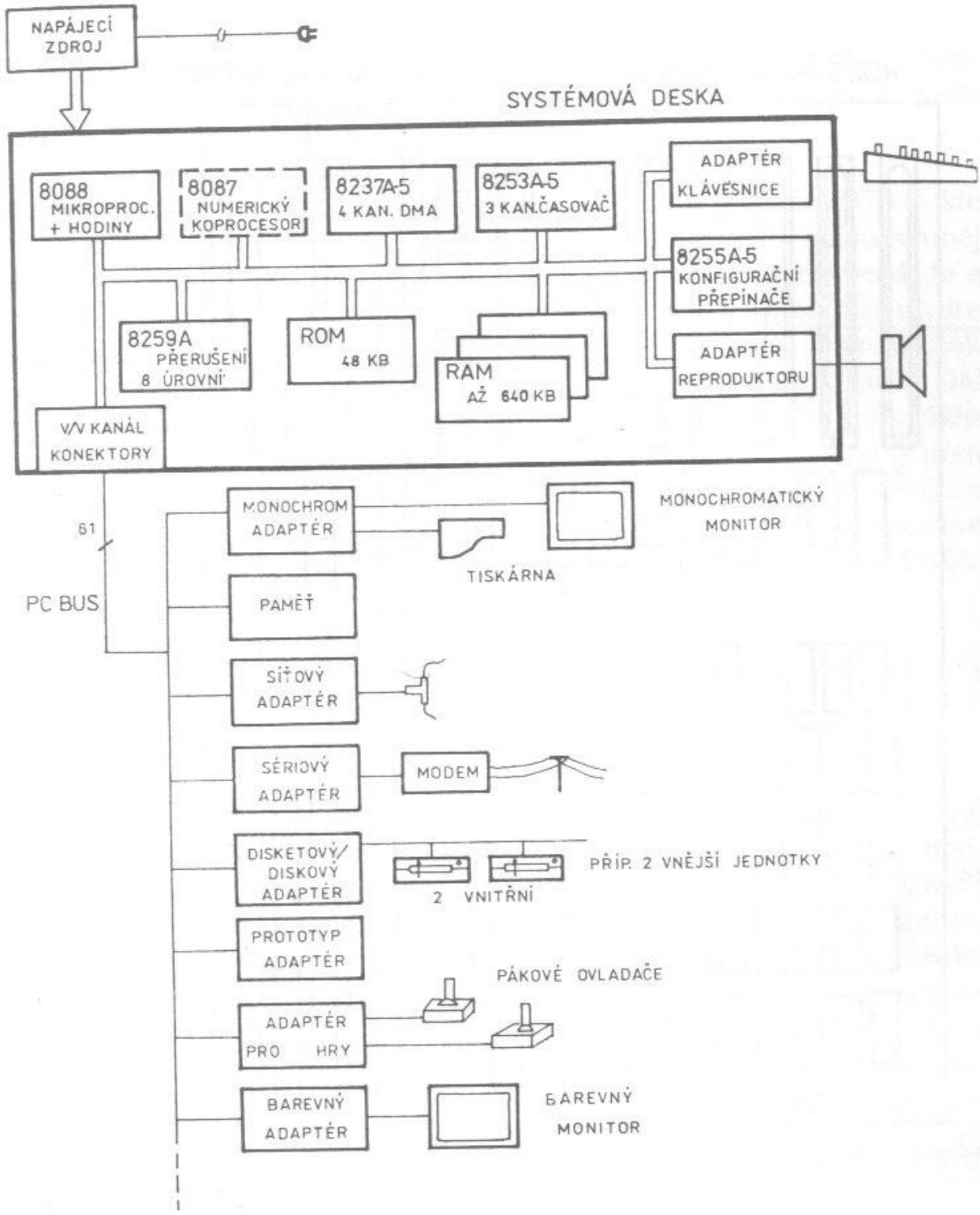
Systémová deska modelu XT

Kromě mikroprocesoru, kterým je nejčastěji 8088, v některých klonech i 8086, jsou na systémové desce (obr. 2.2) především jeho podpůrné obvody pro časování (obvod 8284 - hodinový generátor s krystalovým rezonátorem) a obvody upravující spolupráci s dalšími podsystémy počítače (logika WAIT-taktu). Zdrojem pracovní frekvence je oscilátor s krystalem 14,31818 MHz; samotný mikroprocesor však pracuje s frekvencí 4,77 MHz, kterou mu generuje hodinový generátor. Při této pracovní frekvenci trvá sběrnicový cyklus při spolupráci s pamětí čtyři hodinové cykly (každý je po 210 ns), tedy celkově 840 ns. Spolupráci s periferními zařízeními je vyhrazen časový úsek o jeden hodinový cyklus delší, tedy pět hodinových cyklů, celkem 1,05 μs.

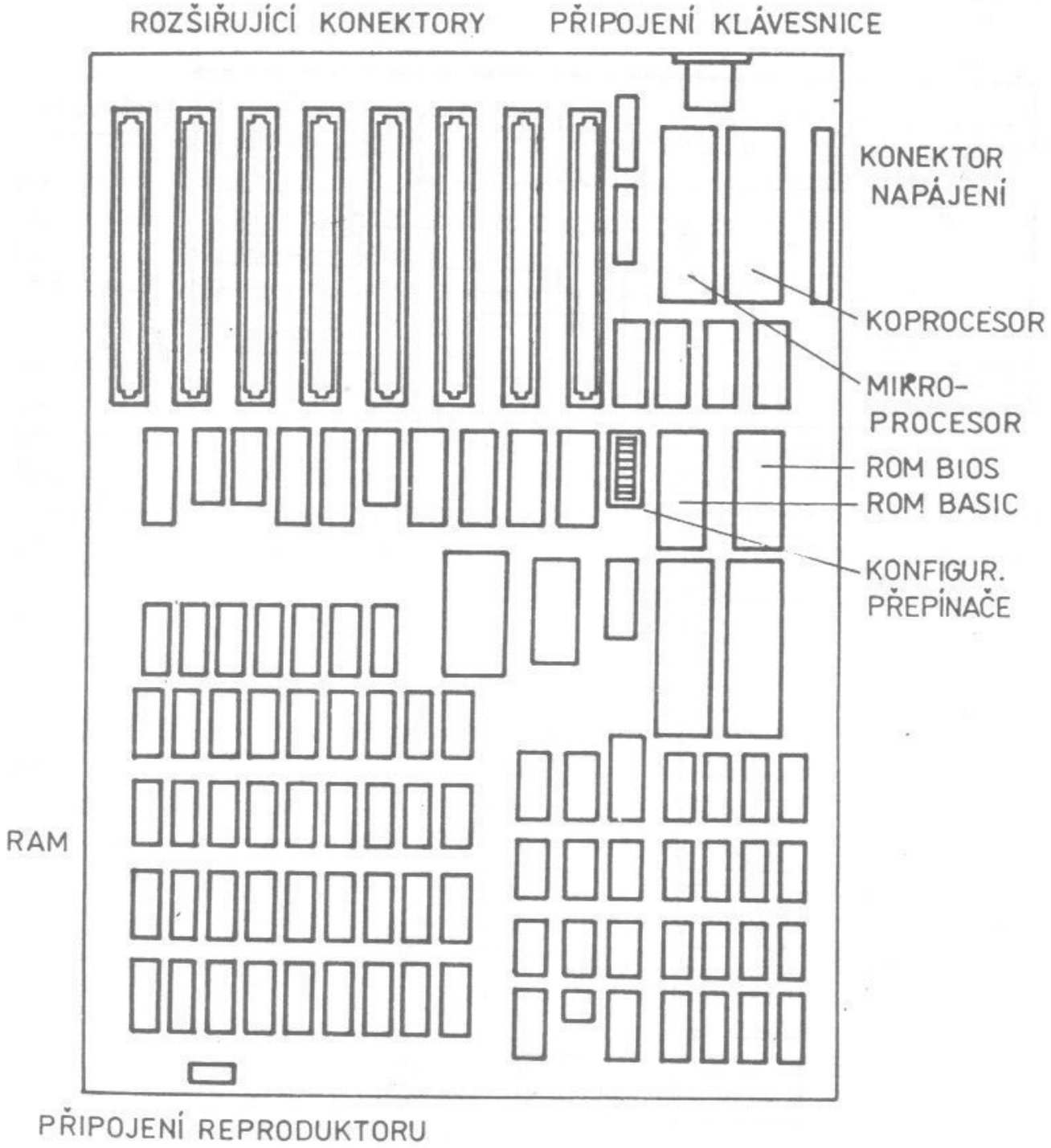
Na systémové desce (obr. 2.3) je připravena patice, do které se může zasunout numerický koprocesor 8087. Z uživatelského hlediska znamená výrazné zrychlení numerických výpočtů, zejména pak s operandy v pohyblivé řádové čárce. Aby mohly programy jeho přítomnosti využít, musí se při kompilaci vygenerovat cílový program pro sestavu počítače s koprocesorem. Příslušná informace o sestavě se nastavuje na konfiguračních přepínačích systémové desky a operační systém ji čte vždy po zapnutí síťového přepínače nebo po RESETu.

Podstatnou část plochy systémové desky zabírá paměť. Mikroprocesor umožňuje adresovat paměťový prostor 1 MB a používá k tomu dvacetibitovou adresu. Spodní část adresového prostoru zabírá paměť typu RWM. Její maximální velikost je 640 KB. U prvních modelů bývala na vlastní systémové desce jen její menší část (256 KB), zbytek byl na paměťové desce zasouvané do jednoho z konektorů V/V kanálu. Pokrok v technologii výroby integrovaných obvodů však umožnil umístit sem tuto paměť v celém rozsahu. Jedná se o paměť dynamickou a obnovování jejího obsahu zajišťuje jeden ze tří časovačů obvodu 8253A-5 ve spolupráci s jedním kanálem DMA obvodu 8237A-5. Obnovování se děje cyklickým generováním řádkových adres paměti a odpovídajícího signálu RAS. Obsah každé osmibitové paměťové buňky zabezpečuje jeden bit paritní. Paměť RWM má tedy devítibitové buňky a případný nesouhlas parity generuje nemaskovatelné přerušení procesoru NMI.

mP 8088



Obr. 2.2 Blokové schéma osobního počítače IBM PC XT



Obr. 2.3 Rozložení součástek na systémové desce osobního počítače IBM PC XT

Popsaná paměťová část tvoří tvoří hlavní paměť počítače a zapisují se do ní jak uživatelské programy a operační systém, tak i pracovní oblasti pro přerušovací podsystém a BIOS.

Na systémové desce najdeme i část paměti z druhé části adresového prostoru, konkrétně z jeho horního konce. Tentokrát jde o integrované obvody paměti ROM s BIOSem a interpretem BASICu.

Přímý přístup do paměti zajišťuje v tomto mikropočítači obvod 8237A-5, který je též součástí systémové desky. I o něm si teď řekneme jen to nejpodstatnější. Mikroprocesor ho v patřičném okamžiku naprogramuje; to znamená, že mu sdělí počet bajtů přenášených dat (počet průchodů cyklem) a počáteční adresu jejich uložení v paměti. Pak už jen předá periferním zařízení příkaz k zahájení operace (čtení nebo zápis). Toto zařízení směrem k řadiči DMA vysílá žádost o přenos pro každou přenášenou položku (bajt). Na jejím základě převezme řadič od mikroprocesoru řízení sběrnicového systému a přenos jednoho bajtu uskuteční. Tato technika vstupu nebo výstupu dat dovoluje, aby mikroprocesor V/V operaci jen spustil a nadále se věnoval jiné činnosti. Sběrnicové cykly procesoru a DMA se automaticky střídají. Pomocí DMA se uskutečňuje spolupráce s rychlými periferiemi.

Obvod 8237A sdružuje celkem čtyři DMA kanály, ale uživatel může využít jen tři. Jeden z kanálů trvale využívá systém k obnovování paměti RWM (refreshing).

Systémová deska obsahuje i další důležité obvody. Je to především řadič přerušení 8259A, který ve spolupráci s mikroprocesorem zajišťuje přechod na obslužný program při vzniku zvláštních, tzv. přerušovacích událostí. Ty mohou nastat v nejrůznějších částech systému (v klávesnici, tiskárně, diskové jednotce) a společné mají jen to, že potřebují okamžitou programovou obsluhu. Mikroprocesor je však vybaven pouze jediným vstupem žádosti o přerušení (záměrně teď neuvažujeme vstup přerušení nemaskovatelného, neboť ten má zvláštní určení) a programová identifikace původce žádosti by byla zdlouhavá. Úkolem řadiče přerušení je tedy zpracovat signály přicházející z nejrůznějších přerušovacích zdrojů a předat procesoru jednoznačnou informaci o počátku programu pro jeho obsluhu. V mikropočítači tohoto typu je obvod 8259A zapojen tak, že umožní zpracovat šest uživatelských žádostí.

RALELNÉ ROZHRANIE

Obvod paralelního rozhraní 8255A-5 zajišťuje na základní desce mnoho různorodých funkcí. S jeho pomocí totiž mikroprocesor spolupracuje s klávesnicí, konfiguračními přepínači, reproduktorem apod. Konfigurační přepínače se přepínají ručně a slouží pro informaci operačního systému o velikosti paměti RWM na systémové desce, přítomnosti koprocesoru, počtu disketových jednotek a o typu displeje. Operační systém tuto informaci získává během počátečního testu (POST).

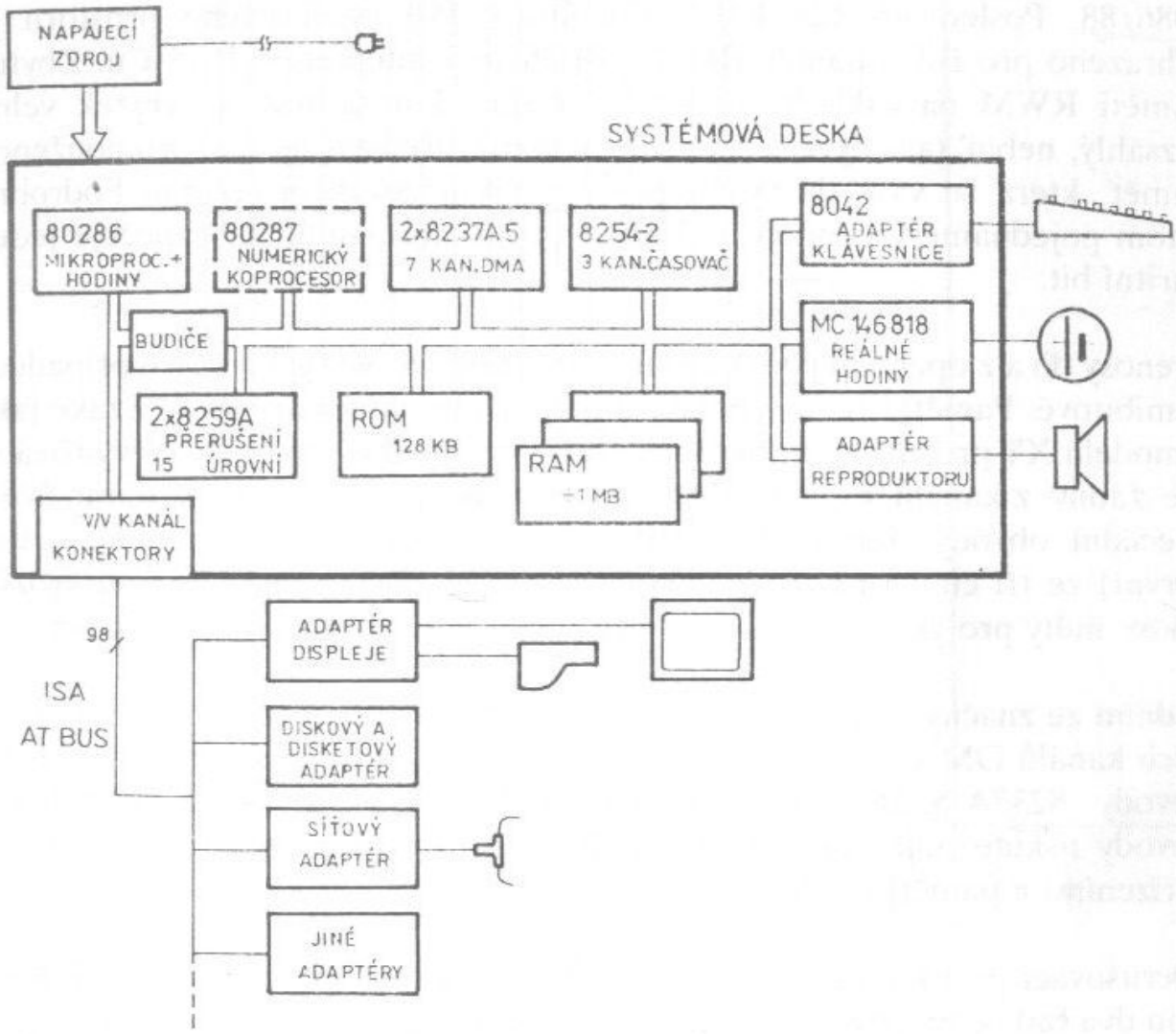
Dalším důležitým obvodem systémové desky je časovač 8253A-5. Uvnitř pouzdra jsou tři nezávislé kanály a všechny tři systémová deska využívá. Výstup nultého kanálu je spojen s nejvýznamnějším vstupem řadiče přerušení a kanál je naprogramován pro pravidelné generování pulsů. Tento kanál časovače slouží jako generátor systémového času. Výstup prvního kanálu je zapojen jako žádost o data jednoho kanálu řadiče přímého přístupu do paměti a zajišťuje obnovování obsahu dynamických pamětí. Druhý kanál generuje vstupní signál pro adaptér reproduktoru a stará se tak o zvukové efekty.

Na základní desce je ještě jeden adaptér periferního zařízení - adaptér klávesnice. Samotná klávesnice však součástí systémové jednotky není; je k ní připojena pružným čtyřvodičovým kabelem. Obsahuje jednoobvodový mikrokontrolér 8048, který po stisknutí nebo puštění klávesy vysílá tzv. SCAN kód. Podstatnou součástí jejího adaptéru je devítibitový posuvný registr, který sériově přicházející kód sestavuje do paralelní podoby, a když toho dosáhne, vyvolá přerušení z klávesnice. Obslužný program je součástí BIOSu a přiřadí konkrétnímu kódu data podle své vnitřní překladové tabulky, nebo přímo vyvolá nějakou řídicí funkci. Tak například způsobí současný stisk tlačítek CTRL - ALT - DEL studený start počítače. Překladovou tabulku, nebo ještě častěji celý obslužný program tohoto přerušení nahrazujeme jiným, když instalujeme na počítači českou klávesnici.

Největší část systémové desky zaujímají rozšiřující konektory V/V kanálu. Bývá jich např. osm, ale jejich počet se u každého výrobce liší. Jejich prostřednictvím se zpřístupňuje sběrnice systému a přes ně se připojují periferní zařízení, jako jsou monitor, tiskárna, myš, vnější paměť na disketě nebo disku, ale třeba i rozšiřující či prodlužující paměť atd. Do konektorů se zasouvají desky s připojovacími obvody těchto periferií a souhrnně je označujeme termínem adaptéry periferních zařízení.

Systémová deska modelu AT

Základní koncepce jednodeskového mikropočítače na systémové desce podle obr. 2.1, rozšiřovaného zasouváním adaptérů do V/V kanálu, zůstává i u tohoto modelu zachována, takže popíšeme jen některé odlišnosti.



Obr. 2.4 Blokové schéma osobního počítače IBM PC AT

Mikroprocesorem této systémové desky (obr. 2.4) je šestnáctibitový výrobek firmy INTEL 80286, který může spolupracovat s koprocesorem 80287. Pracovní

hodinový kmitočet 6 MHz (výkonnější verze pracují i na frekvencích vyšších) vyrábí z kmitočtu krystalového rezonátoru 12megahertzový hodinový obvod 82284.

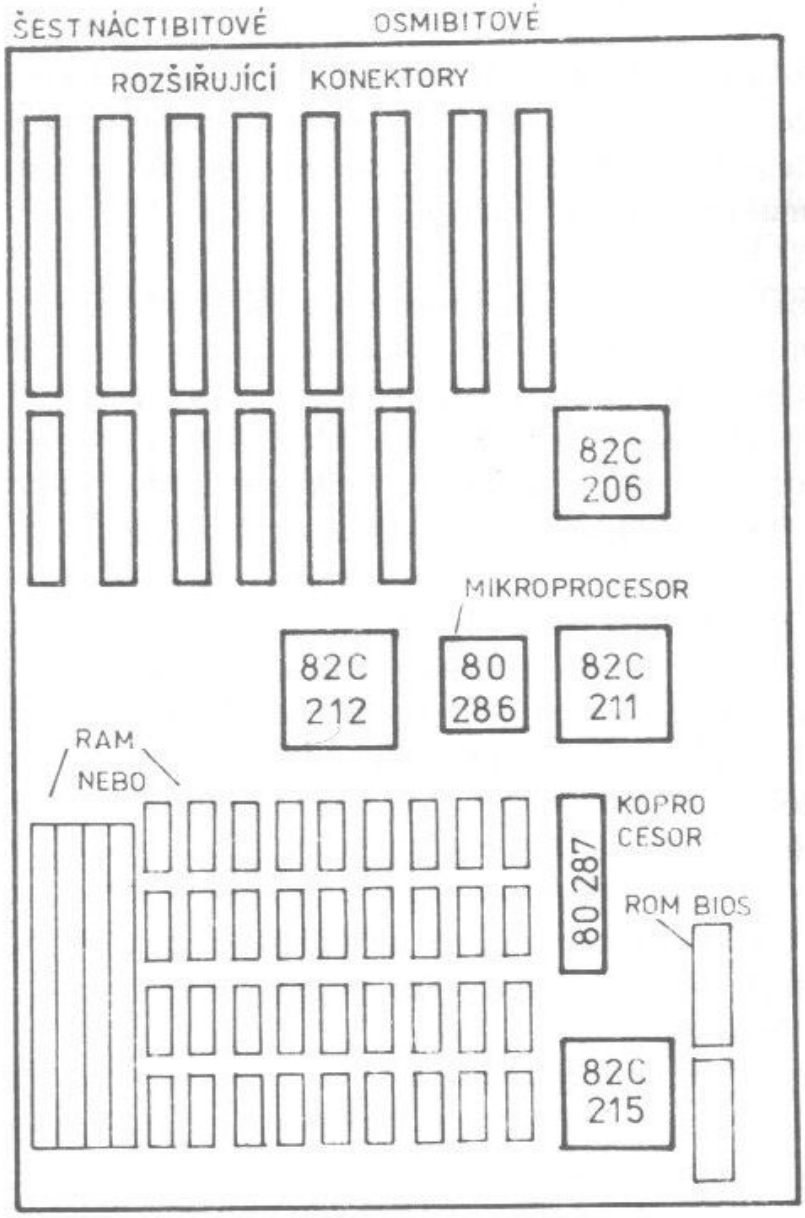
Paměťový podsystém tohoto modelu má stejné rozdělení; prvních 640 KB je operační paměť využívaná operačním systémem MS-DOS v tzv. reálném adresovacím režimu, kdy mikroprocesor 80286 emuluje mikroprocesor 8086/88. Posledních 128 KB z prvního 1 MB paměťového prostoru je vyhrazeno pro řídicí paměť ROM s BIOSem a intepretem BASICu. Zbytek paměti RWM na základní desce (a musíme konstatovat, že zbytek velmi rozsáhlý, neboť tam bývá 1 - 16 MB paměti), představuje tzv. prodlouženou paměť, která se však dá využít pouze v privilegovaném režimu. Podrobně o tom pojednáme v kapitole 7. Každých osm bitů paměti zabezpečuje jeden paritní bit.

Přenosy do a z operační paměti jsou šestnáctibitové, ve výjimečných případech osmibitové. Paměti jsou dynamické a obnovování informace se děje také jako v modelu XT prostřednictvím žádosti o přímý přístup do paměti. Nevyužívá se ale žádný z kanálů řadičů DMA, na systémové desce jsou k tomu účelu speciální obvody. Jen pro časování obnovovacího cyklu se blokuje jeden (první) ze tří čítačů pouzdra 8254-2. Zbyvající kanály časovače jsou využity takto: nultý pro generování systémových hodin a druhý pro reproduktor.

Jedním ze značných omezení modelu XT byl malý počet uživatelsky využitelných kanálů DMA. V tomto případě jsou na systémové desce k dispozici dva obvody 8237A-5, které jsou řazeny kaskádně a spolu s dalšími podpůrnými obvody uskutečňují osmi i šestnáctibitové datové přenosy mezi periferními zařízeními a pamětí (oběma směry).

Přerušovací podsystém je také podstatně rozšířen, neboť na základní desce jsou dva řadiče přerušení (2 x 8259A) s celkem patnácti vstupy žádostí. Z nich jsou čtyři využity obvody základní desky (systémové hodiny - vstup s nejvyšší prioritou 0, klávesnice - priorita 2, reálné hodiny - priorita 8, aritmetický koprocesor - priorita 13). Ostatní vstupy žádostí jsou přístupné na sběrnici. Nemaskovatelné přerušení využívá speciální obvod pro kontrolu chyby parity.

Na systémové desce je ještě několik adaptérů V/V zařízení: adaptér klávesnice, adaptér zvukového výstupu a hodiny reálného času napájené z akumulátoru.



Obr. 2.5 Rozložení součástek na systémové desce osobního počítače PC AT s obvody NEAT Chips

Tradičně největší část systémové desky zabírají konektory V/V kanálu. Vzhledem k větší šířce adresové i datové sběrnice a většímu počtu signálů sběrnice řídicí původní 62nožový konektor nestačil a musel být doplněn dalším,

s 36 noži. Na desce je obvykle šest konektorů pro šestnáctibitové adaptéry a dva až tři konektory pro osmibitové adaptéry.

Inovované systémové desky

Příležitost k dosažení obrovských zisků z výroby součástkové základny pro osobní počítače podnítila mnohé výrobce k mimořádné aktivitě. Jejím výsledkem je celá řada součástkových souborů, které představují PC klony složené z minimálního počtu pouzder.

Vedle firmy NEC, která vyrábí mikroprocesor V 40, což je V 20 (kopie I 8088 s rozšířenou množinou instrukcí - podrobněji viz kapitola 3) obsahující v pouzdře i hodinový generátor, časovač 8254, řadič přerušení 8259A a řadič DMA 8237A, se celá řada výrobců soustředila na výrobu kombinovaných VLSI obvodů přebírajících mimoprocesorové funkce PC. Mezi úspěšné patří např. firma VLSI Technology, Inc., která pro realizaci modelu XT potřebuje kromě mikroprocesoru, koprocesoru a paměti pouze dva další integrované obvody (VL82C031, VL82C032). Pro model AT jí stačí tři jiné obvody (VL82C331, 320, 106) podporující jak procesor 80286, tak i 80386SX. Podobnou cestou jde i INTEL (soubor integrovaných obvodů 82230, 82231). Zdá se, že nejúspěšnější je však firma CHIPS & Tech, která už nabízí takových stavebnic několik a v současné době se prodává pod různým označením několik tzv. NEAT CHIPS počítačů.

Pohled na systémovou desku, která kromě procesoru 80286, koprocesoru 80287, 1 MB paměťových čipů a 128 KB paměti ROM obsahuje čtyři takovéto obvody, uvádí obr. 2.5.

Systémová deska modelu PS/2

Pokroky v technologii výroby zákaznických obvodů a v jejich pouzdření dovolily rozměry systémových desek výrazně zmenšit. Bez problémů se do nich mohly zahrnout i adaptéry, které se u starších modelů vyskytovaly na zvláštních deskách a musely se zasouvat do konektorů V/V kanálu. Tak se součástí systémové desky stal zejména adaptér paralelních (CENTRONICS)

i sériových (RS 232 C) rozhraní, displeje (VGA) a někdy i disketových a diskových pamětí.

Mikroprocesorem nejnižšího modelu této třídy (PS/2 Model 25) je 8086. Ten a dva další (Model 25-286, Model 30 a Model 50Z) pracují s mikroprocesorem 80286; až na posledně jmenovaný model je jejich V/V kanálem ISA. Používají se v nich tedy osmi i šestnáctibitové ISA adaptéry. Počínaje modelem 50 je V/V kanálem všech dalších kanál MCA.

Dvaatřicetibitový mikroprocesor 80386SX se šestnáctibitovou datovou sběrnicí je srdcem Modelu L40SX, 55SX, 65SX; všechny ostatní se už vybavují úplným dvaatřicetibitovým mikroprocesorem 80486, který má jako integrální součást numerický koprocesor.

Z konstrukčních důvodů se poněkud změnilo rozložení součástek. Konektory MCA kanálu jsou na jedné desce umístěné kolmo k systémové desce, takže výsledné umístění adaptérů je rovnoběžné na systémovou desku. To umožňuje, aby systémová jednotka byla poměrně nízká.

Napájecí zdroj

Napájecí zdroj pro systémovou desku, klávesnici i adaptéry zasunuté do V/V kanálu je instalován napevno ve skříni systémové jednotky. Bývá to pulsní zdroj pracující na vysokém kmitočtu, takže jeho transformátor má poměrně malé rozměry. Jeho výkon bývá kolem 200 W a při instalaci dalších adaptérů se musíme přesvědčit, nedojde-li k přetížení některé jeho sekce. Celý zdroj poskytuje napětí +5 V, -5 V, +12 V a -12 V. každé s jiným výkonovým požadavkem. Sekce jsou nezávisle jištěny proti přepětí a přetížení. Kvůli omezení rušení má zdroj na vstupních svorkách filtr.

Klávesnice

Klávesnice se postupně dodávala v několika provedeních, s 83, 98 i 102 klávesami. Ve všech případech jsou však na ní čtyři skupiny kláves.

Do první patří zhruba 55 kláves v uspořádání QWERTY, QWERTZ, případně podle určité národní abecedy. Tato skupina zabírá největší plochu převážně v levé části. Nad ní, u některých starších provedení vlevo, je skupina funkčních kláves, kterým se programově přiřazují zvláštní funkce. Dále obsahuje klávesnice 15 až 18 číselných kláves, které zároveň zajišťují pohyby kurzoru. Tuto skupinu lze klávesou s elektricky aretovanou polohou, signalizovanou LED diodou, vyřadit z provozu. Poslední skupinou jsou klávesy pro pohyb kurzoru.

Klávesnice modelu XT komunikuje s nadřazenou systémovou jednotkou (prostřednictvím jejího adaptéru) jednosměrně, klávesnice modelu AT obousměrně. Její adaptér je na bázi specializovaného mikroprocesoru pro realizaci rozhraní (8042).

Monitor

Monitor a všechny další periferie se k většině modelů připojují prostřednictvím adaptéru ve V/V kanálu. Toto řešení umožňuje volit jeho typ podle požadavků na kvalitu zobrazení, a tím i na cenu. Adaptéry jsou buď pro monochromatické monitory (MDA, HERKULES), nebo pro monitory barevné (CGA, EGA, EGA Wonder, VGA, Super VGA, TIGA atd.). Některé adaptéry mohou pracovat v několika režimech. Liší se především rozlišovací schopností, počtem barev a rozkladovými frekvencemi. I některé monitory jsou tzv. typu MULTISYNC a mohou pracovat s různými typy adaptérů.

Tiskárna

Vzhledem k tomu, že tištěná informace bývá znaková, ale stále častěji také grafická, bývají tomu přizpůsobena i příslušná výstupní zařízení pro trvalý záznam informace na papír či podobné médium. Nejběžnější jsou úderové bodové tiskárny na papír formátu A4 (šířka 210, příp. 254 mm - 10") s perforací na krajích. Kvalita tisku se (zhruba) označuje takto:
Draft - 9 jehliček, rychlost tisku asi 220 znaků za sekundu; **NLQ - Near Letter Quality** -18 jehliček, 110 znaků za sekundu; **LQ - Letter Quality** - 24 jehliček, 70 znaků za sekundu. Některé tiskárny mají možnost ručního nebo

programového přepínání kvality, a tím i rychlosti tisku. Kromě bodových úderových tiskáren se jako periferie osobních počítačů ve zvláštních aplikacích používají i úderové konturové nebo naopak bodové bezúderové tiskárny. Zdá se, že perspektivní jsou zejména bezúderové tiskárny xerografické.

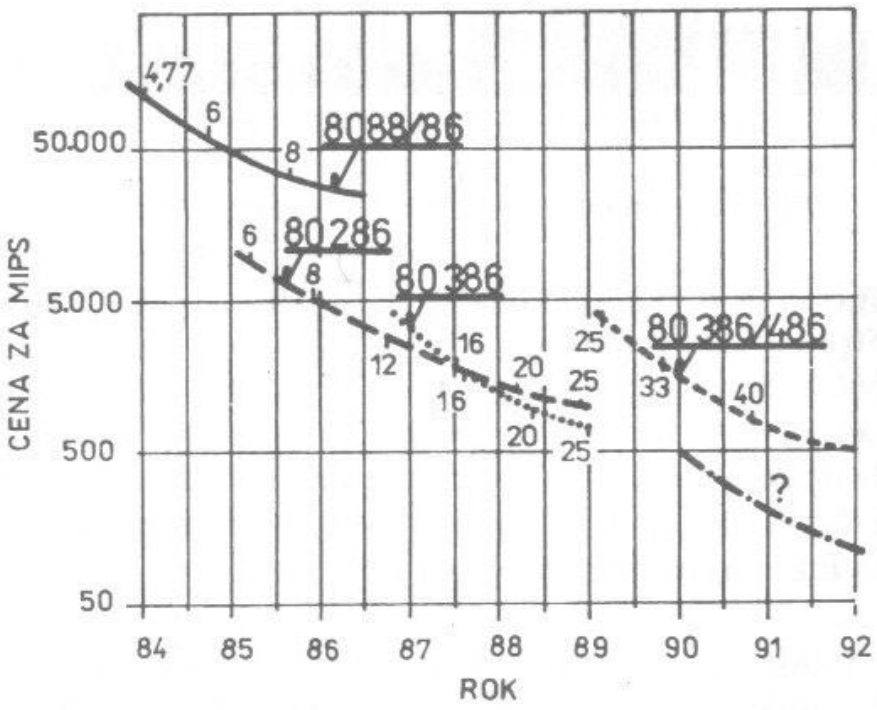
Adaptér pro tiskárnu je někdy součástí adaptérů jiných a mluvíme pak o multifunkčním adaptéru. Jindy bývá speciálně určen jen pro tiskárnu. Nejběžnějším rozhraním pro připojení tiskárny je paralelní rozhraní, méně často pak sériové rozhraní.

Myš

Nejčastěji prostřednictvím kuličky, převádějící pohyb po vodorovné podložce na elektrické signály, pohybuje uživatel po monitoru počítače speciální grafickou značkou - kurzorem. I myš se připojuje k sériovému rozhraní, avšak existují i provedení tzv. BUS MOUSE, která mají svůj vlastní adaptér. Součástí myši jsou i dvě až tři tlačítka, kterými se obsluhuje menu nebo se vyvolávají specifické operace. V tělese myši je mikroprocesor, který vyhodnocuje signály dvou na sebe kolmých snímačů polohy, předává je systémové desce a zabezpečuje i obsluhu tlačítek.

3. Mikroprocesory v osobních počítačích standardu PC XT/AT

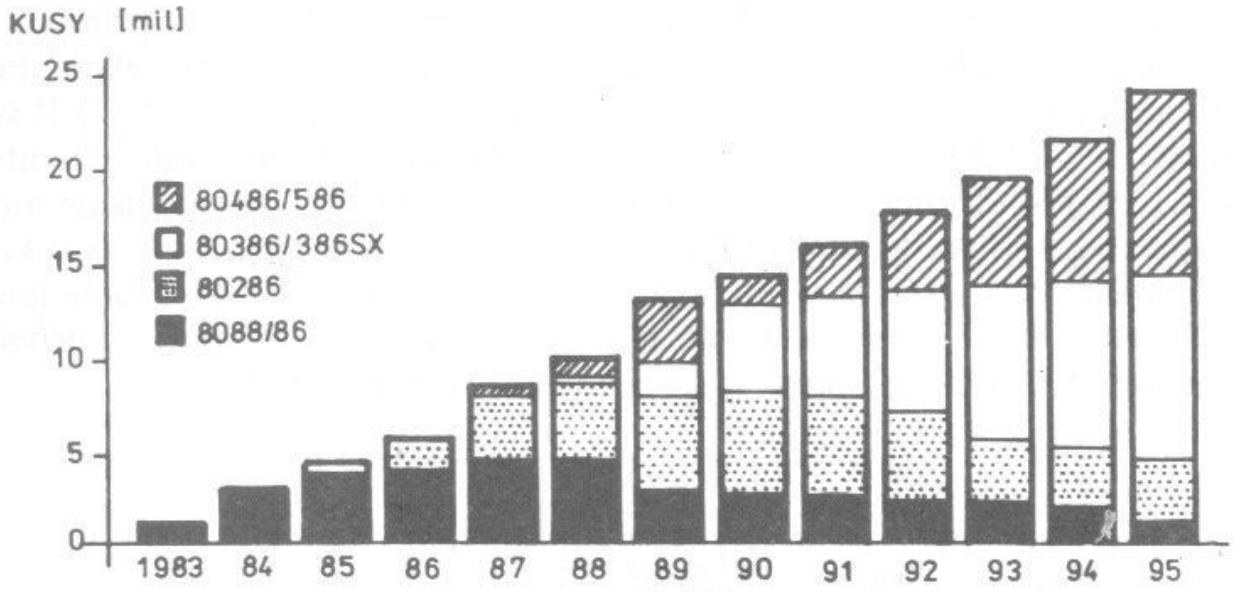
Pokroky v některé oblasti techniky můžeme sledovat na mnoha přímých či nepřímých ukazatelích, například na vývoji závislosti ceny za výkon. Pro mikroprocesorovou techniku uvádí zajímavé závěry a prognózy např. [4]. První osobní počítače dosahovaly rychlosti (měřeno v milionech operací za sekundu) asi 0,1 MIPS. Zhruba každé tři roky se jejich rychlost zdesetinásobovala a tento trend se předpokládá i do budoucnosti. Naproti tomu cena za výkon ve stejném období téměř ve stejném poměru klesala (obr. 3.2). Někdy mezi roky 1990 a 1995 můžeme podle této prognózy očekávat osobní počítače s rychlostí 100 MIPS a odpovídající cenou za výkon pod 50 $.



Obr. 3.1 Vývoj ceny mikroprocesoru za výkon

Díky osobním počítačům IBM (a samozřejmě i jejich klonům) jsou nejrozšířenějšími šestnáctibitovými mikroprocesory 8088, 8086 a 80286. Vyvinout nový mikroprocesor s vyšším výkonem a nižší cenou není pro žádného výrobce automatickou zárukou úspěchu. K tomu, aby se nový výrobek prosadil, musí být slučitelný se zavedeným standardem. Ten dnes právě

představují rodiny osobních počítačů kompatibilních s IBM PC a PS/2 s těmito mikroprocesory. Na trhu se tedy postupně objevují jejich více či méně zdokonalené kopie.



Obr. 3.2 Nejpoužívanější mikroprocesory INTEL

Japonská firma Nippon Electric Company (NEC) nabízí kopie mikroprocesorů I 8088 a I 8086 pod označením V 20 a V 30. Jsou až o 30% rychlejší, díky technologii CMOS podstatně energeticky výhodnější, na úrovni vývodů zcela kompatibilní, avšak s rozšířeným souborem výkonnějších instrukcí. Za to si firma vysloužila dodnes neukončený soudní spor. O kopie se úspěšně pokoušejí i jiní výrobci. Zdá se, že je však INTEL nepovažuje za nebezpečné konkurenty, protože jim (zatím) výroba bez problémů prochází.

Právě zmíněný soudní spor zřejmě vedl firmu NEC k rozhodnutí vyvíjet vlastní dvaatřicetibitové mikroprocesory V 60 a V 70, které nejsou s mikroprocesory I 80386 a I 80486 kompatibilní. Díky sporu totiž zájem zákazníků o jinak vynikající mikroprocesory řady V ochladl. V případě prohry (a ta je poměrně dost pravděpodobná) by musely být všechny japonské kopie staženy z trhu. Možná ještě závažnějším důvodem je to, že současný stav metody "zpětného inženýrství" není pro tvorbu kopie I 80386 použitelný. Úspěšným konkurentem dvaatřicetibitových osobních počítačů s mikroprocesory firmy INTEL je firma APPLE. Je od počátku věrná mikroprocesorům MOTOROLA a na trhu se

prosadila vynikajícími výrobky Macintosh, Macintosh SE a Macintosh II. Jejich hlavní aplikační doménou je **vydavatelství na stole** (desk top publishing). Jádrem těchto mikropočítačů jsou mikroprocesory MC 68000, 68020, 68030.

8b – vonkajšia dat. zbernica

3.1 Mikroprocesor 8088

Zvláštností tohoto šestnáctibitového mikroprocesoru, na úrovni instrukcí plně kompatibilního s 8086, je osmibitová vnější datová sběrnice. Adresová sběrnice je multiplexovaná a umožňuje adresovat až 1 MB paměti. Mikroprocesor tvoří dva autonomní funkční bloky, které spolu spolupracují, ale převážně vykonávají specifické funkce jako samostatné synchronní procesory (obr. 3.3).

Prvním z nich je **sběrnicová jednotka** (BIU - Bus Interface Unit), která se stará o všechny operace související se sběrnicí (čtení instrukcí a čtení a zápis operandů do paměti nebo V/V zařízení). Zajišťuje pochopitelně i její základní řízení. Její součástí je čtyřbajtová fronta instrukcí, do které BIU v okamžicích, kdy není jiný požadavek na sběrnicový cyklus, připravuje bajty instrukcí z paměti.

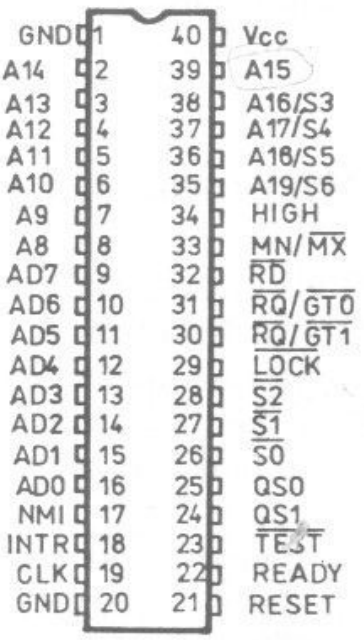
Druhým je **výkonná jednotka** (EU - Execution Unit), která dekóduje a provádí instrukce, jejichž kód čte z instrukční fronty. Do BIU naopak zasílá relativní adresy operandů (pro čtení nebo zápis). Výpočet efektivní adresy a vlastní přenos operandů zajišťuje opět BIU.

Oba autonomní funkční bloky tedy představují proudový způsob zpracování instrukcí (pipelining), který práci mikroprocesoru zrychluje. V IBM PC i jeho klonech pracuje 8088 v tzv. maximálním módu.

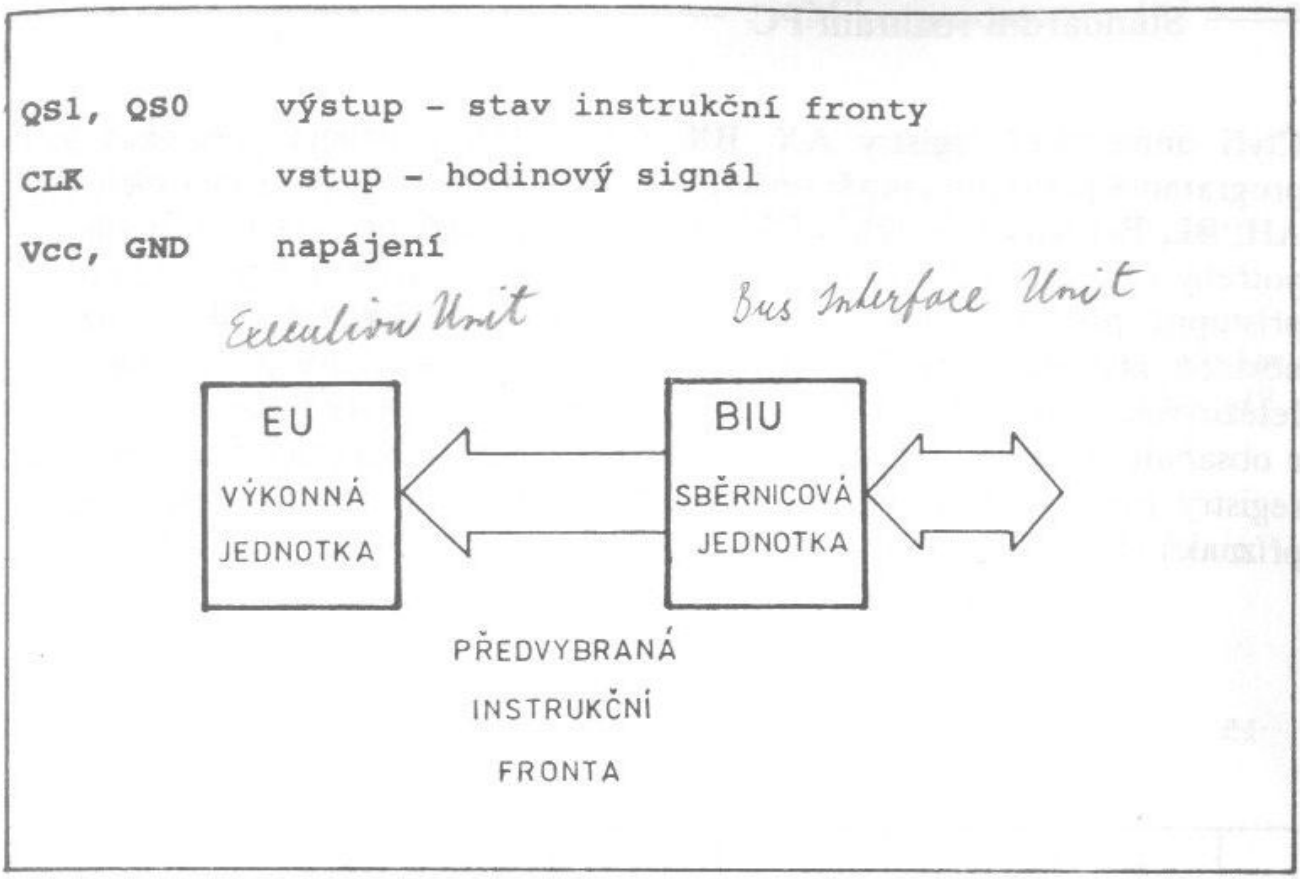
Programátorský model

Mikroprocesor 8088 obsahuje čtrnáct programově přístupných registrů; celkem devět je jich součástí výkonné jednotky, zbývajících pět je v jednotce sběrnicové; podrobný přehled uvádí obr. 3.4.

označení vývodu	význam
AD7-0	obousměrné - třístavová multiplexovaná adresová a datová sběrnice
A15-8	výstupy - adresová sběrnice
A19/S6-A16/S3	výstupy - multiplexovaná adresová sběrnice a stavové informace
HIGH	výstup - v maximálním módu vždy ve stavu H
$\overline{RD}$	výstup - čtení z paměti nebo V/V zařízení; aktivní je úroveň L



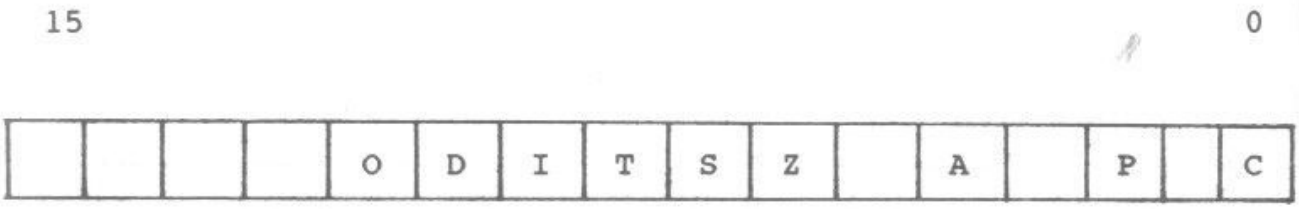
READY	vstup - synchronizace s pomalými spolupracujícími obvody; úroveň H potvrzuje dokončení přenosu dat
INTR	vstup - žádost o přerušení; testuje se v posledním taktu instrukce a vstup může být programově zamaskován
$\overline{TEST}$	vstup - jeho stav testuje speciální instrukce WAIT; je-li H, pokračuje se ve zpracování programu, je-li L, pokračuje se v testování
NMI	vstup - nemaskovatelný vstup žádosti o přerušení typu 2; aktivní je náběžná hrana
RESET	vstup - nulování mikroprocesoru
$\overline{S2}$-$\overline{S0}$	výstup - stav procesoru
MN/$\overline{MX}$	vstup - určení módu činnosti mikroprocesoru; pro IBM PC vždy L, protože definuje maximální mód
$\overline{RQ}$/$\overline{GTi}$	obousměrné - spolupráce s koprocesorem
$\overline{LOCK}$	výstup - potlačení žádosti ostatních procesorů o přidělení sběrnice



Obr. 3.3 Význam a rozložení vývodů mikroprocesoru 8088

Obr. 3.4 Programátorský model mikroprocesoru 8088

Čtyři univerzální registry AX, BX, CX a DX (výkonná jednotka) jsou programově přístupné jako šestnáctibitové nebo jako dvojice osmibitových (AL, AH, BL, BH, CL, CH, DL a DH). Programátor tedy pracuje zcela podle své potřeby s horním (xH) nebo spodním (xL) bajtem. Zásobník je programově přístupný přes ukazatel zásobníku (SP). Bázový ukazatel (BP) používají některé instrukce pro výpočet efektivní paměťové adresy. Indexregistry řetězových operací (SI, DI) využívají instrukcí pro práci s datovými řetězy a obsahují zdrojový, resp. cílový index operandu. I naposled uvedené čtyři registry jsou součástí výkonné jednotky, stejně jako velmi důležitý registr příznaků (FLAGS), jehož strukturu a význam bitů popisuje obr. 3.5.

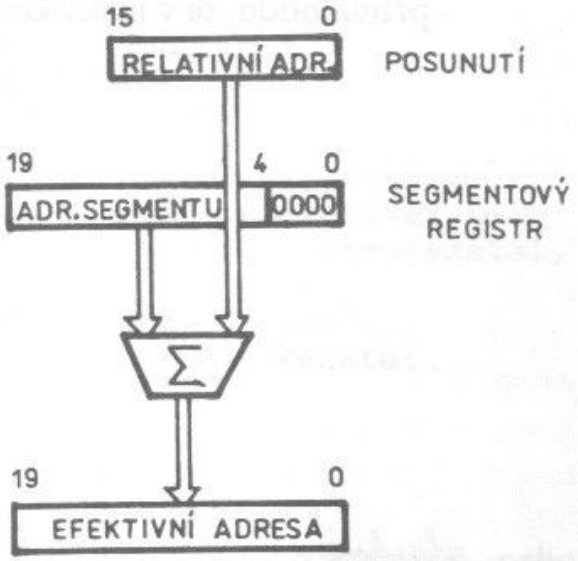


C - přenos z nejvyššího řádu
A - pomocný přenos pro desítkové operace
S - znaménko výsledku
I - přerušení povoleno
O - přeplnění v doplňkovém kódu
P - parita
Z - nulový výsledek
T - krokování
D - směr přenosu při řetězových operacích

Obr. 3.5 Struktura registru příznaků (FLAGS)

Zbývající programátorsky přístupné registry jsou součástí jednotky sběrnicové a slouží k výpočtu efektivní adresy. Je to především ukazatel instrukcí (IP) obsahující relativní adresu (offset) příští vybírané instrukce vůči začátku segmentu. Bázovým registrem je pro tento účel kódový segmentový registr (CS). Zásobníkový segmentový registr (SS) zase formuje efektivní adresu s posunutím v dříve již zmíněném ukazateli zásobníku (SP). Způsob adresování stručně vysvětlí následující odstavec.

Mikroprocesor 8088 obsahuje mechanismy, které dovolují adresovat 1 MB adresového prostoru pomocí pouze šestnáctibitových odkazů. Ty obsahují relativní adresu (instrukce, operandu, vrcholu zásobníku atd.) v rámci tzv. segmentu, jehož délka je 64 KB. Odkaz je vlastně posunutím (offsetem) a efektivní adresa se před provedením příslušné paměťové akce vypočítá ve sběrnicové jednotce. Postup jejího výpočtu uvádí obr. 3.6. Posunutí někdy nazýváme **logickou adresou**, zatímco efektivní adresa je **adresou fyzickou**.



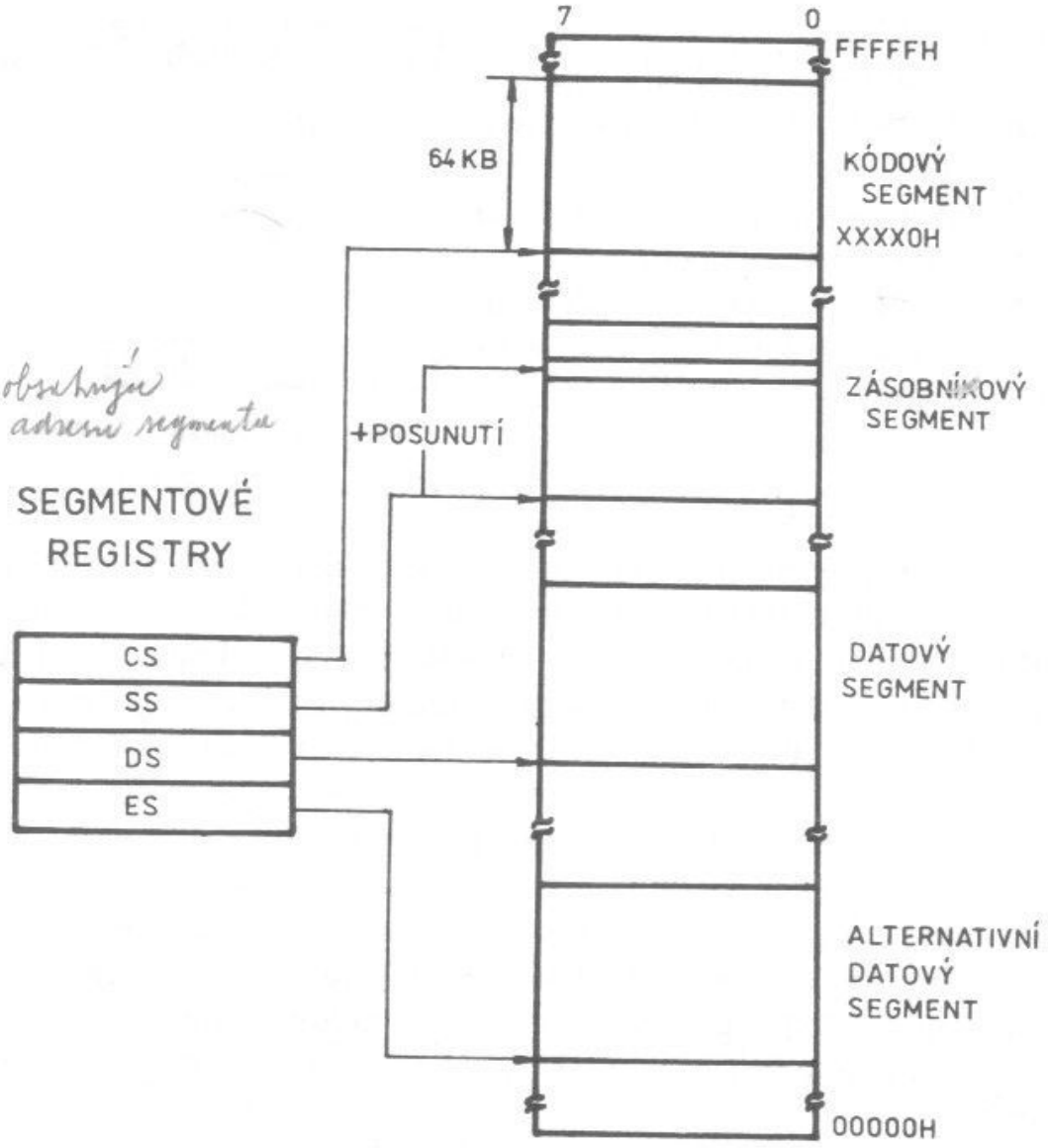
Obr. 3.6 Způsob výpočtu efektivní adresy

Segmentové registry se používají pro výpočet efektivní adresy, přičemž se vybírají podle aktuálního typu strojového cyklu. Už víme, že kódový segmentový registr slouží k určení adresy při čtení kódu a dalších částí instrukce z paměti a že zásobníkový segmentový registr se aktivuje při práci se zásobníkem. Při práci s daty (čtení nebo zápis) se zase užívá datový segmentový registr (DS), nebo alternativní datový segmentový registr (ES). Organizaci adresovatelné paměti mikroprocesoru 8088 a význam segmentů uvádí obr. 3.7. Na rozdíl od situace zachycené na tomto obrázku se jednotlivé segmenty mohou i překrývat. Hlavní výhodou segmentace paměti je snadné přemísťování programových modulů. I když tuto programovací techniku oceňují hlavně tvůrci programů spouštěných v multiprogramovém režimu a to není případ operačního systému MS DOS, využije se i zde (předkompilace procedur).

Výpočet efektivní adresy při strojovém cyklu výběru instrukce jsme už popsali. Zastavme se však ještě u čtení nebo zápisu operandů. Pro výpočet adresy konkrétního paměťového místa využíváme čtyř typů hodnot, které jsou dány implicitně typem prováděné instrukce, nebo explicitně programátorem:

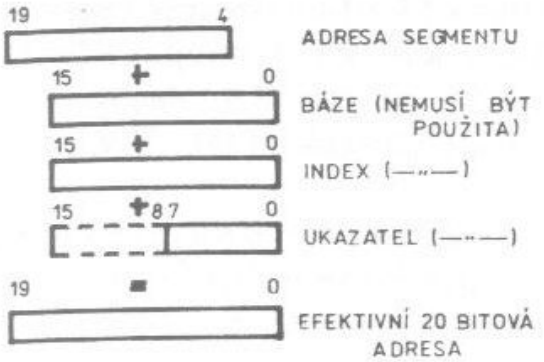
- segmentový registr (CS,DS,ES,SS) - obsahuje adresu segmentu
- bázový registr (BX,BP) - obsahuje bázi

- indexregistr (SI,DI) - obsahuje index
- přímá hodnota v instrukci (osmi, šestnáctibitová) - obsahuje ukazatel



Obr. 3.7 Organizace paměti

Efektivní adresy se určují aritmetickými operacemi nad obsahy příslušných registrů podle požadavků programátora, které se uvádějí syntaktickým zápisem instrukce, resp. operandů. Možné kombinace uvádí obr. 3.8.




```
Efektivní adresa =
adr.segmentu+báze+
+index+ukazatel
nebo
adresa segmentu+báze+index,
adresa segmentu+báze+ukazatel,
adresa segmentu+index+ukazatel,
adresa segmentu+báze,
adresa segmentu+index,
adresa segmentu+ukazatel.
```

Obr. 3.8 Výpočet efektivní adresy

Mikroprocesor 8088 zpracovává přerušení vyvolaná buď programově, nebo technickými prostředky. Programově se přerušení vyvolá speciální instrukcí (INT n). U druhého typu rozlišujeme tzv. přerušení vnitřní, jehož původ souvisí s obvody mikroprocesoru, a vnější, které vyvolávají obvody kolem něj. Vnitřní přerušení generuje ALU při dělení (dělení nulou), při přeplnění řádové mřížky, nebo řadič po vykonání instrukce v režimu krokování. Žádost o vnější přerušení předávají spolupracující obvody prostřednictvím přerušovacích vstupů NMI a INTR.

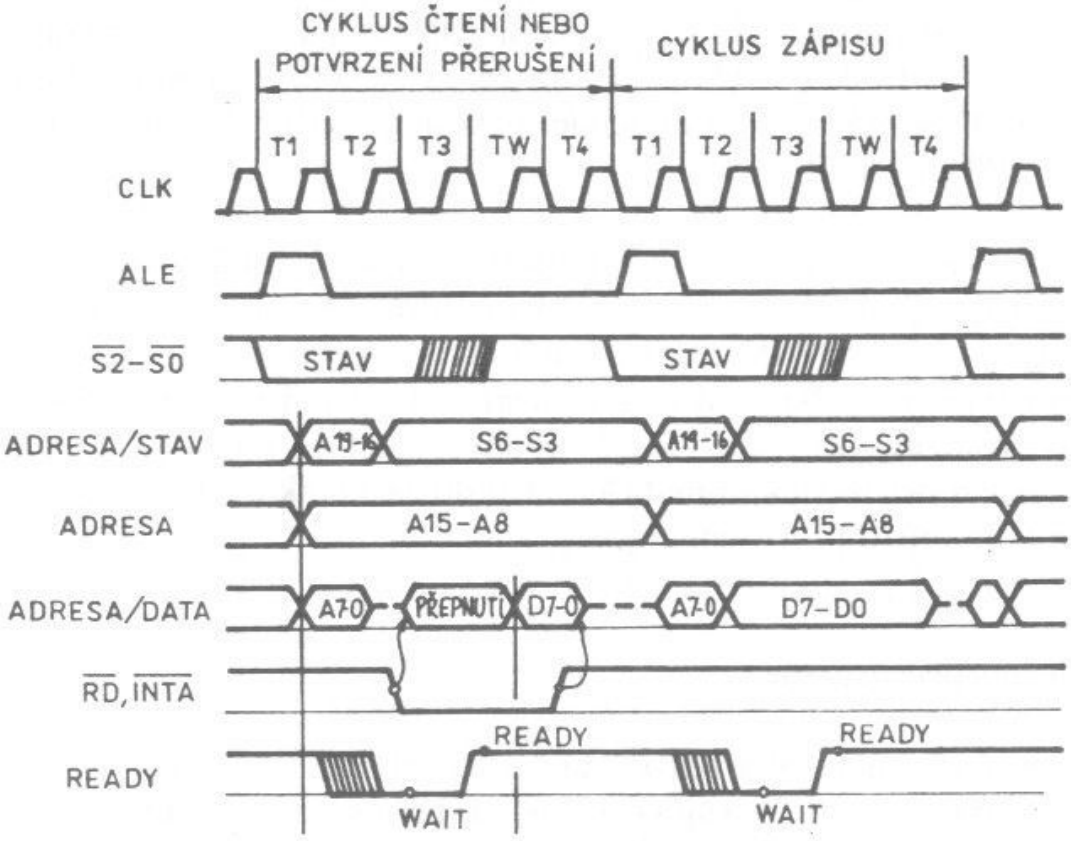
Pro přechod na obsluhu přerušení slouží mikroprocesoru tabulka tvořená 256 ukazateli (čtyřbajtovými prvky) a umístěná na adresách 0 až 1023 operační paměti. Každý z nich tvoří dvoubajtová hodnota nového obsahu kódového segmentového registru (CS) a ukazatele instrukcí (IP). Tak mikroprocesor přechází na obslužný program. Staré hodnoty těchto registrů se spolu s obsahem registru příznaků automaticky uloží do zásobníku, a tak se umožní návrat na správné místo přerušeného programu.

Časování mikroprocesoru 8088

Zpracování jedné instrukce mikroprocesoru 8088 probíhá v několika časových intervalech, kterým říkáme **strojové cykly**, a během nich mikroprocesor prostřednictvím sběrnice spolupracuje s pamětí nebo V/V obvody. Strojový cyklus, i když je dále dělený a nemusí být vždy stejně dlouhý, je základní ucelenou aktivitou mikroprocesoru.

Každý ze strojových cyklů má minimálně čtyři takty, které vymezuje generátor hodinového signálu. Označují se T1 až T4 a mezi T3 a T4 může mikroprocesor vložit libovolný počet **čekacích taktů TW**, podle stavu vstupu READY. Základní časování mikroprocesoru 8088 vidíte na obr. 3.9. Zachycena je situace, kdy se signálem READY vnucuje vždy jeden čekací takt TW.

Signály adresy se vysílají během taktu T1, data se na datové sběrnici objevují v taktech T3 a T4. Taktu T2 využívá řadič mikroprocesoru ke změně směru přenosu po datové sběrnici při čtení. Adresovou sběrnici tvoří tři skupiny vývodů. Signály na vývodech AD0 - AD7 mají význam podle právě probíhajícího taktu, musí se multiplexovat. Adresovou informaci nesou v době trvání taktu T1. Podobně multiplexované jsou vývody nesoucí nejvyšší čtyři adresové bity A16 - A19, ale s nimi multiplexované jsou signály doplňující stavovou informaci S3 - S6. Pouze prostředních osm adresových bitů je k dispozici po celou dobu strojového cyklu. Během T1 každého strojového cyklu vysílá obvod 8288 (spolupracující v maximálním módu s mikroprocesorem na genero-



Obr. 3.9 Časování mikroprocesoru 8088

vání signálů řídicí signálů řídicí sběrnice) signál ALE zápisu multiplexovaných adresových bitů do vyrovnávací paměti na systémové desce. Děje se tak jeho závěrnou hranou a kromě adresy se zapisují i stavové bity $\overline{S0}$ - $\overline{S2}$. I těch využívá zmíněný řadič sběrnice a podle jejich hodnoty identifikuje typ právě probíhajícího strojového cyklu (viz tab. 3.1).

Stavové bity S3 - S6 multiplexované s nejvyššími adresovými bity platí v taktech T2 - T4 a nesou tuto informaci: S3 a S4 indikují, který ze segmentových registrů byl použit k formování adresy (podle uvedené tabulky). Stavový výstup S5 je kopií bitu povolení přerušení z registru příznaků, bit S6 má trvale hodnotu 0.

$\overline{S2}$	$\overline{S1}$	$\overline{S0}$	Typ cyklu
0	0	0	Potvrzení přerušení
0	0	1	Čtení z V/V zařízení
0	1	0	Zápis do V/V zařízení
0	1	1	Zastavení mikroproc.
1	0	0	Čtení instrukce
1	0	1	Čtení z paměti
1	1	0	Zápis do paměti
1	1	1	Pasivní

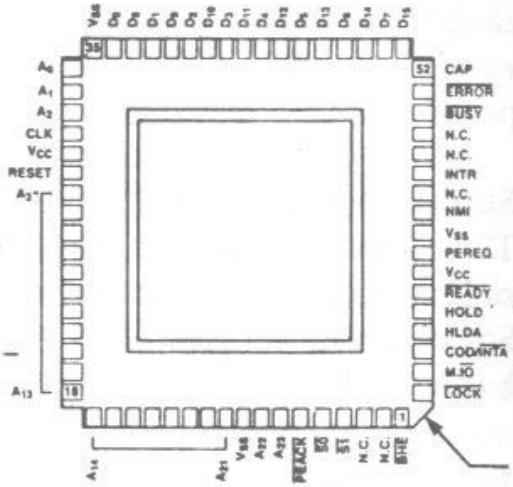
S4	S3	Segm. registr
0	0	ES
0	1	SS
1	0	CS/žádný
1	1	DS

Tab. 3.1 Význam stavových bitů S0 - S4

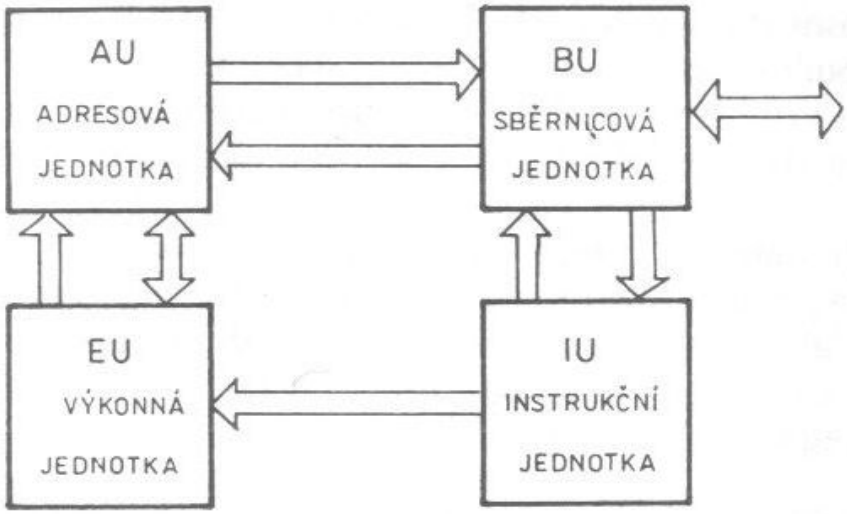
V IBM PC XT se, jak dále uvidíme, paměťové strojové cykly mikroprocesoru 8088 provádějí bez vloženého čekacího taktu, zatímco strojové cykly čtení nebo zápisu do V/V se automaticky prodlužují o nejméně jeden čekací takt. V případě nutnosti se mohou ještě více prodloužit, ale počet vložených TW by neměl přesáhnout deset, aby se nenarušilo obnovování dynamických pamětí.

Signál ALE v obr. 3.9 je signálem platnosti údajů na adresové sběrnici a generuje ho obvod 8288 jádra mikropočítače. Stejně tak se stará i o generování na obrázku uvedených signálů RD, INTA, jakož i dalších řídicích signálů, z nichž některé jsou součástí řídicí části sběrnice modelu XT.

Označení vývodu		Význam
A23-A0	výstup	- adresová sběrnice
D15-D0	obousměrné	- datová sběrnice
BHE	výstup	- povolení přenosu horní polovinou datové sběrnice
S1,S0	výstup	- indikace začátku sběrnicového cyklu a jeho typu
M/IO	výstup	- rozlišení přístupu k paměti, respektive V/V zařízením
COD/INTA	výstup	- rozlišení výběru instrukce od cyklu čtení dat z paměti a potvrzení přerušení od cyklu V/V
LOCK	výstup	- blokování změny v přidělení sběrnice pro následující sběrnicový cyklus
READY	vstup	- ukončení sběrnicového cyklu, pokud L je ignorováno, pokud procesor potvrdil požadavek na převzetí sběrnic (HOLD) jiným mastrem
HOLD	vstup	- žádost o převzetí sběrnic jiným mastrem
HLDA	výstup	- potvrzení žádosti HOLD
INTR	vstup	- žádost o přerušení; aktivní je úroveň H, která musí zůstat nastavena nejméně po dobu prvního potvrzovacího cyklu přerušení
NMI	vstup	- žádost o nemaskovatelné přerušení; aktivní je úroveň H, která musí trvat nejméně 4 takty hodin
PEREQ	vstup	- koprocesor žádá o operand
$\overline{\text{PEACK}}$	výstup	- potvrzení přenosu operandu
BUSY	vstup	- koprocesor pracuje; aktivní L zastaví provádění programu procesoru na instrukci WAIT nebo ESC až do ukončení signálu. Během čekání lze mikroprocesor přerušit



$\overline{\text{ERROR}}$	vstup	- aktivní úroveň L způsobí při provádění instrukcí WAIT a ESC přerušení od koprocesoru
RESET	vstup	- nulování mikroprocesoru
CLK	vstup	- systémové hodiny
CAP		- vnější kondenzátor 47 nF, 12 V, druhý pól na zemi; filtruje vnitřní generátor předpětí substrátu
GND, Vcc		- napájecí napětí



Obr. 3.10 Význam a rozložení vývodů mikroprocesoru 80286

3.2 Mikroprocesor 80286

Šestnáctibitový mikroprocesor 80286 umožňuje adresovat 16 MB fyzického adresového prostoru nebo 1 GB virtuálního prostoru. Pracuje buď v reálném režimu (tj. režimu mikroprocesoru 8086), nebo privilegovaném virtuálním adresovém režimu, který automaticky provádí transformaci segmentů virtuální paměti do segmentů paměti fyzické. Tvoří ho čtyři autonomní funkční bloky, které vzájemně spolupracují (obr. 3.10) a díky proudovému zpracování (pipelining) výkon mikropočítače výrazně zvyšují. Uvádí se [5], že 8 MHz 80286 má proti 5 MHz 8086 šestkrát vyšší propustnost.

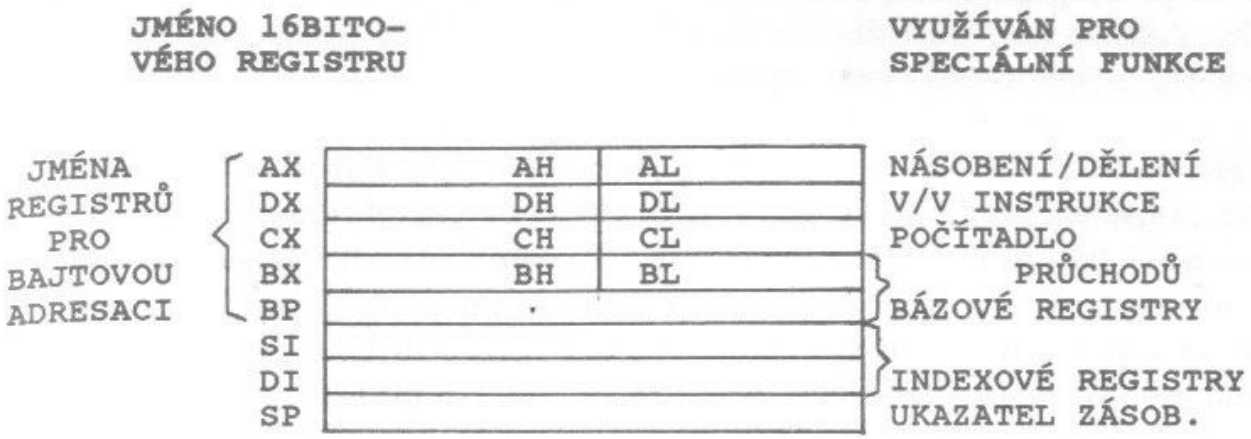
Sběrnicová jednotka (BU) zajišťuje spolupráci s ostatními částmi mikropočítačového systému a používá k tomu čtyřiadvacet adresových, šestnáct datových a osm stavových a řídicích signálů. V IBM PC zprostředkují tuto spolupráci budiče datové a adresové sběrnice (74ALS573, 74ALS245 a 74LS646) a systémový řadič 82288. Součástí sběrnicové jednotky je fronta šesti bajtů, do které se v době, kdy je sběrnice volná, předvybírají instrukce.

Ve **výkonné jednotce** (EU) se provádějí instrukce podle programu. Její součástí je především aritmeticko-logická jednotka, ale také registry, tj. místa nejčastějšího uložení operandů. Tato jednotka při provádění instrukcí často spolupracuje i s dále popsanou AU, neboť operand bývá umístěn i na jiném místě než v registru - např. v paměti.

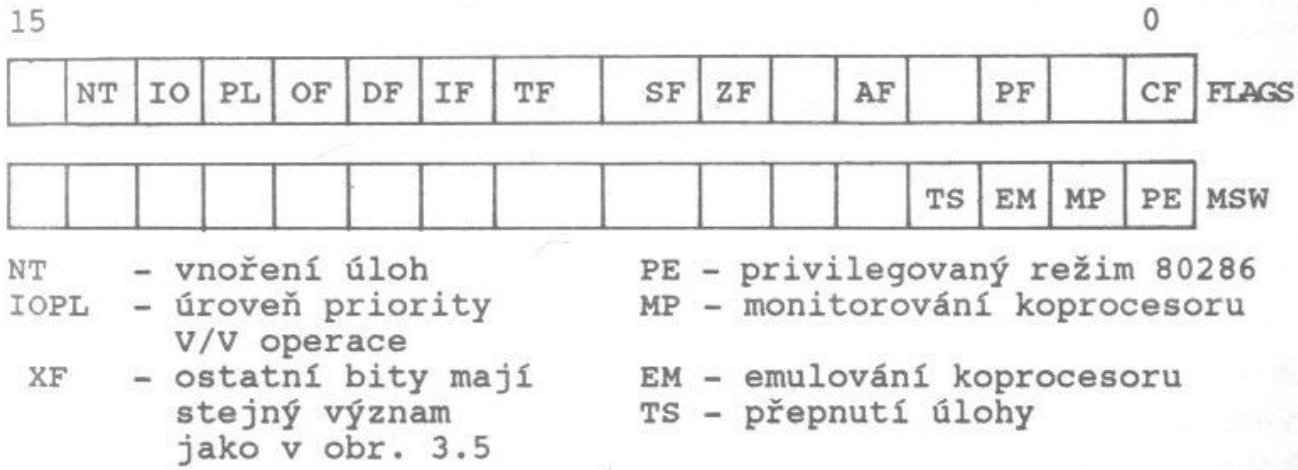
Pro výpočet efektivní adresy je určena další, tzv. **adresová jednotka** (AU). Aby nedocházelo ke zbytečnému zdržování při výpočtu adresy, obsahuje dokonce dvě sčítačky. Vypočítaná efektivní adresa se na sběrnici předává prostřednictvím sběrnicové jednotky, která také zprostředkuje i příjem operandu z paměti.

Předběžné dekódování instrukcí z instrukční fronty a tvorbu dekódované fronty má na starosti **instrukční jednotka** (IU) spolupracující jak s BU, tak i EU.

Rozklad mikroprocesoru na čtyři spolupracující jednotky má svůj důvod v požadavku jeho vysoké operační rychlosti, které se dosahuje zejména proudovým zpracováním.



Obr. 3.11 Programátorský model mikroprocesoru 80286



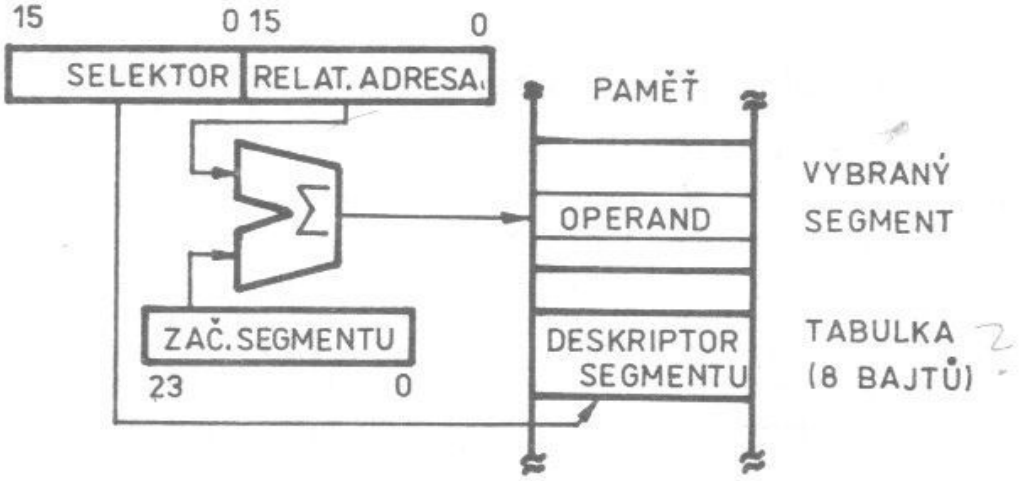
Obr. 3.12 Struktura registru příznaků a stavového slova procesoru

Programátorský model

Mikroprocesor 80286 má stejné pracovní a adresové segmentové registry (obr. 3.11) jako 8088; liší se pouze registr příznaků, ve kterém jsou tři nové bity a přidáno je stavové slovo procesoru MSW (obr. 3.12). Instrukční soubor je zdola kompatibilní, takže vedle 28 nových instrukcí obsahuje celou podmnožinu instrukcí 8088.

Paměť je zorganizována jako množina segmentů proměnné (max. 64 KB) délky. Adresa je dvousložková, skládá se ze šestnáctibitového segmentového selektoru a šestnáctibitového posunutí.

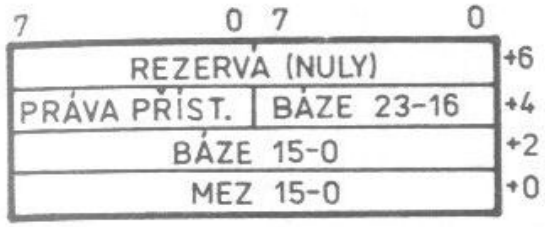
V režimu reálné adresy (typu 86) se efektivní adresa vypočítává stejně, jako je to popsáno u mikroprocesoru 8088. Fyzická paměť má kapacitu 1 MB a adresové bity A20 - A23 se neuplatňují. V paměti jsou dvě vyhrazené oblasti. Na adresách FFFF0 až FFFFF (u IBM PC osazeno pamětí ROM s BIOSEM) jsou data pro inicializaci systému - studený start MS DOS - a na adresách 00000 až 003FF (v IBM PC paměť RWM) tabulka přerušovacích vektorů.



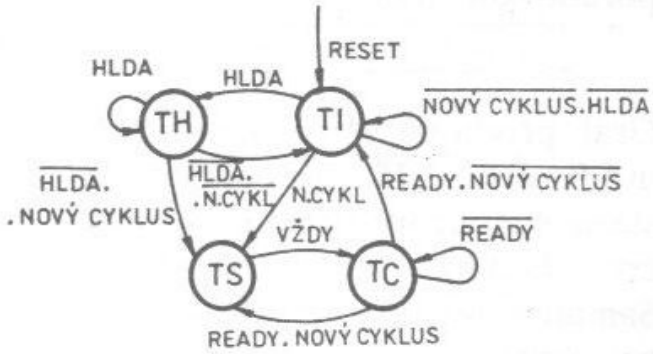
Obr. 3.13 Adresace paměti v privilegovaném režimu

Privilegovaný virtuální adresovací režim se nastavuje instrukcí LMSW s PE = 1. Virtuální adresový prostor 1 GB se pro každou úlohu mapuje do fyzického šestnáctimegabajtového prostoru určovaného adresovými bity A23 - A0. V tomto režimu se též používají dvaatřicetibitové ukazatele složené ze šestnáctibitových selektorů a stejně velké relativní adresy. Selektor je však ukazatel do osmibajtové tabulky deskriptoru segmentu, která je rezidentní v paměti. Tabulka obsahuje (viz obr. 3.13) čtyřiadvacetibitovou adresu báze (začátku) segmentu, která se podílí na výpočtu efektivní adresy podle obr. 3.14, dále pak velikost segmentu (mez) a jeden bajt práva přístupu k segmentu. Tento bajt spolu s velikostí segmentu tvoří atributy segmentu. Nesouhlasí-li atributy při konkrétním přístupu, paměťový cyklus se blokuje a generuje se přerušení.

V systému 80286 jsou definovány deskriptory segmentu kódu, zásobníku, datového segmentu a deskriptory speciálních datových segmentů operací předávání řízení (pro přerušení a přepínání úloh). Podrobný popis jejich využití je však mimo rámec tohoto textu a čtenáře odkazujeme např. na [5]. V operačním systému MS-DOS totiž pracuje 80286 v režimu reálné adresy, a tedy emuluje 8088. Paměť RWM větší než 1 MB je přístupná pouze programově, pomocí ovladačů EMM. O tom více viz kapitola 7.



Obr. 3.14 Struktura datového a kódového deskriptoru



Obr. 3.15 Graf přechodů mezi stavy procesoru 80286

Časování mikroprocesoru 80286

Vzhledem k proudovému způsobu práce vnitřních bloků mikroprocesoru není zpracování jedné instrukce tak průhledné jako v případě předchozím. Jediným blokem, který komunikuje s okolím a informuje o stavech, ve kterých se právě nachází, je sběrnicová jednotka, a tak se vnitřní činnost mikroprocesoru promítá na pozadí její činnosti.

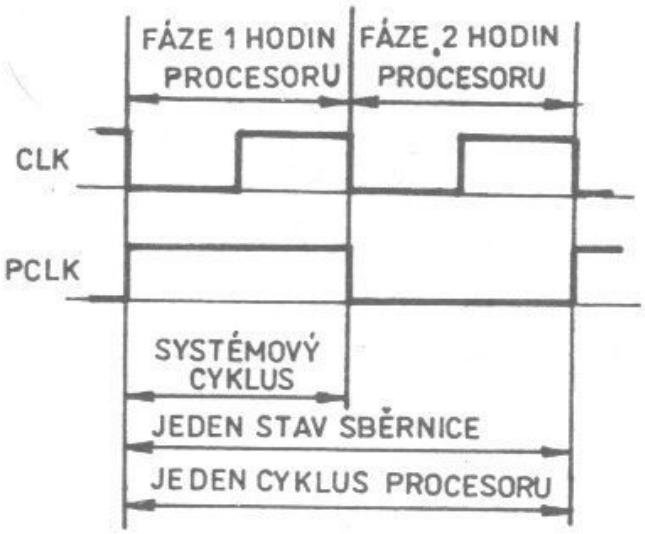
Základními stavy sběrnicové jednotky jsou:

Nečinnost (IDLE) - TI - neprovádí se, ani není požadován přenos dat.
Vyslání stavu (SEND STATUS) - TS - během tohoto stavu jsou na výstupních vývodech k dispozici zakódovaný příkaz k provedení, adresa a pro operaci zápisu i data. Příkaz dekóduje řadič sběrnice (82288) a generuje příslušné řídicí signály ($\overline{IOR}$, $\overline{IOW}$, $\overline{MEMR}$, $\overline{MEMW}$ atd.).

Provedení příkazu (COMMAND) - TC - výkonný stav, ve kterém V/V zařízení nebo paměť přijme či vyšle, tedy zpracuje data. Tento stav se v případě nutnosti může opakovat; druhý a každý další stav tohoto typu nazýváme stavem čekacím, ale označujeme ho stejně TC. Čtvrtým stavem sběrnicové jednotky je:

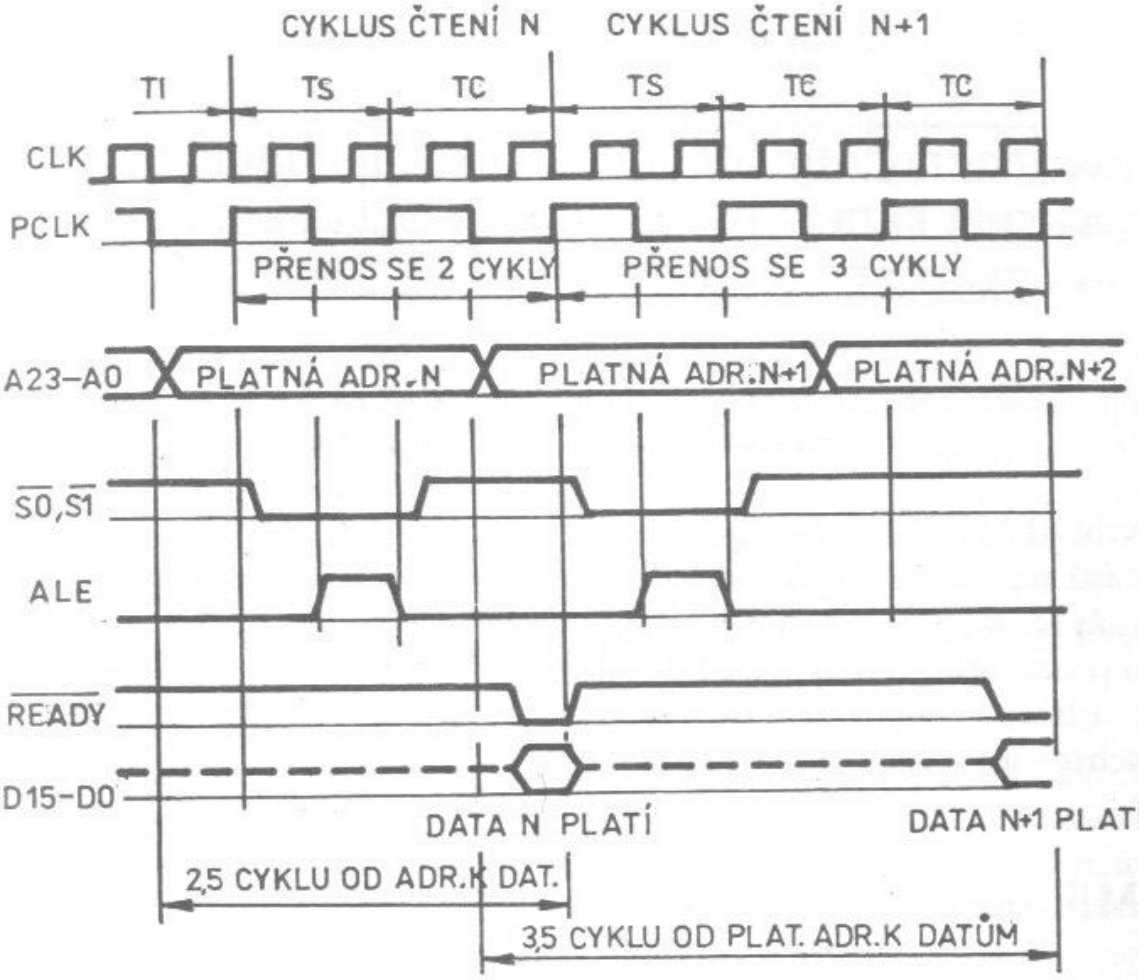
Odpojení (HOLD) - TH - při kterém sběrnicová jednotka převede všechny vstupy do třetího stavu a umožní jinému masteru sběrnice provedení jím požadované akce.

Graf přechodů mezi těmito stavy uvádí obr. 3.15. Trvání jednoho stavu sběrnicové jednotky vymezují tzv. hodiny procesoru PCLK. Samotný procesor je ale taktován tzv. systémovými hodinami CLK. Vzájemnou souvislost mezi těmito synchronizačními signály ukazuje obr. 3.16. Je-li tedy frekvence krystalu 16 MHz, pracuje mikroprocesor s hodinami PCLK 8 MHz.



Obr. 3.16 Hodiny procesoru a systémové hodiny

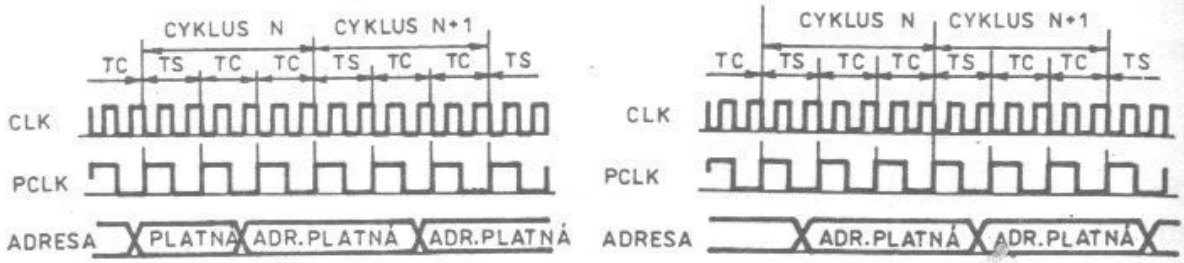
Základní cyklus sběrnice mikroprocesoru 80286 uvádí obr. 3.17. První aktivní stav TS signalizuje přechod S1 nebo S0 do aktivní úrovně (L). Po TS následuje TC. Nepřijde-li během druhé fáze systémových hodin aktivní signál READY(L), vloží se další TC navíc. V obrázku trvá první čtecí cyklus dva, druhý tři cykly hodin procesoru.



Obr. 3.17 Základní cyklus sběrnice mikroprocesoru 80286

Proudové zpracování uvnitř mikroprocesoru se projevuje i v činnosti sběrnicové jednotky. První synchronizační impuls nové operace se překrývá s posledním synchronizačním impulsem operace předcházející. Dekódování adresy by tedy mohlo probíhat už před další operací sběrnice.

V IBM PC AT se paměťové strojové cykly provádějí bez čekacích taktů nebo jen s jedním vloženým taktem. Hodiny procesoru a hodiny sběrnice jsou různé. Z důvodů kompatibility modelů se při čtení a zápisu do V/V automaticky vkládají čekací takty procesoru. Adaptér může trvání V/V sběrnicového cyklu ovlivnit směrem nahoru i dolů.



Obr. 3.18 Srovnání intervalů platnosti údajů na datové sběrnici
a) procesoru 80286 b) sběrnice ISA

V návrhu IBM PC AT však bylo nutno zajistit kompatibilitu osmibitových V/V adaptérů na sběrnici ISA. Proto se na systémové desce adresa zachycuje ve vyrovnávací paměti a k dalšímu zpracování předává zpožděna o jeden takt hodin procesoru (viz obr. 3.18). Na sběrnici modelu AT jsou proto k dispozici dvojí adresové signály: SAi (zachycené ve vyrovnávací paměti) a LAi (nezachycené, k dispozici v předstihu).

3.3 Mikroprocesor 80386

Inovací mikroprocesoru typem 80386 získaly PC mnoho nových vlastností. Při zachování programové kompatibility s předchozími typy výrazně vzrostl jejich výkon. Navíc je, díky novému privilegovanému režimu správy paměti, technicky podporován výkonnější operační systém. Hlavní vylepšení mikroprocesoru 80386 proti typu 80286 uvádí následující přehled:

- Datová i adresová sběrnice mají nyní šířku 32 bitů, čímž se adresovatelný prostor rozšířil až na 4 GB fyzické paměti.
- Nové instrukce, podpora delších datových typů, podpora delších adresových ukazatelů.
- Správa paměti umožňující dokonce 64 TB virtuálního paměťového prostoru pro jedinou úlohu, 32bitová adresace, virtuální privilegovaný režim jako má procesor 8086 a stránkový režim správy paměti.

- Výkon se zvýšil díky:
  - dvaatřicetibitovým sběrnicím,
  - šestnáctibajtové instrukční předvybrané frontě,
  - novým datovým typům,
  - snížení počtu hodinových pulsů na instrukci,
  - rychlejší správě paměti a rychlejším hodinám (16 až 33 MHz).
- Programová kompatibilita s programy běžícími na modelech s procesory 8088/86 a 80286 je zachována.

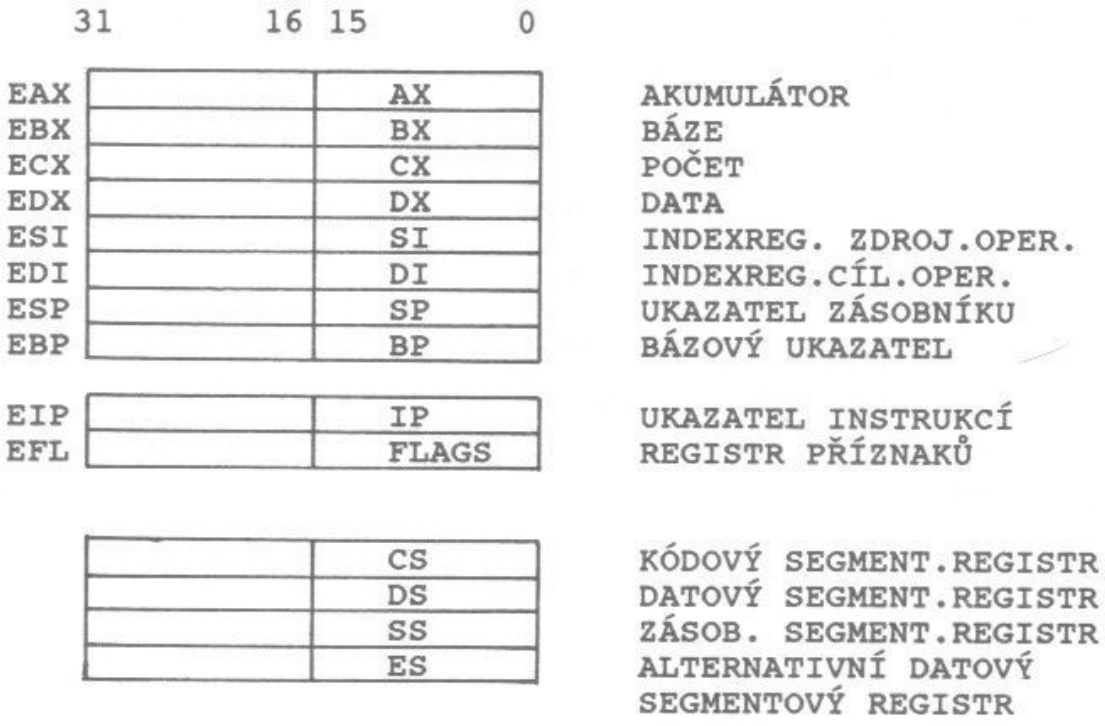
Snad největší předností mikroprocesoru 80386 je, kromě zvýšeného výkonu, nový privilegovaný režim pro emulaci 8086. V něm totiž aplikace reálného mikroprocesoru 8086 běží v jeho (80386) privilegovaném režimu. To znamená, že DOS i aplikační programy v DOSu běží jako úlohy v privilegovaném režimu operačního systému nebo supervizoru. Tím je například Windows 386 firmy Microsoft a uživatel může přepínat mezi několika DOSovskými aplikacemi, které 80386 provádí.

Výrobci součástek, pochopitelně i INTEL, dodávají k tomuto mikroprocesoru celou škálu podpůrných obvodů, které přispívají k jeho efektivní činnosti. Pro výpočetní aplikace je velmi důležitý numerický koprocesor. Ze systémového hlediska je však ještě důležitější obvod sdružující osm DMA kanálů, řadič přerušení, časovač, občerstvovací obvody dynamických pamětí a generátor čekacích taktů. Tento obvod nabízí Intel pod označením I 82380. Problém spolupráce s pamětí má na starosti obvod I 80385 - řadič paměti typu cache. Tato vyrovnávací paměť má za úkol vyloučit nebo alespoň snížit disproporci mezi rychlým procesorem a pomalou velkou vnitřní pamětí. Obvody 80386, 80387, 82380 a 80385 tvoří jádro výkonného mikroprocesorového systému a najdete je na systémových deskách novějších modelů PC.

Programátorský model

Obrázek 3.19 uvádí programátorský model tohoto mikroprocesoru a následující obr. 3.20 blokovým diagramem ilustruje postup generování fyzické adresy. V AT modelech nelze výkonu tohoto mikroprocesoru využít úplně; brání tomu

architektura V/V kanálu - sběrnice ISA. Nejsou jí sice zpomalovány paměťové operace (celá paměť je na systémové desce a má samozřejmě dvaatřicetibitový interfejs), ale brzdou jsou všechny operace probíhající přes V/V kanál. Patří do nich i operace s obrazovým adaptérem a diskem. Z tohoto důvodu se u řady PS/2 změnila strategie a i tyto adaptéry jsou součástí systémové desky.



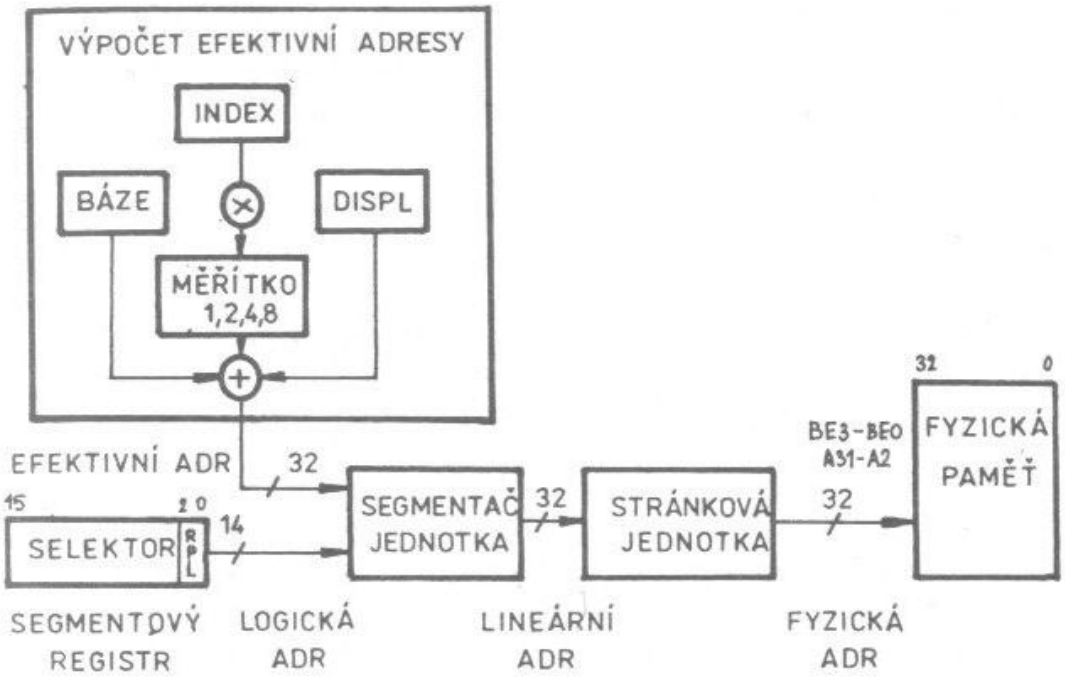
Obr. 3.19 Programátorský model mikroprocesoru 80386

3.4 Mikroprocesor 80386SX

Vzájemný vztah mikroprocesorů 80386 a 80386SX je stejný jako vztah mikroprocesorů 8086 a 8088. Mají stejný instrukční repertoár i programátorský model, avšak 80386SX má jen šestnáctibitovou datovou a čtyřiadvacetibitovou adresovou sběrnici. Tento mikroprocesor se tedy může užít jako okamžitá náhrada mikroprocesoru 80286. Mnoho současných AT modelů, hlavně téměř všechny notebooky, toho využívá.

Mikroprocesory 80386SX a 80286 nejsou pinově kompatibilní (nemají stejné vývody pouzdra). Z tohoto důvodu je nelze zaměňovat na systémové desce. Diskutabilní je výkon počítačů s mikroprocesorem 80386SX. Modely s ním

mohou být i pomalejší, než modely s velmi rychlými verzemi mikroprocesorů 80286 pracujícími bez čekacích taktů s pamětí. To platí zejména pro 16 MHz verzi 80386SX.



Obr. 3.20 Způsob generování adresy v mikroprocesoru 80386

Hlavní výhodou mikroprocesoru 80386SX je však programová kompatibilita s modelem 80386, včetně jeho podpory správy paměti. Řekneme-li totéž jinak, bude to znít například takto: Programy určené pro mikroprocesory 80386 i 80486 na modelu s 80386SX pracovat budou; nemusí však pracovat na modelu s 80286. To je hlavní vodítko, rozhodujete-li se pro nákup nového počítače.

Aby se zdůraznil úplný dvaatřicetibitový interfejs mikroprocesoru, píše se místo 80386 někdy 80386DX.

3.5 Mikroprocesor 80486

Nejvyšším členem INTELské rodiny PC mikroprocesorů je mikroprocesor 80486. O typu 80586 se zatím jen píše. Programově je mikroprocesor 80486 s dřívějším 80386 zcela kompatibilní, s tím, že má navíc šest nových instrukcí. Další modifikací je úprava řídicích registrů, která umožnila správu cache paměti na čipu. Celá inovace nesměřovala k nové architektuře, ale k výraznému zvýšení výkonu a k vyšší úrovni křemíkové integrace.

Mikroprocesor 80486 obsahuje na čipu koprocesor 80387 a 8 KB instrukční a datové paměti typu cache.

Nové rysy tohoto mikroprocesoru shrnuje následující přehled:

- Jako integrovanou součást čipu obsahuje numerický koprocesor.
- Součástí čipu je rovněž 8 KB vyrovnávací paměti.
- Sběrnicové rozhraní podporuje blokový přenos v jednom taktu (16 bajtů v pěti hodinových cyklech).
- Výrazné zvýšení výkonu (více než dvakrát oproti mikroprocesoru 80386). Vysoký výkon zajišťuje zejména dvaatřicetibajtová instrukční fronta sběrnicové operace v jediném taktu integrovaná vyrovnávací paměť výrazně zkrácené provádění instrukcí (mnoho z nich se provádí v jediném taktu) integrovaný numerický koprocesor vysoká hodinová frekvence (25, 33, dokonce i 50 MHz).

3.6 Instrukční soubor mikroprocesoru 8088, 80286

Mikroprocesor 8088

Instrukční soubor mikroprocesoru 8088 (shodný s instrukčním souborem 8086) poskytuje zhruba stejné možnosti jako instrukční soubory jiných šestnáctibitových mikroprocesorů. Navíc je silně ovlivněn architekturou svého předchůdce - mikroprocesoru 8080, se nímž měla být zachována určitá míra slučitelnosti. Oproti osmibitovým mikroprocesorům přibyly u 8086 instrukce pro manipulaci se segmentovými registry, synchronizaci s koprocesory a byly

obohaceny možnosti adresování. V následujícím textu popíšeme jednotlivé skupiny instrukcí.

Instrukce pro přesun dat

Instrukční soubor obsahuje kromě běžných instrukcí přesunu dat mezi registry a mezi registry a pamětí (MOV, XCHG) i zvláštní instrukce pro nastavení šestnácti a dvaatřicetibitových adres (LEA,LDS, LES), instrukce pro přesun oblastí v paměti (MOVS), jejich naplnění nějakou hodnotou (LODS) apod. Do této skupiny patří instrukce pro ukládání obsahu registrů do zásobníku a jejich zpětné obnovení (PUSH, POP, PUSHF, POPF). Do zásobníku lze ukládat a vybírat data uložená v operační paměti, přičemž lze využívat všech možností adresace operandů. Instrukce pro čtení a zápis na V/V porty (IN, OUT) mohou pracovat jak s osmi, tak i šestnáctibitovou adresou. Instrukcí XLAT je možné provést jednoduché překódování obsahu registru AL podle tabulky uložené v operační paměti. Pro snazší přenositelnost programů určených pro mikroprocesor 8080 byly implementovány instrukce LAHF a SAHF pro přečtení a nastavení dolní poloviny registru příznaků shodné s F registrem 8080.

Aritmetické a logické instrukce

Oproti osmibitovým předchůdcům je možné u aritmetických a logických instrukcí používat jako operandy všechny registry a paměť. Jedinou zakázanou kombinací jsou oba operandy umístěné v operační paměti. Kromě běžných instrukcí pro sčítání (ADD, ADC), odčítání (SUB, SBB), porovnání (CMP), inkrementaci (INC), dekrementaci (DEC) a opačnou hodnotu (NEG) jsou implementovány i instrukce pro BCD a ASCII korekci po sčítání i odčítání (DAA, DAS, AAA, AAS) a pro ASCII korekci před a po násobení (AAM, AAD). Dále jsou zde instrukce pro násobení a dělení osmi a šestnáctibitových čísel (MUL, DIV - bez znaménka, IMUL, IDIV - se znaménkem). Pro porovnávání řetězců je určena instrukce CMPS. Obdobná instrukce SCAS slouží k prohledávání řetězců. Obě se typicky používají spolu s opakovacími prefixy (podrobněji viz dále). Instrukce CBW a CWD slouží pro rozšíření znaménka do AL, resp. AX.

Logické instrukce umožňují provádět běžné logické operace (AND, OR, XOR a NOT). Dále je možné instrukcí TEST provést logický součin, přičemž se jeho výsledek neukládá - operandy nejsou modifikovány - a pouze se nastaví příznaky podle výsledku operace. Stejně jako u aritmetických operací je možné použít jako operandy libovolné registry a paměť.

Instrukce rotací a posuvů

Mikroprocesor poskytuje obvyklou sadu instrukcí pro rotace (ROL, ROR - pouze v rámci registru, RCL, RCR - rotace obsahu registru přes příznak CF) a posuvy (SAR, SAL - aritmetický posuv; SHR, SHL - logický posuv). Operandy mohou být jak osmi, tak i šestnáctibitové. Rovněž je možné zvolit jak jednoduché, tak i vícenásobné provedení operace, přičemž počet opakování je určen obsahem registru CL.

Instrukce pro řízení běhu programu

Instrukce nepodmíněného skoku (JMP) může používat několik metod určení cílové adresy. Cílová adresa může být dána osmi nebo šestnáctibitovým posunutím vůči aktuálnímu obsahu čítače instrukcí IP. Posunutí se chápe jako číslo se znaménkem, což umožňuje i skoky zpět. Dále lze využít obsahu některého z obecných registrů. V tomto případě se jeho obsah přesune přímo do registru IP; nejedná se tedy o relativní adresování. Pomocí těchto metod lze nastavit cílovou adresu na hodnotu ležící v aktuálním kódovém segmentu. Pro skoky mezi segmenty se používá tzv. dlouhá adresa, která může být uložena pouze v operační paměti.

Instrukce podmíněného skoku mohou používat pouze osmibitovou relativní adresu. Podmínkou může být nastavení jednotlivých příznaků (ZF, SF, OF, PF), anebo některé jejich kombinace využívané při aritmetických operacích. Testovat lze také nulovou hodnotu registru CX. Pro řízení běhu programu slouží také instrukce pro programové cykly (LOOP, LOOPE, LOOPNZ). Všechny tyto instrukce dekrementují registr CX a provedou skok, pokud je jeho hodnota různá od nuly. Druhé dvě instrukce navíc testují i hodnotu

příznaku ZF. Pro určení cílové adresy se opět používá osmibitová relativní adresa.

Instrukce nepodmíněného volání podprogramu má také dvě varianty: pro podprogramy ležící v rámci kódového segmentu a mimo něj. Používá stejné metody výpočtu cílové adresy jako instrukce JMP. Do zásobníku se ukládá hodnota čítače adres IP, resp. IP a CS pro vzdálené volání. Pro návrat z podprogramu slouží instrukce RET. U této instrukce můžeme určit, o kolik má být zvýšena hodnota registru SP (kolik bajtů má být ze zásobníku smazáno) před vlastním čtením návratové adresy.

Do této skupiny patří také instrukce programového vyvolání přerušení INT. Při jejím vykonávání se provedou obdobné akce jako při volání vzdáleného podprogramu. Adresa podprogramu je dána hodnotou přerušovacího vektoru, jehož číslo je parametrem instrukce. Oproti volání podprogramu se navíc do zásobníku ukládá hodnota registru příznaků a příznaky IF a TF se nastaví na nulu. K návratu z obsluhy programového přerušení je nutné použít instrukci IRET, která oproti RET obnovuje i obsah registru příznaků. Speciální instrukce INTO testuje hodnotu příznaku OF a v případě jeho nastavení provede akce odpovídající INT 4.

Pomocné a speciální instrukce

Pomocné instrukce slouží k nastavení některých příznaků (CF - CLC, STC, CMC; IF - CLI, STI; DF - CLD, STD), k zastavení procesoru (HALT) nebo jako prázdná instrukce NOP. Instrukce WAIT umožňuje synchronizovat mikroprocesor s vnějšími zařízeními. Při jejím vykonání je činnost mikroprocesoru pozastavena do té doby, než se na vstupu TEST objeví hodnota L. Tato instrukce se v IBM PC používá pro synchronizaci s aritmetickým koprocesorem 8087. Pro spolupráci s koprocesorem je rovněž určena instrukce ESC.

Speciální, tzv. prefixové instrukce samy o sobě neurčují žádné operace, ale modifikují význam následující instrukce. První skupinu tvoří tzv. opakovací prefixy (REP, REPE, REPNE), které způsobí opakované vykonávání následující instrukce. Při každém opakování je o jedničku zmenšena hodnota registru CX. Opakování končí při dosažení nulové hodnoty v CX. U instrukcí REPE, REPNE může být opakování ukončeno, pokud je, resp. není

nastaven příznak nulového výsledku operace. Tyto prefixové instrukce se používají zejména v kombinaci s instrukcemi MOVS, STOS, CMPS apod. Další skupina prefixových instrukcí umožňuje změnit implicitní segmentový registr použitý při adresování. Poslední prefixová instrukce LOCK slouží k uzamčení sběrnice po dobu vykonávání instrukce. Tato vlastnost se používá zejména v multiprocesorových systémech, kde je nutné zajistit konzistenci prováděných operací.

Mikroprocesor 80286

Vzhledem k tomu, že naprostá většina programů určených pro operační systém MS-DOS nevyužívá všech vlastností mikroprocesoru 80286, nebudeme se zde jeho instrukčním souborem zabývat. Jedinou výjimku uděláme u instrukcí pro přenos dat z V/V portů do paměti a naopak, kterých se u modelu AT využívá pro přenos dat mezi pamětí a adaptérem pevného disku. Pomocí běžného opakovacího prefixu lze jedinou instrukcí provést přesun celého bloku dat mezi V/V branou a pamětí. Registr CX při tom obsahuje počet přenášených bajtů, DX adresu V/V brány a SI, resp. DI (podle nastaveného DF - příznaku směru přenosu) adresu oblasti v paměti, které se přenos týká. Přenos dat mezi diskem a pamětí se děje pomocí procesoru, nikoli pomocí DMA, z důvodu rychlosti. Uvádí se, že mikroprocesor 80286 pracující na kmitočtu 10 MHz je schopen těmito instrukcemi přenést až 10 MB za sekundu.

4. Sběrnice osobních počítačů

Než přistoupíme ke konkrétnímu popisu sběrnic, vysvětlíme některé pojmy.

Za řízení přenosu dat na sběrnici zodpovídá její **řadič** (master). Ostatní bloky na sběrnici jsou **podřízené** (slaves). Složitější, ale i běžnější je případ, kdy je na sběrnici potenciálních řadičů několik (víceprocesorový systém, ale i kombinace procesor - DMA). Pak musí mít sběrnice **arbitra** (přidělovací systém), který určí **aktivní řadič** v případě několikanásobného požadavku. V případě jediného řadiče ztrácí arbitr smysl. Neztotožňujte ale pojmy řadič sběrnice a procesor. I jednoprocesorový systém s DMA může být typu multimaster.

Arbitr sběrnice může být buď **centralizovaný**, tj. soustředěný do jednoho modulu, nebo distribuovaný - tak označujeme případ, kdy každý potenciální řadič obsahuje část arbitrační logiky. Distribuovaný arbitrační systém může být buď **hierarchický**, s jedním řadičem hlavním a několika řadiči vedlejšími, nebo alternativně demokratický - jeho řadiče jsou naopak z hlediska držení sběrnice rovnocenné. Zatímco hlavní řadič jen sběrnici propůjčuje, tj. uvolňuje ji jen na dobu potřebnou k provedení vyžádaného přenosu a ponechává si její řízení i v době, kdy ji neužívá nikdo, může v decentralizovaných a demokraticky řízených sestavách na sběrnici "parkovat" kterýkoli řadič.

Arbitr sběrnice vyřizuje současné nebo překrývající se žádosti o přidělení sběrnice podle priority. Priorita se zavádí proto, aby se důležitější žádosti vyřídily přednostně. Žádosti se zpracovávají **sériovým**, **sérioparalelním** nebo **paralelním** prioritním zapojením. Patří do něj tři skupiny vodičů: Je to především **ŽÁDOST o přidělení sběrnice** a k ní příslušející **SOUHLAS**. Každá varianta prioritního zapojení se liší právě počtem vodičů ve skupinách; zatímco sériové zapojení vystačí s jedním vodičem pro každou skupinu, představuje paralelní zapojení opačný extrém. Vodičů je tolik, kolik je možných žadatelů v sestavě. Poslední skupinou, ve skutečnosti jediným vodičem, je **POTVRZENÍ** převzetí sběrnice, kterým žadatel potvrzuje převzetí souhlasu a hlásí ostatním blokům obsazenost sběrnice.

Další funkcí sběrnice je předání žádosti o přerušení. Podobně, jako jsme viděli výše (sériově, sérioparalelně, paralelně), je předávána **ŽÁDOST o přerušení**.

I v tomto případě se současný výskyt žádostí vyhodnocuje prioritně a k jejich zpracování slouží **řadič přerušení**. Proti předchozímu arbitru sběrnice je rozdíl v tom, že je (až na výjimky) řadič přerušení proveden jako centralizovaný. Signály souhlasu s přerušením po sběrnici rozvedeny nebývají, propojují jen řadič přerušení s procesorem. Většina sběrnic používá **vektorové přerušení**, při kterém technické prostředky automaticky identifikují žádající modul. Řadič přerušení vysílá **vektor**, z něhož procesor odvodí počáteční adresu obslužného programu.

Podle uspořádání dělíme sběrnice na **sériové**, **sérioparalelní** a **paralelní**, podle směru přenosu na **jednosměrné** a **obousměrné**. Modul ke sběrnici připojený může být **vysílačem** nebo **přijímačem**.

Z funkčního hlediska se obvykle paralelní sběrnice skládají z části **adresové**, **datové** a **řídicí**, případně i **napájecí**. Některé sběrnice používají pro adresovou a datovou část stejné vodiče a jsou **sdílené**. Aktuální význam signálů je definován **protokolem**, podle kterého se signály v čase **multiplexují**.

Z hlediska synchronizace přenosu, tj. určení okamžiku, kdy jsou signály na sběrnici (adresové i datové) platné, rozlišujeme sběrnice **synchronní** a **asynchronní**.

Okamžik platnosti údajů se u synchronních sběrnic jednoznačně určuje centrálním hodinovým kmitočtem. Ten přitom může (ale ani přímo být nemusí) po sběrnici rozveden. Protokol většiny dnešních synchronních paralelních sběrnic dovoluje zpozdit (signálem **NEPŘIPRAVEN** podřízeného obvodu) přenos o určitý počet period hodin, a proto je odlišujeme označením **pseudosynchronní**.

U asynchronních sběrnic určuje okamžik platnosti posloupnost řídicích a stavových signálů. Při jednostranném řízení, které je jednodušší, však není přenos dostatečně pružný, neboť podřízený modul musí splnit časový limit operace. Častěji se používá **kvitovaný** (korenspodenční) režim, čili systém výzvy a potvrzení.

Výhodou synchronního režimu je jednoduchost a rychlost. Asynchronní přenos s oboustranným kvitováním se automaticky přizpůsobuje rychlosti komunikujících modulů.

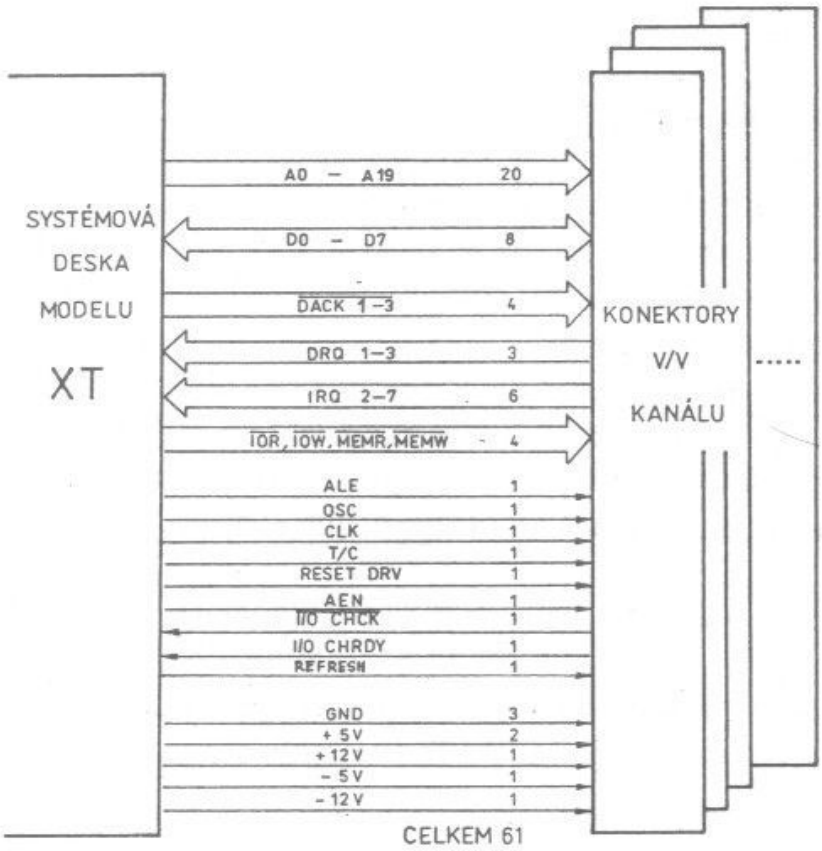
Mezi **technické parametry** sběrnic patří jejich maximální délka, maximální počet bloků sestavy, zejména řadičů, rozteče konektorů, rozměry desek, charakteristické impedance a způsob buzení sběrnice, zatížitelnost jednotlivých vodičů atd. K buzení sběrnic se používají **TTL obvody**, nebo častěji obvody s **třístavovým výstupem** nebo obvody s **otevřeným kolektorem**. Třístavové obvody jsou zpravidla rychlejší, avšak na stejné lince nemůže být současně více než jeden vysílač aktivní. Obvody s otevřeným kolektorem jsou pomalejší, ale dovolují realizaci montážních členů. Používají se tedy s oblibou u řídicí části sběrnice. Z hlediska odolnosti vůči poruchám (šumu) je výhodnější, když přijímače reagují na úrovně, nikoli na hrany signálů.

Důležitou charakteristikou sběrnice je její **kapacita**, tj. maximální počet bitů nebo bajtů dat přenesených za sekundu. Je důležité vědět, zda je této hodnoty možné dosáhnout při **blokovém přenosu**, který je efektivnější, nebo při přenosu po menších informačních jednotkách (bajtech, slovech apod.).

4.1 Sběrnice modelu PC XT

Sběrnice IBM PC modelu XT (obr. 4.1) je osmibitová paralelní, centrálně řízená, obousměrná a nesdílená synchronní sběrnice. Její arbitr je centralizovaný a má tři linky žádosti (DRQ1 až 3). Souhlas s přidělením sběrnice ($\overline{\text{DACKn}}$) představují tři linky a $\overline{\text{REFRESH}}$ indikuje periodické (15 ms) obnovování obsahu dynamické paměti. Přerušovací systém je také centralizovaný, k dispozici je pět linek žádosti (IRQ2 až 7). Žádost zůstává aktivní až do ukončení obslužného programu a její zrušení provádí uživatel v jeho rámci. Šířka adresové sběrnice je 20 bitů.

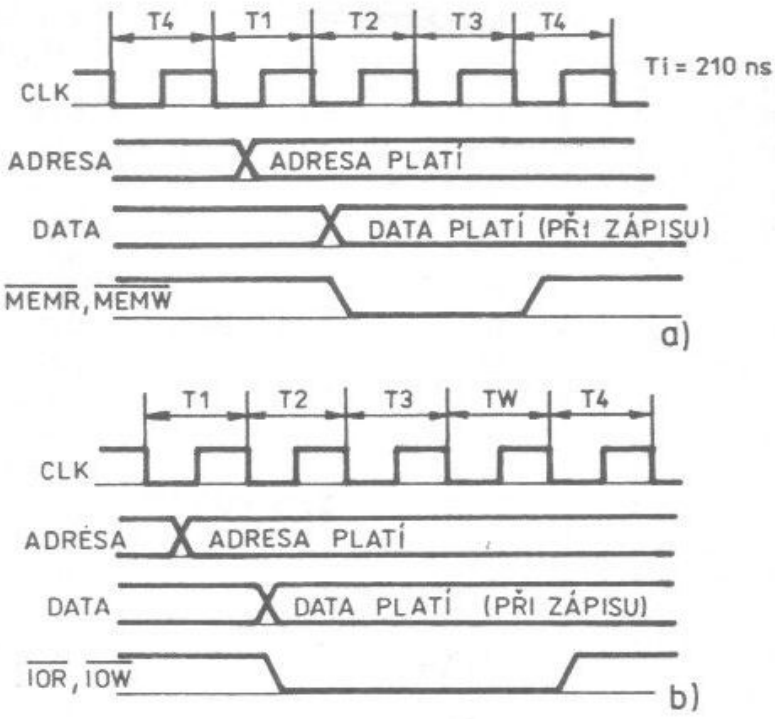
Řídicí část sběrnice obsahuje systémové hodiny (CLK, T = 210 ns), signály typu přenosového cyklu ($\overline{\text{IOW}}$, $\overline{\text{IOR}}$, $\overline{\text{MEMR}}$, $\overline{\text{MEMW}}$) a typický signál pseudosynchronní sběrnice I/0 CHRDY, kterým mohou pomalejší moduly vyžadovat zpoždění až o 10 period hodin. Dále obsahuje ještě signál centrál-



Obr. 4.1 Sběrnice modelu PC XT

ního nulování (RESET), diagnostický signál chyby přenosu ($\overline{\text{I/O CHCK}}$), signalizaci přetečení čítače přenosů libovolného DMA kanálu (ukončení DMA přenosu - T/C) a signál základního oscilátoru (T=70 μs - OCS). Signál ALE synchronizuje uložení adresy do vyrovnávací paměti, tedy deklaruje její platnost na adresových linkách. Signálem AEN získává řadič DMA řízení adresové, datové a řídicí sběrnice a odpojuje od nich CPU, signál REFRESH indikuje probíhající cyklus obnovy informace v dynamických pamětech.

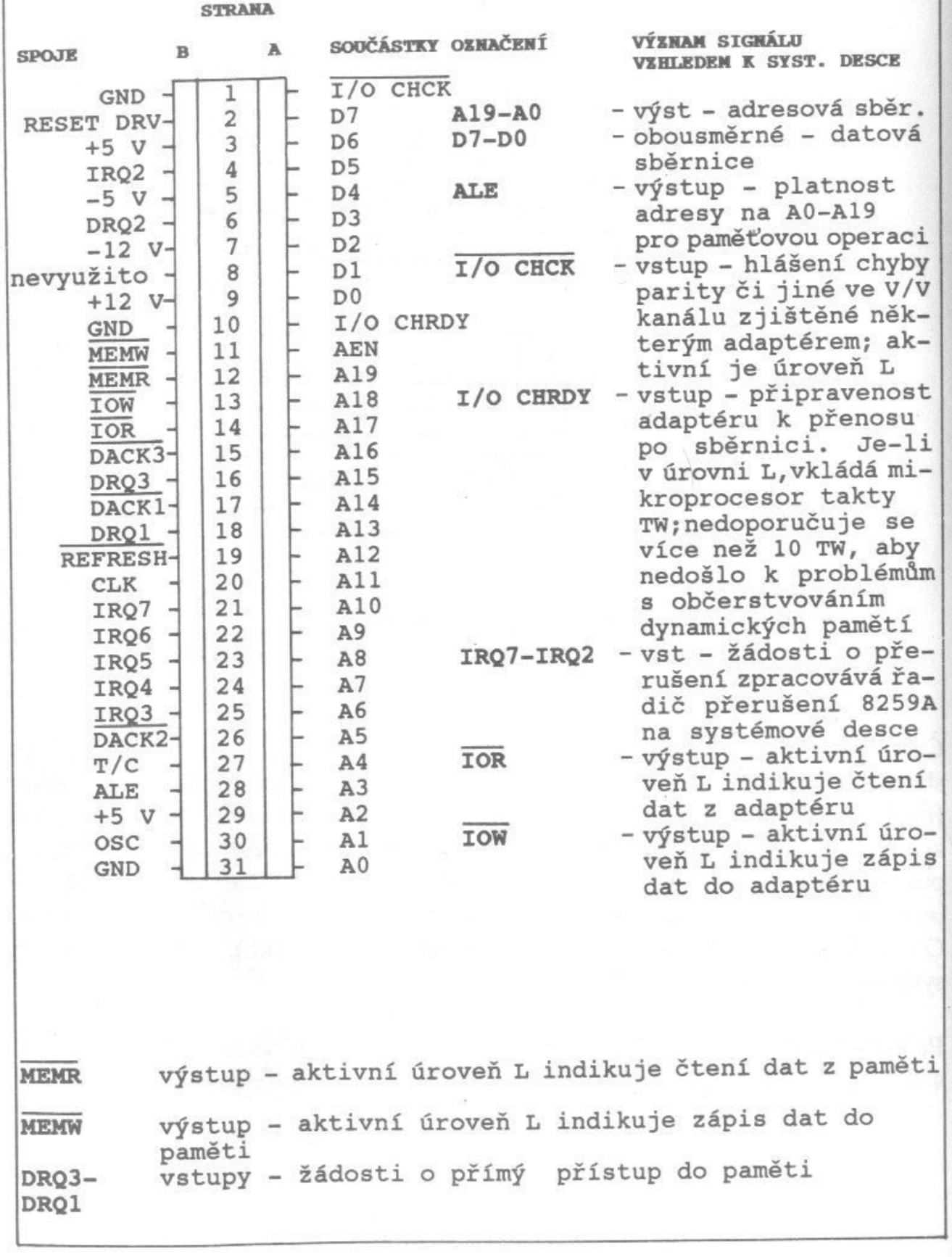
Pro zobrazení se používají TTL úrovně. Žádný modul nesmí zatížit libovolnou linku sběrnice více než dvěma ekvivalentními vstupy LS. Tolerance napájecích napětí pro zdroje +5 V a +12 V je 5 % a pro zdroj -12 V je 10 %. Používá se přímý konektor se 62 kontakty.



Obr. 4.2 Časový diagram sběrnice při
a) paměťové operaci b) V/V operaci

Časování sběrnice modelu XT vychází z časování mikroprocesoru 8088. Cyklus sběrnice odpovídá jednomu strojovému cyklu a má minimálně čtyři takty (periody systémových hodin). Ty stačí jen pro komunikaci s pamětí; při komunikaci s pomalejšími obvody v adaptérech (V/V adresy) se musí procesor pozastavovat a sběrnicový cyklus se tím prodlouží. Děje se tak vložením jednoho čekacího taktu TW mezi takty T2 a T3 daného sběrnicového cyklu. O vkládání čekacích taktů se stará **generátor Wait-taktů**, který je součástí systémové desky.

Principiální časové diagramy paměťových a V/V sběrnicových cyklů uvádí obr. 4.2a,b, podrobnější popis signálů a výkres konektoru jsou na obr. 4.3.



MEMR výstup - aktivní úroveň L indikuje čtení dat z paměti

MEMW výstup - aktivní úroveň L indikuje zápis dat do paměti

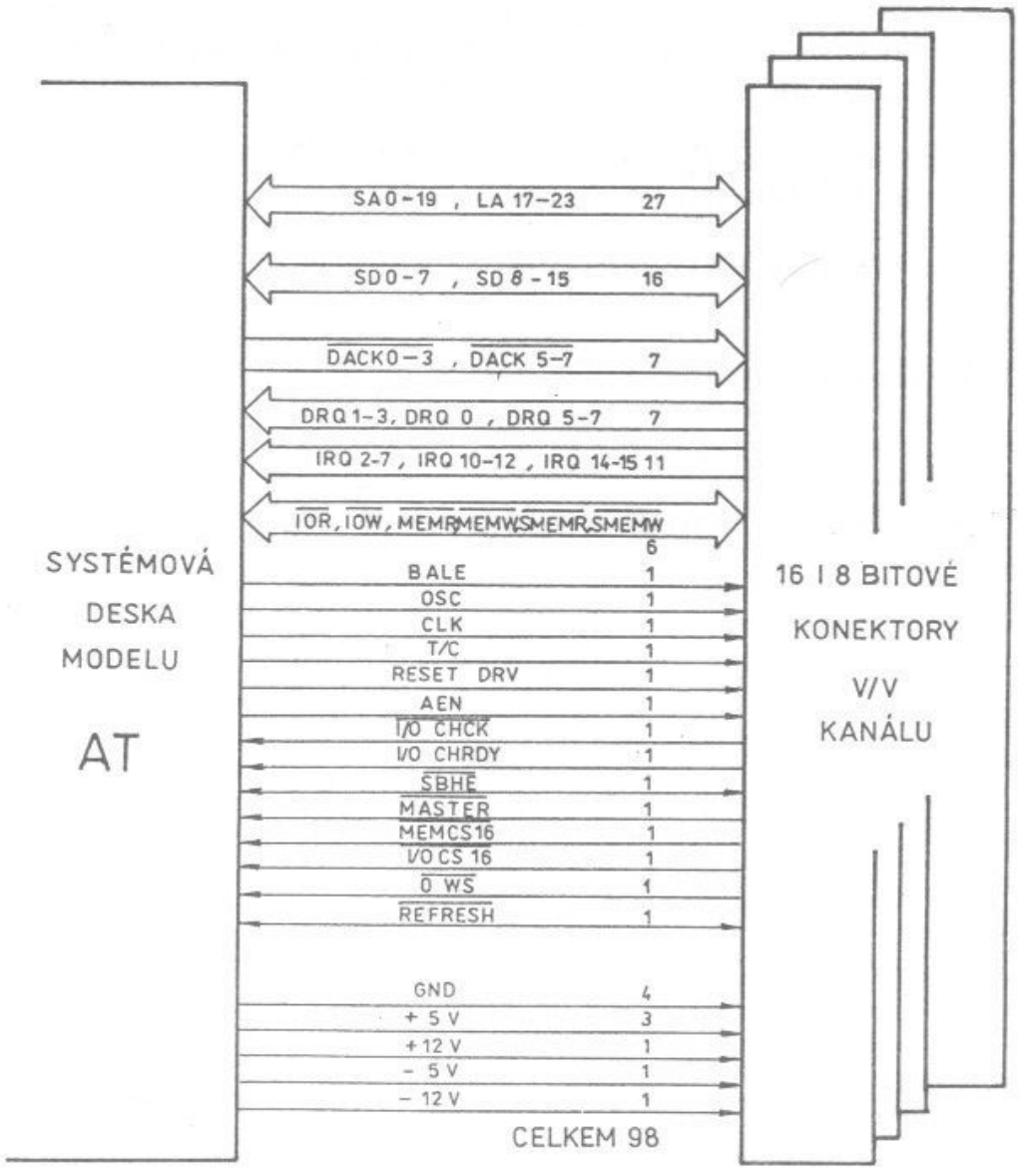
DRQ3-DRQ1 vstupy - žádosti o přímý přístup do paměti

DACK3- DACK3	výstupy - potvrzení žádostí o přímý přístup do paměti
REFRESH	výstup - informace o probíhajícím cyklu obnovy dynamických pamětí
AEN	výstup - potvrzení platnosti adresy generované řadičem DMA a s ním spolupracujícím DMA stránkovým registrem
T/C	výstup - ukončení přenosu bloku dat některým kanálem DMA
OSC	výstup - hodinová frekvence 14,32 MHz využívaná některými obrazovými adaptéry. S ostatními signály sběrnice není synchronizována
CLK	výstup - sběrnicový hodinový synchronizační signál (4,77 MHz na originálním PC)
RESET DRV	výstup - inicializace adaptérů
+5V,+12V, GND	napájecí napětí

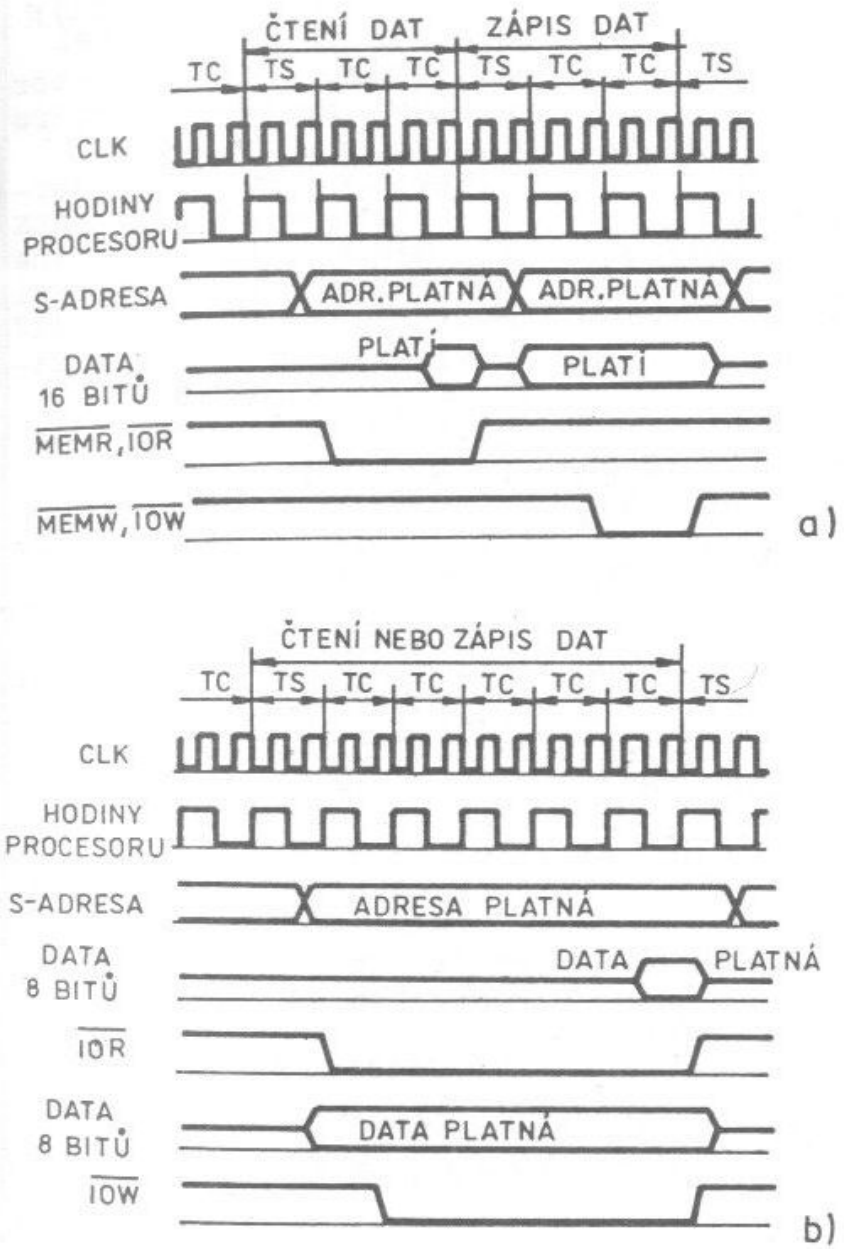
Obr. 4.3 Rozložení vývodů a význam signálů sběrnice PC XT

4.2 Sběrnice ISA

Sběrnice IBM PC - model AT podle obr. 4.4 vychází z dřívější sběrnice jednoduššího modelu; signály jsou její nadmnožinou, kompatibilitu směrem vzhůru se podařilo zachovat. Znamená to, že v počítači AT můžeme obvykle bez problémů použít osmibitové adaptéry. Přesto existuje několik důležitých rysů, kterými se tato sběrnice od své předchůdkyně výrazně odlišuje. Šířka její

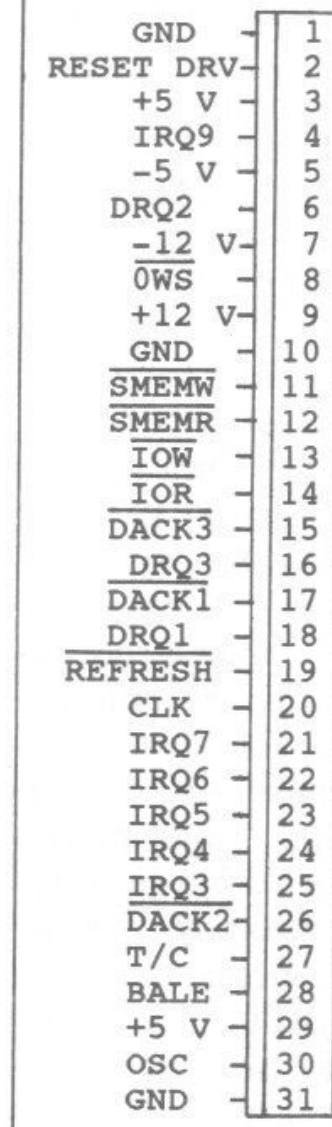


Obr. 4.4 Sběrnice modelu PC AT



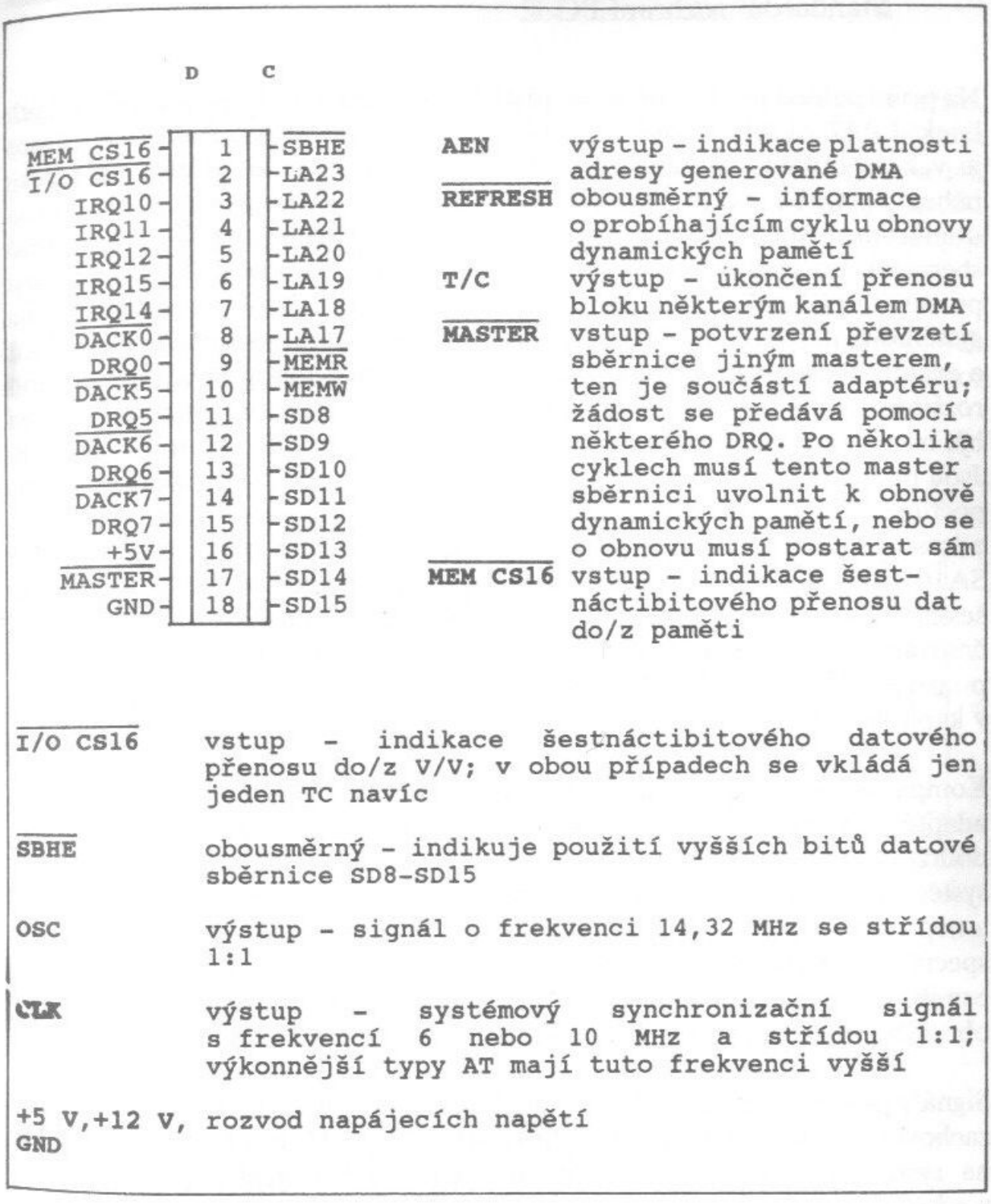
Obr. 4.5 Časový diagram sběrnice ISA při:
a) šestnáctibitové b) osmibitové operaci

adresové (24 bitů) a datové (16 bitů) části plně odpovídá možnostem mikroprocesoru, k dispozici je více DMA kanálů (o 4) a přerušovacích linek (o 7). Její časování se zpočátku odvozovalo od frekvence 6 MHz, nyní nejčastěji od frekvence 10 MHz, přestože spolupracuje s různě rychlými mikroprocesory (80286, 80386). Velmi důležitým rozdílem ale je to, že je typu multimaster a její arbitr je decentralizovaný. Adresová sběrnice a většina signálů řídicí sběrnice jsou proto obousměrné. Sběrnice jako taková se rychle ujala a na několik let se stala ve světě osobních počítačů uznávaným standardem. Z toho plyne i její název - ISA (Industry Standard Architecture).



OZNAČENÍ	VÝZNAM SIGNÁLU VZHLEDEM K SYSTÉMOVÉ DESCE
SA19-SA0	obousměrné - ve vyrovnávací paměti zachycené bity adresové sběrnice (20 bitů); generují ji buď systémová deska (mikroprocesor nebo DMA), nebo DMA adaptéru
LA23-LA17	obousměrné - nezachycované bity adresové sběrnice; platí současně s BALE
SD15-SD0	obousměrné -datová sběrnice
BALE	výstup - interval platnosti adresových bitů LA23-LA17 na adresových linkách; zaznamenává SA19-SA0 do vyrovnávací paměti
RESET DRV	výstup - nul. adaptérů
I/O CHCK	vstup - indikace chyby z adaptéru
I/O CHRDY	vstup - připravenost adaptéru; při aktivní úrovni (L) vkládá mikroprocesor další takty TC (nesmí trvat déle, než 2,5 μs)
IRQ15, IRQ14, IRQ12-IRQ9, IRQ7-IRQ3	vstupy žádosti o přerušení
IOR	obousměrný - čtení dat z V/V adaptéru
IOW	obousměrný - zápis dat do V/V adaptéru
SMEMR	obousměrný - čtení dat z prvního MB paměti

SMEMW	obousměrný - zápis dat do prvního MB paměti
MEMR	obousměrný - čtení dat z kterékoli místa paměti
MEMW	obousměrný - zápis dat do kteréhokoli místa paměti
DRQ7-DRQ5, DRQ3-DRQ0	vstupy - žádosti o DMA
DACK7-DACK5, DACK3-DACK0	výstupy - potvrzení žádostí o DMA
0WS	vstup - provádí se operace čtení a zápisu bez vkládání dalších TC



Obr. 4.6 Rozložení vývodů a význam signálů sběrnice ISA

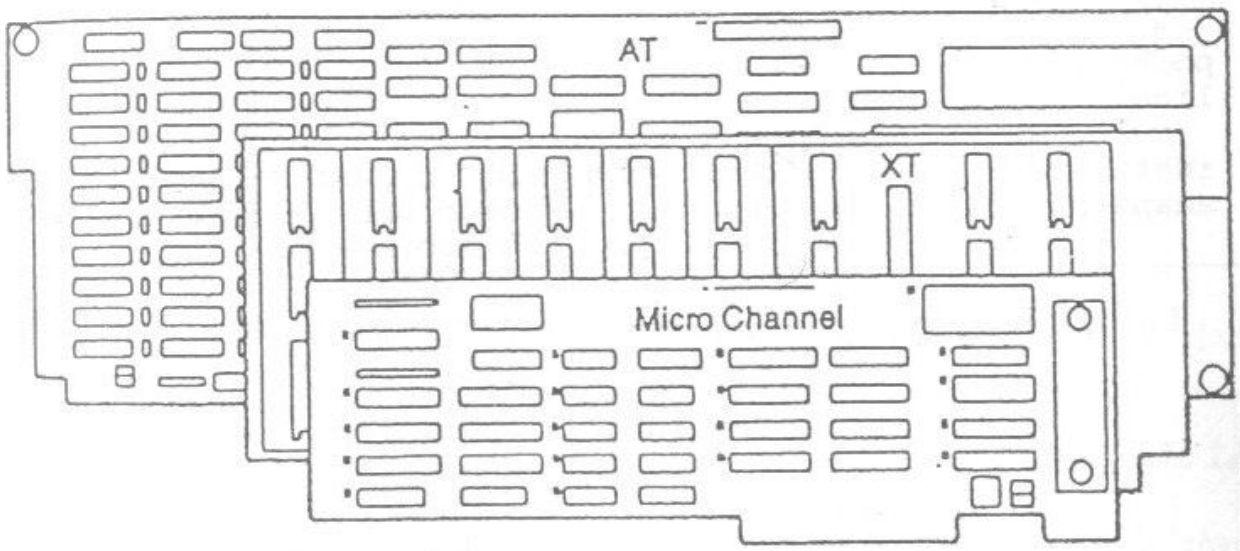
Na první pohled je v její adresové části nepochopitelné zdvojení tří adresových linek: LA17 - LA19 a SA17 - SA19. Důvod tohoto "plýtvání" noži konektoru je v kompatibilitě. Zatímco mikroprocesory 88/86 generují platnou adresu během prvního taktu T1 daného sběrnicového cyklu, je tatáž adresa u mikroprocesoru 80286 k dispozici už během prvního taktu TC minulého sběrnicového cyklu. Tak se projevuje proudové zpracování, které činnost procesoru při spolupráci s pamětí výrazně zrychluje. Pokud je celá paměť na systémové desce, je možné už při návrhu tuto skutečnost zohlednit, vybrat a osadit takové obvody, které jsou této spolupráce schopny. Prodloužená nebo rozšířená paměť se však někdy umísťuje do paměťového adaptéru a tak musí být na sběrnici k dispozici adresové signály generované s tímto předstihem. Jsou jimi signály na adresových vodičích LA17 - LA23. Z důvodů omezeného počtu nožů konektoru nebylo možné zdvojit i další adresové vodiče, a tak nižší adresové bity jsou k dispozici až o jeden procesorový takt později (SA0 - SA16). Mezitím ale adresovaná deska odpoví na vodiči MEM CS16, že "je šestnáctibitová a připravena k šestnáctibitovému přenosu dat". Ke správnému časování pak stačí, aby obvody Wait-taktu vložily do časování mikroprocesoru pouze jediný takt TC navíc. Celou situaci ilustruje obr. 4.5a, podrobnosti jsou v kapitole 6.2.

Kompatibilitu mezi šestnáctibitovou systémovou deskou a osmibitovými adaptéry zajišťují zachycené adresové signály na vodičích SA0 - SA19. Aby se dodrželo správné časování, vkládá systémová deska 4 TC navíc. Signalizuje-li systémová deska navíc požadavek na šestnáctibitový přenos (SBHE) a nepřijde-li žádná z odpovědí MEM CS16 nebo I/O CS16, převezmou speciální obvody systémové jednotky řízení přenosu ve dvou následujících osmibitových cyklech. Principiální signálový sled osmibitového přenosu uvádí obr. 4.5b, podrobnosti naleznete v kapitole 6.2.

Signály pro řízení čtení a zápisu paměti jsou také zdvojené; i zde je důvodem zachování kompatibility. Zatímco SMEMR/SMEMW obsluhuje 1 MB paměti na systémové desce, signály MEMR/MEMW řídí zápis a čtení kdekoli v adresovatelném prostoru. Kompatibilita, ale na druhé straně i přizpůsobení rychlosti sběrnice rychlým osmi i šestnáctibitovým adaptérům, zajišťuje i signál OWS (zero Wait-states). Je-li aktivní (L), vynechá logika generování Wait-taktů na systémové desce některé, nebo dokonce všechny dodatečné takty TC.

Ostatní signály mají stejný význam jako signály na sběrnici popsané dříve. Rozložení vývodů na jejích dvou konektorech a význam označených signálů přehledně uvádí obr. 4.6. Přesné časování nebylo dlouho publikováno, a tak musí návrháři vycházet z časování sběrnice XT a katalogu použitých součástek. V důsledku toho nemusí každá kombinace počítače AT a adaptéru vést ke spolehlivé funkci.

I u této sběrnice se pro zobrazení používají TTL úrovně a zatížení jednotlivých linek jednou deskou nesmí přesáhnout 2 LS zátěže. Dvoudílný přímý konektor má 62 a 36, tedy 98 kontaktů.



Obr. 4.7 Srovnání desek sběrnic XT, AT, MCA

4.3 Sběrnice nejnovějších modelů osobních počítačů

Ačkoli sběrnice ISA přečkala až do dnešní doby, má své nedostatky, a ty vedly k hledání jiných řešení.

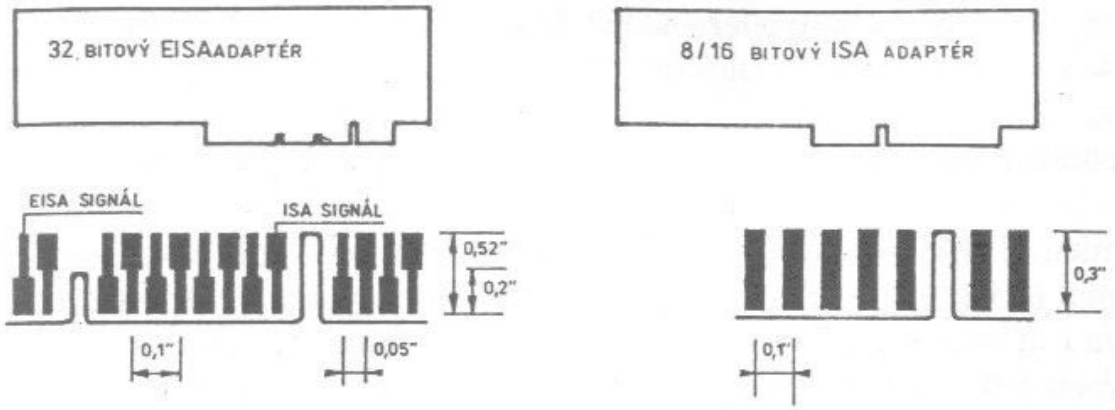
	ISA	EISA	MCA
šířka sběrnice	8/16 bitů	8/16/32 bitů	16/32 bitů
hodiny sběrnice	6/8/10 MHz	8,33 MHz	10 MHz
adresový prostor	16 MB (24 b)	4 GB (32 b)	4 GB (32 b) 16 MB (24 b)
DMA	8/16 bitů	8/16/32 bitů	8/16 bitů
rychlost DMA	1-4 MB/s	33 MB/s	5 MB/s
počet kanálů	7	7	8
řízení sběrnice	synchronní	synchronní	asynchronní
počet přeruš. linek	11	12	11
instalace adaptéru	DIP spínače spojky	DIP spínače nebo pro-gramovatelné	programo-movatelné

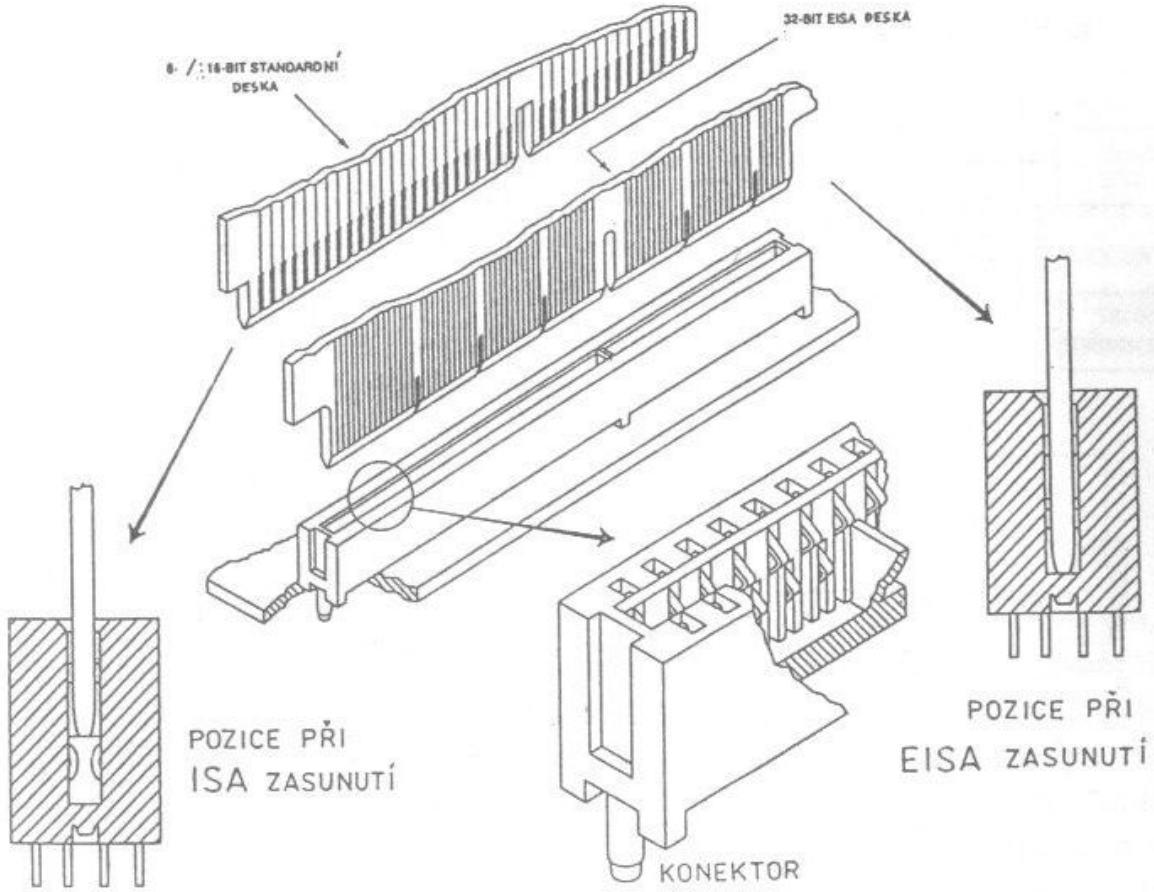
Tab. 4.1 Srovnání vlastností běžných sběrnicových PC standardů

4.3.1 Sběrnice EISA

Devět vlivných výrobců (Gang of Nine) se dohodlo na novém standardu EISA (Extended Industry Standard Architecture), který je k MCA (popisujeme v kapitole 4.3.2) konkurenční. K dohodě patří takové firmy, jako: AST Research, Compaq, Epson, Hewlett-Packard, NEC, Olivetti, Tandy, Wyse a Zenith. Nová sběrnice je plně kompatibilní s ISA, je výrazně rychlejší a dvaatřicetibitová. Charakteristiky ISA, MCA a EISA standardů předvádí tab. 4.1, na obr. 4.7 můžete srovnat fyzické rozměry desek.

Ilustraci EISA konektoru, ze které je vidět, jak je zajištěna kompatibilita ISA x EISA, vidíte na obr. 4.8. Celý konektor EISA má kromě 62 původních kontaktů sběrnice PC a 36 kontaktů sběrnice ISA ještě 59 nových kontaktů blíže k hraně desky, s vývody mezi původními kontaktními ploškami. Má tedy

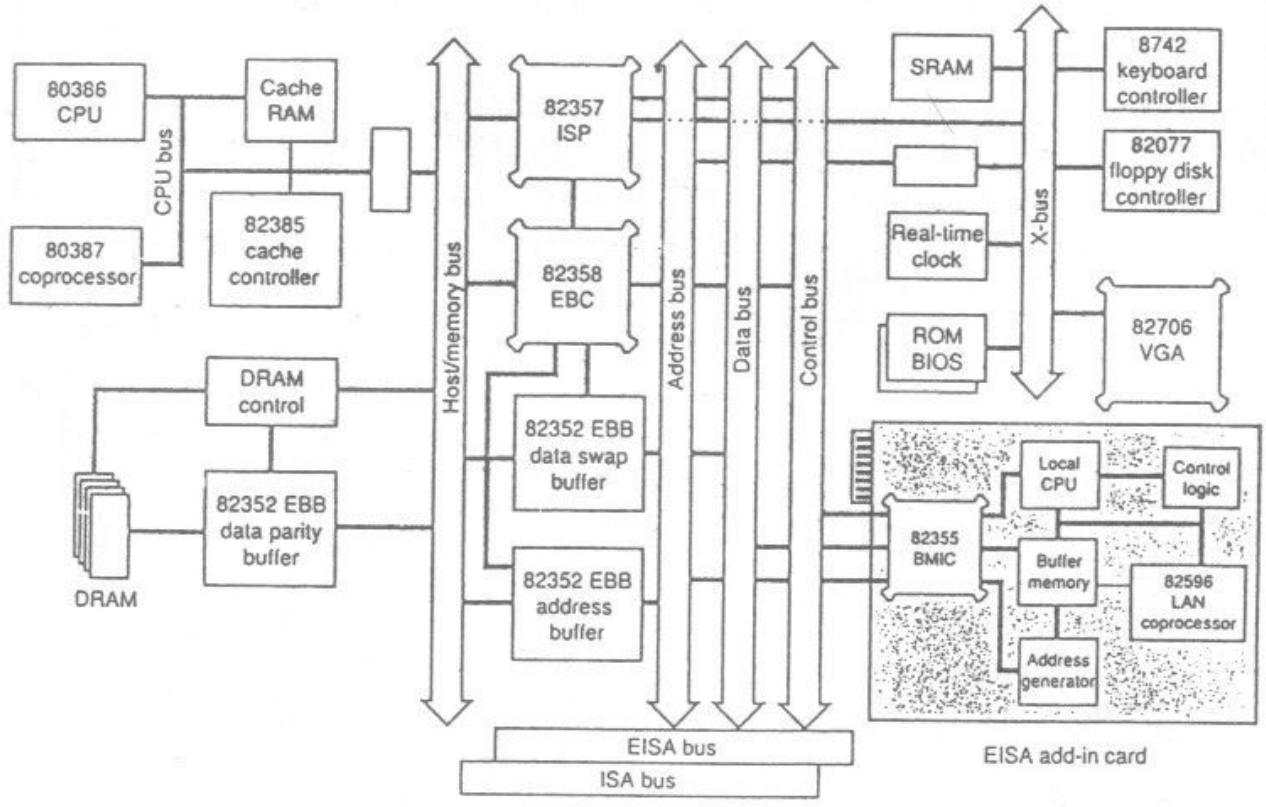




Obr. 4.8 Kompatibilita desek sběrnice ISA x EISA

celkem 157 kontaktů. INTEL vyrábí sadu integrovaných obvodů (82355 - Bus Master Interface Controller, 82357 Integrated System Peripheral a 82358 - EISA Bus Controller). Blokové schéma počítače s obvody podporujícími sběrnici EISA uvádí obr. 4.9. Sběrnice EISA je typu multimaster, synchronní, s decentralizovaným arbitrem a úrovní řízeným přerušovacím systémem.

Sběrnice EISA rozšiřuje dřívější standard ISA podobně, jako rozvíjela ISA sběrnici modelu XT. Zvýšil se počet adresových vodičů (celkem 32, takže lze obsáhnout adresový prostor 4 GB), počet datových vodičů (celkem 32) a přibyly i řídicí signály. Na obr. 4.10 uvádíme pro přehlednost jen rozložení nově přidaných vodičů a stručně popisujeme jejich význam.



Obr. 4.9 Soubor obvodů INTEL pro sběrnici EISA

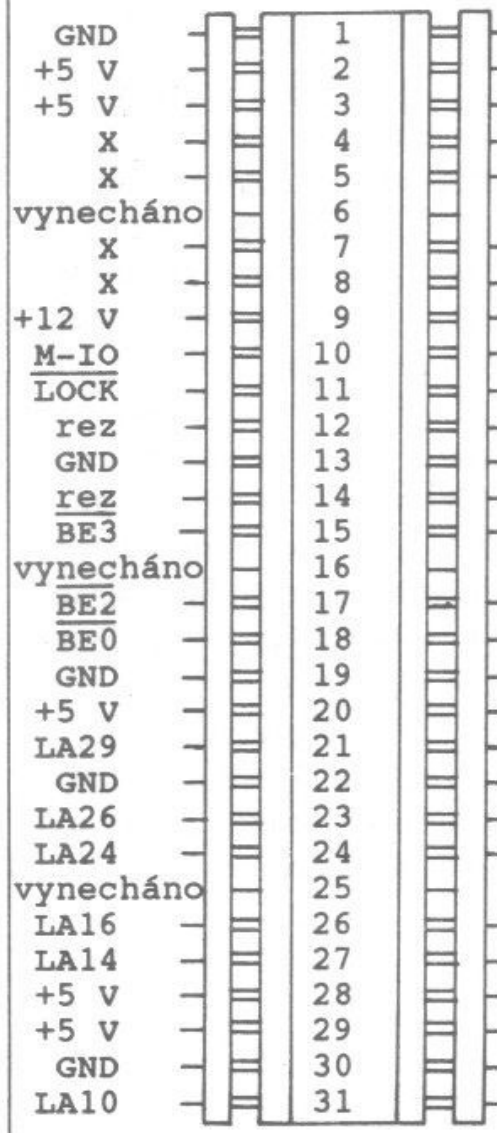
Nová však na sběrnici EISA není jen šířka jejích jednotlivých částí. Velmi důležitá je schopnost jejího sběrnicového řadiče přizpůsobovat se jak různým

šířkám přenášených dat (8/16, 32), tak i přenosovým technikám (jednobajtový přenos, blokový přenos), kterou označujeme termínem překládání cyklů (cycle transtation). Vysvětlíme si to na jednom konkrétním příkladě.

Předpokládejme, že se má provést zápis dat z dvaatřicetibitové nadřízené desky do paměti na osmibitové ISA kartě. Celý přenos dat začne nadřízená karta vysláním adresy, dat a signálu START na sběrnici. V tomto okamžiku začne řadič sběrnice sledovat vodiče EX32, EX16, MEMCS16 a OWS. Podle jejich signálové úrovně zjistí, že akci jedním dvaatřicetibitovým přenosem uskutečnit nelze a převezme proto další řízení přenosu sám. K tomuto účelu si vysílanou hodnotu na adresové a datové části zapamatuje a začne je vysílat. Při tomto přepínání zdrojů signálů nevzniknou žádné falešné zákmity nebo přeběhy signálů, protože řadič sběrnice je převezme a začne vysílat zpět ještě v době, kdy tak činí i nadřízená karta, a ta jejich úroveň při přepínání směru řadiče sběrnice udrží. Pak už se výstupní obvody dosud nadřízené karty od sběrnice odpojí a další řízení sběrnicového cyklu převezme řadič sběrnice. Přenos se v tomto případě uskuteční ve čtyřech po sobě jdoucích ISA jednobajtových přenosech, velmi podobných těm, které by prováděla systémová deska AT počítače při osmibitovém přenosu. Hlavní předností takovéto implementace je, že poměrně složitou a drahou logikou, která by obsáhla všechny možné varianty šířky datové sběrnice i technik přenosu neobsahují všechny potenciální nadřízené karty, ale právě jen řadič sběrnice.

4.3.2 Sběrnice MCA

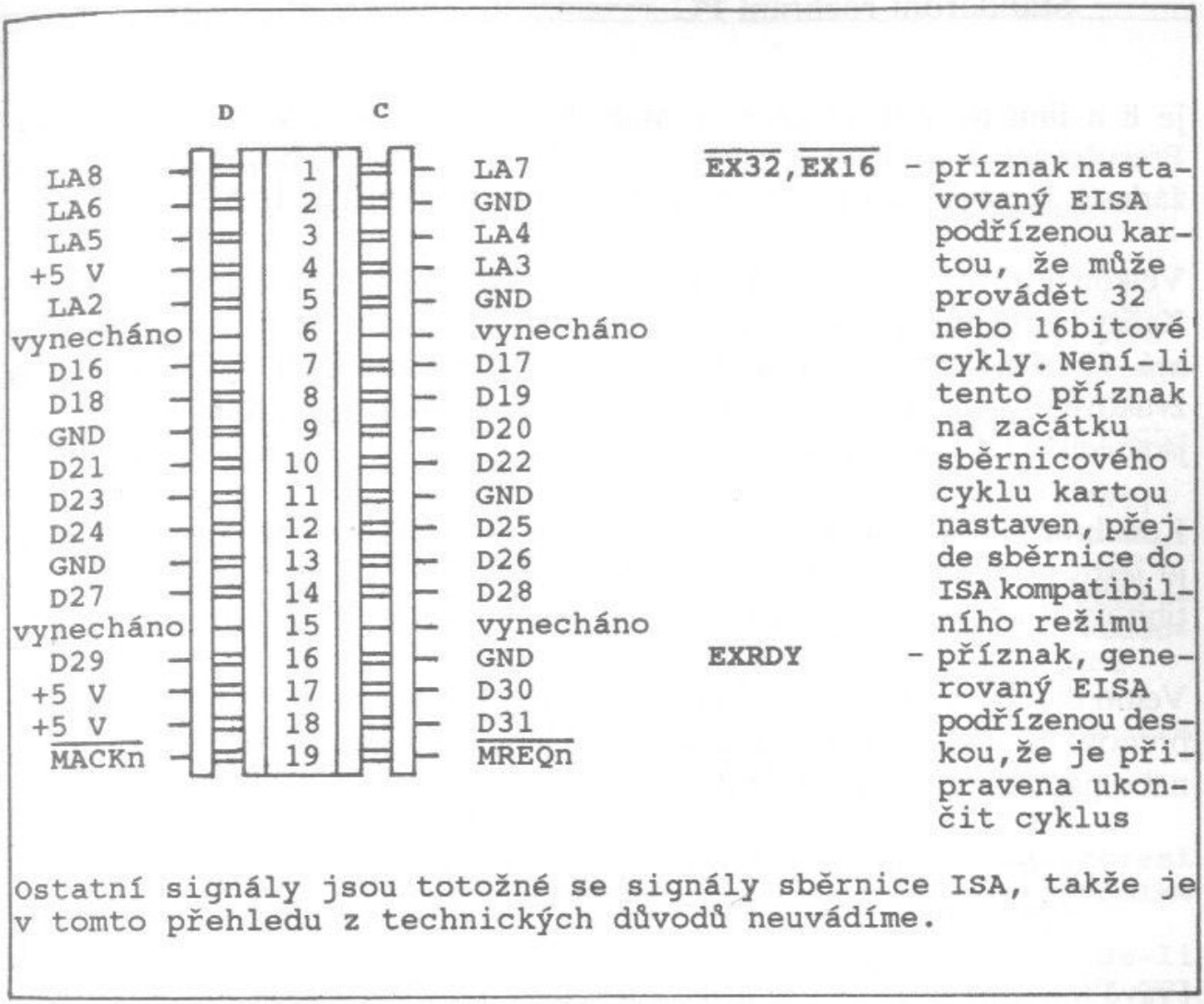
Řešením problému nové sběrnice, založeném na systémovém přístupu, je náhrada operačního systému i technických prostředků, pro kterou se IBM rozhodla ve spolupráci s Microsoftem. Nová řada osobních počítačů, známá pod označením PS/2 (Personal System 2) a na trh zavedená zhruba v polovině roku 1987, je založena na novém operačním systému OS/2 a na tzv. mikrokanálu (sběrnici MCA - Micro Channel Architecture). Osobní počítače s touto architekturou jsou sice rozměrově menší, ale výrazně rychlejší nejsou. Jsou však podstatně dražší. Hlavní novinkou je, že MCA je s dřívější sběrnicí naprosto nekompatibilní a vyžaduje pro tuto sběrnici speciálně vyrobené adaptéry. Veškeré rozšiřující adaptéry nejsou v systémech PS/2 (výjimku tvoří nejnižší modely do Modelu 40 včetně) použitelné. Navíc ještě zavedla IBM na



OZNAČENÍ	VÝZNAM SIGNÁLU
LA2-LA16, LA24-LA31	- nezachycované další bity adresové sběrnice - podobně jako LA17-LA23 na sběrnici ISA
D16-D31	- datová sběrnice
BE0-BE3	- povolení toho kterého bajtu datové sběrnice
M-IO	- rozlišení EISA paměťového cyklu a EISA V/V cyklu
START	- indikace začátku EISA sběrnicového cyklu
CMD	- časovací signál během EISA sběrnicového cyklu
MSBURST	- nadřízená karta indikuje, že může provádět blokové cykly
SLBURST	- podřízená karta indikuje, že může akceptovat blokové cykly

MREQn žádost potenciálního n-tého nadřízeného obvodu o sběrnici

MACKn potvrzení n-tému nadřízenému obvodu o přidělení sběrnice



Obr. 4.10 Rozložení vývodů a význam signálů sběrnice EISA

použití MCA licenční poplatky a tak není divu, že došlo ke konkurenční dohodě, jejíž výsledek jsme popsali v předcházejícím odstavci.

Sběrnice MCA je typu multimaster, má decentralizovaný arbitr a na rozdíl od ostatních sběrnic v této kapitole popsaných je asynchronní.

Šířka její adresové části je 24 bitů, u nejvyšších modelů řady dokonce 32 bitů, takže se obsáhne paměťový prostor 16 MB, či dokonce 4 GB. I datová sběrnice má dvě možné implementační varianty. Pro modely s mikroprocesorem 80286 nebo 80386SX stačí šestnáctibitová, pro vyšší pak dvaatřicetibitová. Adresace V/V prostoru je šestnáctibitová. Sběrnice má arbitra a ten rozhoduje o jejím přidělování až 15 různým zařízením (funkce multimaster). DMA kanálů

je 8 a jimi prováděné přenosy mohou být jak osmi, tak i šestnáctibitové. Přerušovací podsystém je úrovňový a na sběrnici je k dispozici 11 vodičů žádosti. Nezávisle na procesoru jsou hodiny této sběrnice 10 MHz.

Velkou pozornost věnoval výrobce otázce snížení elektromagnetického rušení. Každý čtvrtý nůž konektoru je na zemnicím potenciálu. Šestnáctibitová verze má 77 signálových vodičů, 29 napěťových a zemnicích, oddělenou zem zvukového signálu, 5 vodičů je rezervováno a v 58nožovém přímém konektoru jsou celkem 4 klíčovací pozice.

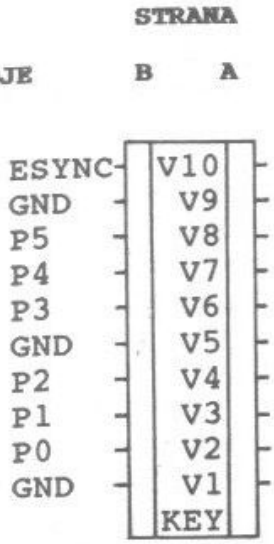
Konektor šestnáctibitové verze má buď 2 x 58 nožů šestnáctibitové části, nebo je ještě prodloužen o tzv. video-rozšíření s dalšími 2 x 10 noži. Dvaatřicetibitová verze má pak ještě další rozšiřující konektor 2 x 31 nožů.

Velmi důležitou novinkou je u této sběrnice možnost asynchronního způsobu přenosu dat. Ve skutečnosti připouští MCA při komunikaci s V/V obvody nebo pamětí dva typy cyklů:

- prodloužený synchronní cyklus (trvá 300 ns),
- prodloužený asynchronní cyklus (trvá více než 300 ns).

Právě ten druhý uvedený je u MCA ze všech případů V/V nebo paměťového přenosu dat nejběžnější. O tom, který cyklus nastane, rozhoduje signál CD CHRDY, konkrétně jeho vzájemná časová souvislost se signálem $\overline{\text{CMD}}$. V případě, že se náběžná hrana vyskytne v definované toleranci vzhledem k závěrné hraně $\overline{\text{CMD}}$ (do 30 ns), nastane sice prodloužený, ale přesto ještě synchronní přenosový cyklus. V opačném případě, tedy odpoví-li podřízený obvod nadřízenému později, nastane nejběžnější případ tzv. prodlouženého asynchronního cyklu. Tato varianta nejvíce vyhovuje praktické implementaci V/V obvodů připojených prostřednictvím MCA kanálu.

Stručný popis signálů a jejich rozložení u šestnáctibitové verze uvádí obr. 4.11.



VÝZNAM SIGNÁLU POMOCNÉHO VIDEO KONEKTORU

VSYNC - obousměrný - (viz ESYNC) vertikální synchronizace používaná k řízení displeje

HSYNC - obousměrný - (viz ESYNC) - signál horizontální synchronizace displeje

BLANK - obousměrný - (viz ESYNC)- zatemňovací signál pro displej

P7-P0 - obousměrný (viz EVIDEO) - signály obsahující videoinformaci a zahrnující adresu obrazového prvku (PEL) vstupujícího do Č/A převodníku

POKRAČUJE
V/V KONEKTOR

DCLK obousměrný (viz EDCLK) - hodiny řídící zachycení signálů P7-P0 ve vstupním registru převodníku

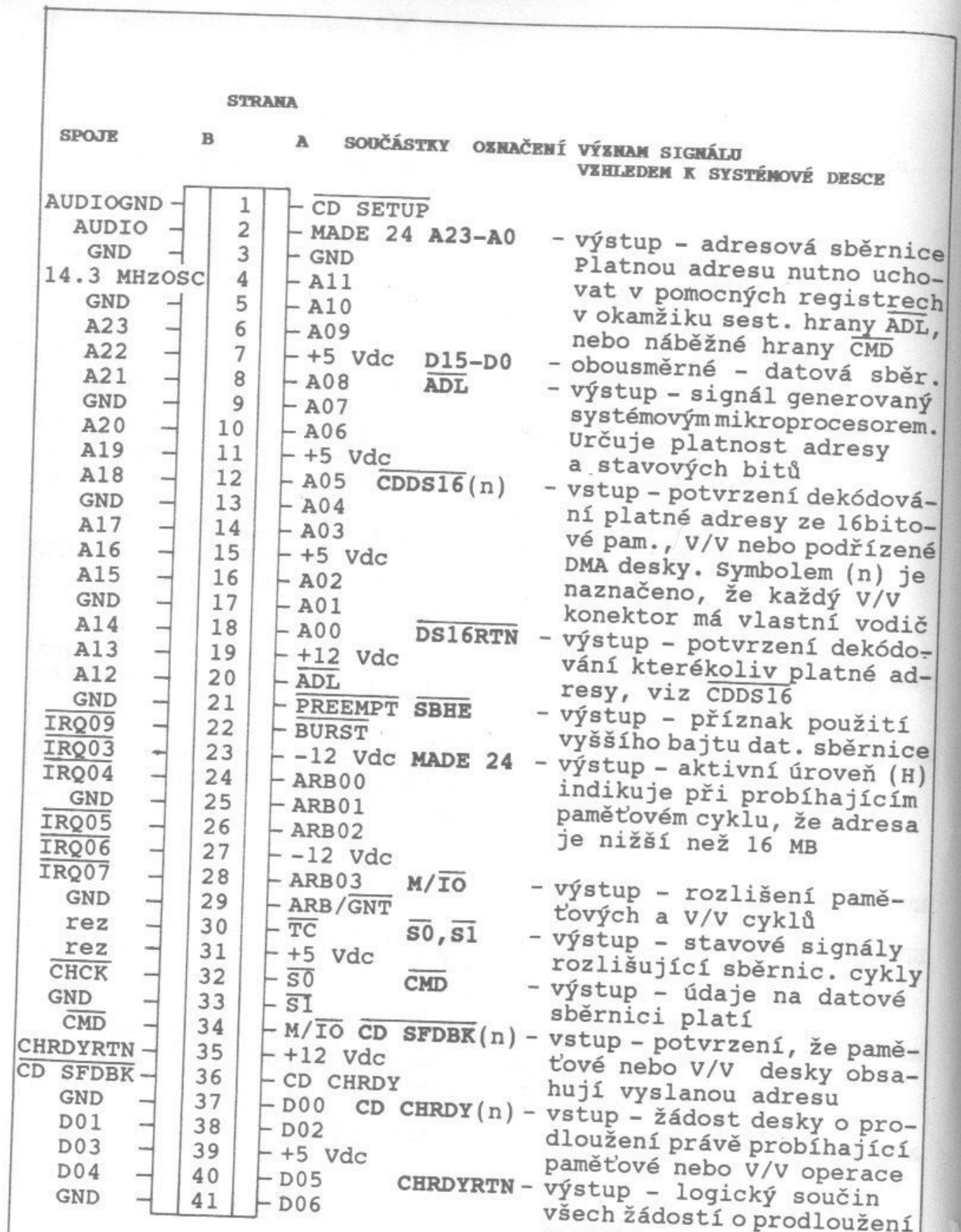
ESYNC výstup povolení signálů VSYNC, HSYNC, BLANK. Je-li napětí +5 V, je zdrojem těchto signálů VGA adaptér na V/V kartě, při napětí na tomto výstupu 0 V pak vývody pomocného video konektoru

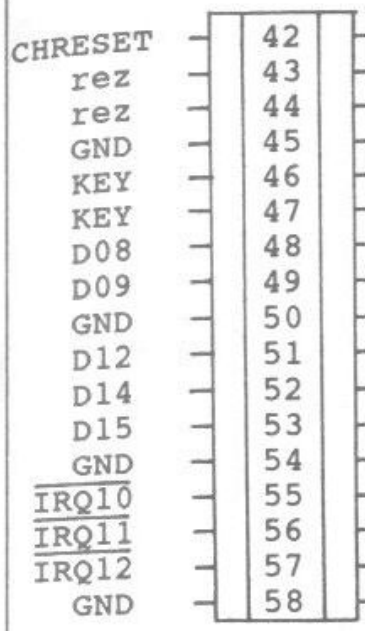
EVIDEO výstup totéž jako ESYNC pro signály P7-P0

EDCLK výstup povolení signálu DCLK. Při napětí +5 V je zdrojem VGA karta, při 0 V pomocný video konektor

AUDIO přenos zvukového signálu z adaptéru do systémového audio výstupu nebo přenos signálu mezi adaptéry

AUDIOGND společný pól audio signálu


STRANA
SPOJE
B
A
SOUČÁSTKY
OZNAČENÍ
VÝZNAM SIGNÁLU VZHLEDEM K SYSTÉMOVÉ DESCE
AUDIOGND 1 CD SETUP
AUDIO 2 MADE 24 A23-A0 - výstup - adresová sběrnice Platnou adresu nutno uchovat v pomocných registrech v okamžiku sest. hrany ADL, nebo náběžné hrany CMD
GND 3 GND
14.3 MHzOSC 4 A11
GND 5 A10
A23 6 A09
A22 7 +5 Vdc D15-D0 - obousměrné - datová sběr.
A21 8 A08 ADL - výstup - signál generovaný systémovým mikroprocesorem. Určuje platnost adresy a stavových bitů
GND 9 A07
A20 10 A06
A19 11 +5 Vdc
A18 12 A05 CDDS16(n) - vstup - potvrzení dekódování platné adresy ze 16bitové pam., V/V nebo podřízené DMA desky. Symbolem (n) je naznačeno, že každý V/V konektor má vlastní vodič
GND 13 A04
A17 14 A03
A16 15 +5 Vdc
A15 16 A02
GND 17 A01
A14 18 A00 DS16RTN - výstup - potvrzení dekódování kterékoliv platné adresy, viz CDDS16
A13 19 +12 Vdc
A12 20 ADL
GND 21 PREEMPT SBHE - výstup - příznak použití vyššího bajtu dat. sběrnice
IRQ09 22 BURST
IRQ03 23 -12 Vdc MADE 24 - výstup - aktivní úroveň (H) indikuje při probíhajícím paměťovém cyklu, že adresa je nižší než 16 MB
IRQ04 24 ARB00
GND 25 ARB01
IRQ05 26 ARB02
IRQ06 27 -12 Vdc
IRQ07 28 ARB03 M/IO - výstup - rozlišení paměťových a V/V cyklů
GND 29 ARB/GNT
rez 30 TC S0,S1 - výstup - stavové signály rozlišující sběrnic. cykly
rez 31 +5 Vdc
CHCK 32 S0 CMD - výstup - údaje na datové sběrnici platí
GND 33 S1
CMD 34 M/IO CD SFDBK(n) - vstup - potvrzení, že paměťové nebo V/V desky obsahují vyslanou adresu
CHRDYRTN 35 +12 Vdc
CD SFDBK 36 CD CHRDY
GND 37 D00 CD CHRDY(n) - vstup - žádost desky o prodloužení právě probíhající paměťové nebo V/V operace
D01 38 D02
D03 39 +5 Vdc
D04 40 D05 CHRDYRTN - výstup - logický součin všech žádostí o prodloužení operace
GND 41 D06



ARB3-0 - vstup - informace o prioritě účastníků na sběrnici

ARB/GNT - výstup-při úrovni H probíhá arbitrační cyklus.Úroveň L potvrzuje vítěznému adaptéru předání sběrnice

PREEMPT - obousměrné - žádost podřízených DMA nebo inteligentních adaptérů o sběrnici

BURST - obousměrné - účastníci arbitrace signalizují arbitru použití sběrnice k blokovému přenosu dat

TC - indikace posled.čtení/zápisu aktuálním DMA kanálem

IRQ3-7, IRQ9-12, IRQ14,15 - vstup - žádosti o přerušení

OSC výstup - oscilátor s frekvencí 14,32 MHz

CHRESET výstup - nulování adaptérů V/V podsystému

REFRESH obousměrný - indikace právě probíhajícího občerstvování dynamických pamětí

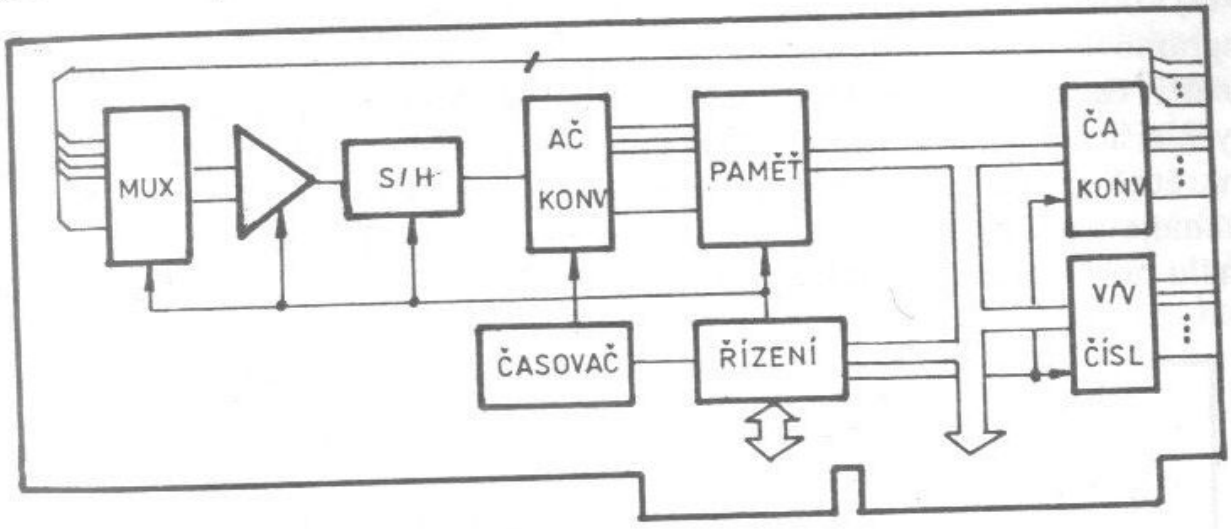
CD SETUP(n) výstup - využívá systémová deska k individuálnímu výběru V/V konektoru během konfigurace systému. Signál zpřístupňuje prostor konfiguračních dat čitelných nebo zapisovatelných V/V operacemi

CHCK vstup - chyba (parity) na sběrnici

Obr. 4.11 Rozložení vývodů a význam signálů sběrnice MCA

5. Základní programovací techniky vstupu a výstupu dat

Rozbor technik programování vstupu a výstupu dat provedeme na příkladě analogového vstupu pomocí multifunkčního PC adaptéru, který patří do skupiny tzv. **virtuálních měřicích přístrojů**. Ty jsou jedním z moderních směrů v současné měřicí technice, která se v co nejširší míře snaží využívat mikroprocesory. Usiluje zejména o zvýšení vlastní inteligence měřicích přístrojů, zjednodušení jejich obsluhy, ale i o dosažení nové kvality předzpracováním naměřených hodnot. Toho lze dosáhnout i zabudováním mikroprocesorů do klasických měřicích přístrojů, ale tato varianta jejich modernizace je mimo naši oblast zájmu.



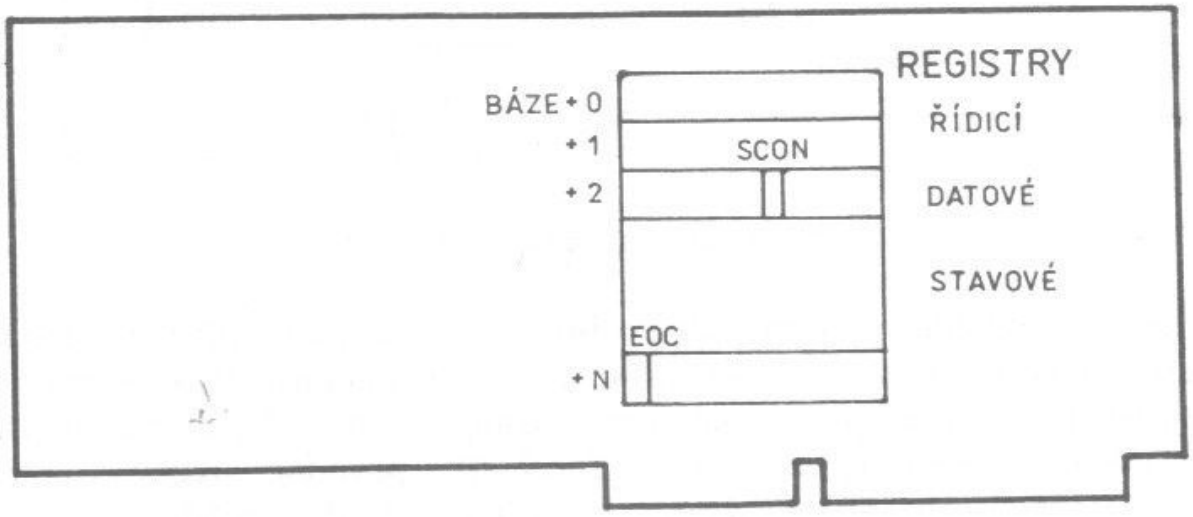
Obr. 5.1 Struktura multifunkčního adaptéru

Z hlediska počítačové terminologie jsou virtuální měřicí přístroje **adaptéry** realizovanými na deskách zasouvaných do konektorů V/V kanálu PC. Nejčastěji jde o adaptéry osmi nebo šestnáctibitové. Jejich hlavní přínos spočívá v rozšíření aplikačních možností PC původně určených jen pro kancelářské použití. Z hlediska měřicí techniky obsahuje adaptér jen vlastní měřicí řetězec; zpracování naměřených hodnot, zobrazení výsledků a snadné ovládání podporují technické a programové prostředky samotného PC. Spíše výjimečně bývá součástí adaptéru i další mikroprocesor. Aplikační oblastí virtuálních měřicích přístrojů je automatizace laboratorních i průmyslových

procesů, zejména pak sběr analogových i číslicových dat, měření a zpracování signálů, řízení kvality výroby, testování, monitorování a řízení technologických procesů, ap. Dosažitelné cenové relace jsou v případě, kdy je PC k dispozici, velmi příznivé.

Struktura multifunkčního adaptéru

Analogově číslicový (AČ) řetězec se u typického multifunkčního adaptéru (obr. 5.1) skládá zejména z následujících částí: Symetrický nebo asymetrický **multiplexor** přepíná jednotlivé analogové vstupy (kanály) a umožňuje tak další zpracování. To probíhá zejména v **zesilovači** s programově (manuálně) nastavitelným zesílením. Protože **AČ převodník** pracuje většinou s postupnou aproximací, zajišťuje konstantnost analogové hodnoty na vstupu **vzorkovací** (S/H) obvod. Samotný převodník se pro jednorázový převod spouští programově nebo vnějším signálem, nejčastěji však periodicky, což má na starosti **časovač**. Převedené hodnoty se ukládají do **datového registru**, u rychlejších verzí adaptérů do **FIFO pamětí**. Konec převodu (EOC) se podle konkrétně použité techniky spolupráce s mikroprocesorem - viz dále - oznamuje nastavením bitu ve stavovém registru, generováním přerušovacího signálu nebo žádostí o DMA přenos.



Obr. 5.2 Programátorský model multifunkčního adaptéru

ČA řetězec multifunkční desky obsahuje jeden, častěji však několik ČA převodníků na oddělených adresách.

Kromě analogových vstupů a výstupů mívají multifunkční desky celou řadu nezávislých číslicových vstupů a výstupů. Dostupný bývá i alespoň jeden kanál časovače.

Programátorský model AČ řetězce multifunkčního adaptéru

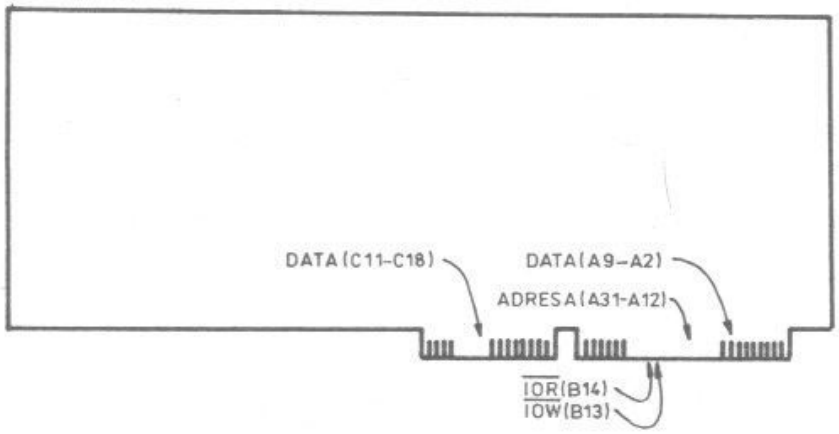
Z hlediska programátora se multifunkční adaptér (viz obr. 5.2) jeví jako několik V/V bran, kterými se ovládají výše popsané podsystémy (AČ řetězec, ČA řetězec, časovač, číslicové V/V atd.). Výstupní brány mají buď charakter **řídicích registrů**, do kterých se zapisují konstanty definující aktuální režim, nebo to jsou **registry datové**. Z funkčního hlediska je důležitý registr s bitem START PŘEVODU (SCON). Výstupní brány rozdělujeme podobně na **registry datové** a **registry stavové**. Jedním z nejdůležitějších je stavový registr s bitem indikujícím KONEC PŘEVODU (EOC) AČ převodníku.

Řídicí, stavové i datové registry zabírají určitý interval V/V adres, přičemž počáteční adresu tohoto bloku je obvykle možné před instalací do PC ručně nastavit. Tuto možnost zajišťuje konfigurovatelný **adresový dekodér**, který umožňuje relokovatelnost adaptéru.

5.1 Techniky řízení vstupu dat

Doba převodu AČ převodníku je sice konečná, ale není zanedbatelně krátká. S rychlostí výpočtu v mikroprocesoru nikterak nesouvisí, procesy AČ převodu a činnost mikroprocesoru jsou nezávislé a probíhají souběžně. Pro správnou funkci adaptéru i dalšího navazujícího zpracování však musíme tyto asynchronní procesy synchronizovat. Kromě toho musí být převedená hodnota předána co možná nejdříve (požadavek vysoké rychlosti zpracování), avšak s minimální časovou zátěží mikroprocesoru (požadavek vysoké průchodnosti programů) do paměti PC. K synchronizaci V/V požadavků a přenosu dat používáme jednu ze tří základních technik řízení; každá z nich má své přednosti i nedostatky.

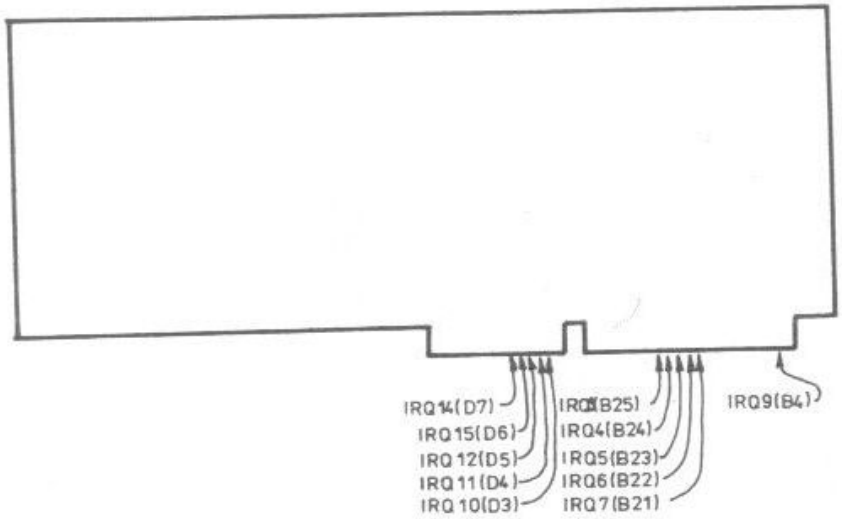
Programové řízení vstupu dat (polling). Zjišťujeme-li okamžik EOC programovými prostředky, mluvíme o programově řízeném vstupu dat. Tato technika se jednoduše implementuje, zejména při jednorázovém programem spuštěném převodu. Pak se totiž dá navrhnout efektivně, bez zbytečných čekacích smyček. To však už neplatí při periodickém spouštění převodu časovačem nebo vnějším synchronizačním signálem. Na obr. 5.3 souhrnně uvádíme příklad takového programu, s odhadem jeho doby trvání (vyjádřeném počtem taktů) u jednotlivých typů mikroprocesorů i s přehledem signálů V/V kanálu, které se přenosu dat v tomto případě zúčastní. Je-li v některém řádku uvedena hodnota s lomítkem, pak před ním je počet taktů při nesplněné, za ním při splněné podmínce.



mikroprocesor					
88	286		.		
			.		
8	5	CYEOC:	IN	AL,STAV REG	;ČTI STAV
5	3		TEST	AL,TEST MASK	;MASKA
18/6	8+2/4		LOOPZ	CYEOC	;EOC?
8	5		IN	AX,DX	;DATA
10	4		MOV	[DI],AX	;DO PAM
4	3		CMP	DI,LIMIT	;KONEC?
16/4	7+2/3		JZ	EXIT	;ANO
2	2		INC	DI	;NE
2	2		INC	DI	;UKAZ+2
15	9		JMP	CYEOC	;OPAKUJ
		EXIT:	.		
trvání 64	40 taktů		.		

Obr. 5.3 Vstup dat s programovým řízením

Vstup s přerušením. Souběžnou aktivitu adaptéru s převodníkem a mikroprocesoru s uživatelským programem umožňuje přerušovací podsystém. Tato technika je vhodná zejména v případech, kdy je mezi převody poměrně dlouhý, nebo dokonce nepravidelný interval. Problémy s aplikací této techniky nastanou především v případě, kdy konkrétní konfigurace počítače vyčerpá možnosti přerušovacího podsystému (vodiče žádostí o přerušení jsou obsazeny jinými adaptéry), nebo kdy při provozu některé části spolupracujících programů vyřadí přerušovací podsystém na delší dobu z činnosti (zákazem přerušení). Z obr. 5.4 vyplývá pro někoho možná překvapující závěr, že přenos dat trvá v tomto případě déle než v případě předchozím. Důvod je v tom, že se na úklid stavové informace mikroprocesoru a výběr startovací adresy obslužného programu spotřebuje mnoho taktů. Když k nim pak ještě připočteme dobu vlasního přenosu dat, inkrementaci ukládací adresy a test na konec odvozený z naplnění předepsané oblasti paměti, zjistíme fakt, že vstup dat s přerušením může být oproti předchozímu případu ještě pomalejší.



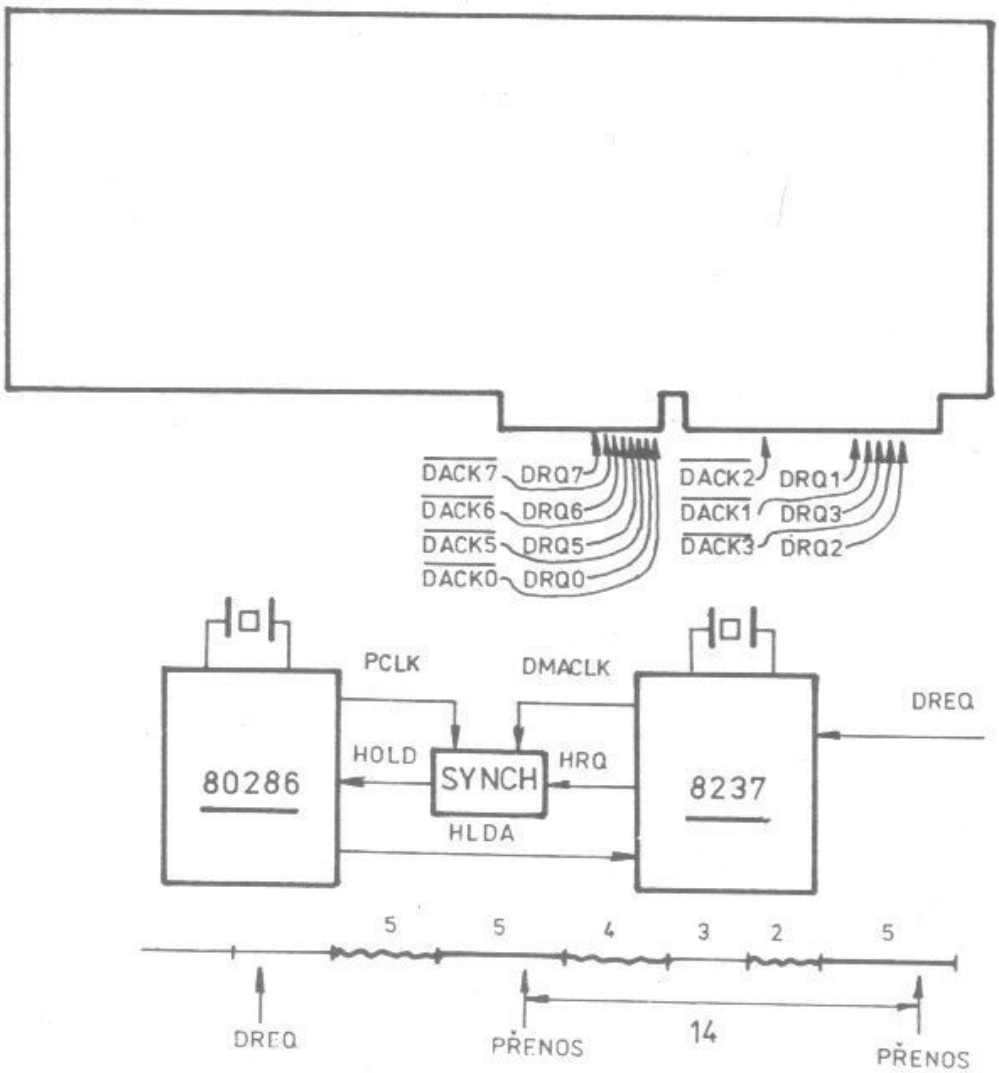
mikroprocesor

88	286
51	23+POČET BAJTŮ NÁSL.INSTR

+INSTRUKCE ÚKLIDU DAT, INKREMENTACE, TEST NA KONEC => POMALEJŠÍ

Obr. 5.4 Vstup dat s přerušením

Vstup DMA. Rychlý přenos dat bez účasti mikroprocesoru, tedy nejefektivnější z popisovaných technik, představuje přímý přístup do paměti. Využívá DMA podsystém PC; u modelu XT jsou možné jen osmibitové přenosy, u modelu AT přenosy osmi i šestnáctibitové. Tato technika vyžaduje zvláštní uspořádání adaptéru. Používá se k přenosu bloků dat a adaptér musí v tomto případě obsahovat paměť převedených hodnot. Žádostí o DMA není v tomto případě EOC, ale signál indikující naplnění této paměti. S výhodou se používají paměti FIFO. Odhad doby trvání jednoho přenosu je v tomto případě složitější, neboť nestačí jen znát počet spotřebovaných taktů. V přehledu uvedeném na obr. 5.5 jsou totiž některé takty takty procesorovými (jsou vyznačeny vlnovkou), jiné



Obr. 5.5 Vstup dat pomocí DMA

takty DMA (vyznačeny silnou čarou). Slabá úsečka odpovídá v tomto obrázku taktům procesorovým, během nichž dochází k rozhodování o přepnutí z jednoho řadiče na druhý (z procesoru na DMA řadič). V praxi bývá (kromě modelu XT) hodinová frekvence DMACLK podstatně nižší než frekvence procesoru PCLK. Příčinou pomalosti obvodu 8237A oproti mikroprocesoru 80286 a vyšším je zejména fakt, že DMA řadiče spolupracují se V/V obvody a ty jsou obvykle mnohem pomalejší než obvody paměťové. V případě IBM PC AT je rozboru časování V/V operací věnována kapitola 6.2, a tam se o konkrétních časových relacích dozvíte mnoho podrobností. Na tomto místě můžeme jen konstatovat, že určit výpočtem doby trvání 14 taktů, potřebných k jednomu přenosu, není jednoduché.

5.2 Rozbor dosažitelné rychlosti

Poměrně rozšířený je názor, že rychlost AČ větve takovéhoto adaptéru determinuje pouze použitý převodník, resp. jeho doba převodu. Následujícím rozborem chceme ukázat, že v aplikaci s PC není tento názor zcela správný.

Programová smyčka testující EOC obsahuje (minimálně) tři instrukce, přenos převedené hodnoty do paměti s inkrementací adresy a testem na konec dalších zhruba sedm instrukcí. Doba vykonání tohoto programu (cca 10 μs pro mikroprocesor 8088 modelu XT) je souměřitelná s dobou převodu průmyslových standardů AČ převodníků s postupnou aproximací (AD574A - 20 μs, AD674A - 12 μs), ale je už příliš dlouhá pro jejich rychlé verze (AD774 - 8 μs, 578 - 3 μs), nebo dokonce pro převodníky paralelní. U PC s rychlejšími mikroprocesory je sice doba vykonání tohoto programu kratší, ale ani tak rychlým převodníkům nevyhovuje.

Maximální dosažitelná rychlost vstupu s přerušením je u PC ještě nižší než v případě předchozím. K vysvětlení tohoto pro někoho možná těžko představitelného paradoxu použijeme rozbor funkce PC přerušovacího podsystému.

Víceméně nahodilými příčinami prodloužení odezvy na žádost o přerušení jsou výskyty "dlouhých" instrukcí (blokové přenosy, násobení, dělení, opakování), připojení na vstup žádosti s nízkou prioritou, nebo zákaz přerušení jiným programem. I když však všechny tyto zpomalující faktory vyloučíme, je reakční

doba žádosti o přerušení značná. Řadič přerušení totiž do mikroprocesoru zasílá jen typ přerušení, podle kterého se teprve vybírá přerušovací vektor, určuje adresa obslužného programu, ukládá návratová adresa do zásobníku a skáče do obslužného programu. I když pomineme ukládání dalších registrů (v praxi ovšem nutné), trvá přechod na obslužný program přerušení nejméně 51 taktů mikroprocesoru 8088 (12,81 μs) a nejméně 23 taktů mikroprocesoru 80286 (cca 2,3 μs).

Otázka součinnosti mikroprocesoru, řadiče sběrnice a adaptéru při přímém přístupu do paměti (DMA) je u PC natolik zajímavá, že nás inspirovala k samostatné studii.

Cílem studie bylo zjistit maximální prakticky dosažitelnou rychlost přenosu pomocí DMA na počítačích PC XT, AT a typu 386 a vypracovat program, který tuto rychlost u konkrétního počítače pokud možno automaticky změří. Přestože se jako řadič DMA ve všech modelech používá obvod 8237A-5 (samostatně nebo v rámci složitějších zákaznických obvodů), jsou mezi jednotlivými počítači výrazné rozdíly. Způsobeny jsou, podle našeho názoru, realizací arbitru a řadiče sběrnice. Na základě provedených měření uvádíme některé vlastnosti DMA podsystému PC:

1. Na všech PC se může bez omezení používat DMA ve přerušovaném bajtovém režimu (občerstvování dynamických pamětí není ovlivňováno).

2. Na žádném PC nelze přenášet data v souvislém režimu. Během něj se totiž úplně blokuje arbitr sběrnice, a tedy neprobíhá občerstvování dynamických pamětí.

3. Požadavkový režim lze používat s omezením - jeho žádosti nemohou přicházet příliš často, musí mezi nimi být dostatečný interval na občerstvování dynamických pamětí. Největší přenosové rychlosti by se dosáhlo nepřetržitým požadavkem DRQx, ale pak by se vlastně jednalo o souvislý režim DMA.

4. Ani souvislý DMA režim není nutné úplně zavrhnout, což by byla škoda, protože právě v něm je možné dosáhnout nejvyšší přenosové rychlosti. Jak je uvedeno výše, jeho plnému využívání brání ta skutečnost, že omezuje občerstvování dynamických pamětí. V IBM PC XT/AT je občerstvovací systém

navržen tak, že k občerstvení dochází za málo kratší dobu, než při které ještě výrobce zaručuje spolehlivou funkci pamětí (tj. standardně 256 řádkových občerstvovacích cyklů za 4 ms - a u PC se provádí jeden takový cyklus každých 15 μs, tedy všech 256 za 3,9 ms). To znamená, že jakékoli zablokování občerstvovacího systému na dobu 15 μs a větší způsobí porušení pravidel předepsaných výrobcem dynamických pamětí. Tedy naprosto bezpečně lze v souvislém režimu přenést jen jednotky až desítky slov. Například, když přenos vyžádáme ihned po ukončení občerstvovacího cyklu (vzestupná hrana signálu RFSH), tak se během 11 μs (15 - 2 x 2 μs odhadnuté jako doba pro předání sběrnice) při rychlosti např. 2000 kB za sekundu přenese 22 bajtů. Stejná úvaha pochopitelně platí i o požadavkovém režimu (ad 3).

5. Výše uvedené body 1- 4 platí obecně, tj. za dodržení výrobci předepsaných parametrů. Existují však i další možnosti bezpečného přenosu DMA. Ty ale závisejí na konkrétním počítači, přesněji na jeho konfiguraci, zapojení obvodů základní desky, mechanické konstrukci (to např. souvisí s chlazením) i na prostředí, ve kterém je počítač umístěn. Je zřejmé, že pokud má počítač veškerou operační paměť tvořenou jen jedním paměťovým modulem (podrobnosti viz kapitola 7) a neobsahuje žádné komponenty závislé na signálu RFSH z I/O kanálu, můžeme bez obav používat i souvislé přenosy delší než 64 KB DRAM, protože při přenosu dochází k občerstvování pamětí automaticky. Dále můžeme využít toho, že výrobce DRAM předepisuje maximální dobu občerstvování pro nejnepříznivější podmínky - např. mezní napájecí napětí a teplota (obvykle 70°C). Ale při normálních podmínkách je možné ponechat paměti bez občerstvování mnohem delší dobu - lze tedy provést např. několik milisekund trvající přenos DMA v souvislém režimu, což bylo prakticky ověřeno pro různé počítače v kancelářském prostředí. Tedy při velmi dobré znalosti použitého počítače je možné jeho nasazení i v aplikacích s vysokými požadavky na přenosovou rychlost přenosu DMA.

Naše konkrétní měření vycházelo z definice přenosové rychlosti jako množství přenesených dat za jednotku času. Konkrétně se přenášelo určité množství dat a doba přenosu byla měřena jedním z vnitřních časovačů počítače.

Vysvětlení některých pojmů souvisejících s režimy činnosti DMA:

Přerušovací režim DMA

Je to takový režim, při kterém je přenos určitého bloku dat metodou DMA přerušován vždy po přenesení jednoho slova (tj. u PC 8 nebo 16 bitů). Řadič DMA vždy po získání sběrnice přenese jedno slovo a na určitou dobu systémovou sběrnici uvolní. Tím dává prostor nejen pro činnost procesoru, ale i kanálům DMA s vyšší prioritou (např. občerstvování). Výhodou tohoto režimu tedy je kvaziparalelní chod procesoru, několika kanálů DMA a občerstvování dynamických pamětí. Jeho nevýhodou jsou časové ztráty při předávání systémové sběrnice.

Souvislý DMA přenos

Zajistí nepřerušovaný přenos bloku dat. To znamená, že od okamžiku zahájení přenosu do přenesení posledního slova blokuje řadič DMA systémovou sběrnici počítače pro svoji činnost. Jeho výhodou je velká přenosová rychlost, protože odpadá předávání sběrnice po přenesení každého slova.

Požadavkový DMA režim

Je obdobou souvislého DMA režimu, ale navíc umožňuje přenos bloku dat na určitou dobu pozastavit. Přenos je pak řízen signálem DRQx. Jeho přechod do neaktivní úrovně způsobí pozastavení přenosu DMA a uvolnění systémové sběrnice. Přenos je obnoven po obnovení aktivity signálu DRQx. Tak lze přenos DMA libovolně pozastavovat, až do přenesení celého bloku dat.

Pozn.: Blok dat = určité množství dat, které má být přeneseno z/na určité adresy v paměti do/z V/V kanálu. Délka bloku, adresy v paměti a směr přenosu se specifikují naprogramováním řadiče DMA.

Při DMA přenosu se měřily všechny volné kanály (kromě kanálu 2, který je obvykle obsazen diskovým adaptérem) ve třech základních režimech - přerušovaném, souvislém a požadavkovém. Všechny parametry přenosu DMA můžeme naprogramovat do řadiče DMA, ale problémem zůstává spuštění přenosu DMA. Odstartovat přenos je možné v zásadě dvojím způsobem: technicky aktivací žádosti o DMA přenos na I/O kanálu počítače DRQx, což odpovídá reálným aplikacím, anebo programově zápisem do registru požadavků řadiče DMA. Programová žádost je velmi elegantní z hlediska testovacího programu, ale výrobce řadiče 8237A ji zaručuje pouze u souvislého DMA režimu. Prakticky bylo ověřeno, že na řadě počítačů je možné programovou žádost bezpečně používat i v ostatních režimech, ale takto dosažená přenosová rychlost se liší od rychlosti přenosu vyvolaného signálem DRQx. Proto se při měření využívá žádosti DRQx signálem a jen jako volitelná je i programová žádost. Protože vodiče DRQx jsou na I/O kanálu obvykle volné, může na nich být nedefinovaná úroveň. Pokud odpovídá úrovni neaktivní, je třeba podpořit testovací program jednoduchou zásuvnou deskou.

Přenos procesorem se provádí buď čtením brány ve smyčce (dále viz označení LOOP), nebo na mikroprocesorech 286 a vyšších řetězovou instrukcí nad bránou s opakovacím prefixem (označení REP).

Měřením přenosových rychlostí asi deseti počítačů jsme zjistili rozsahy, ve kterých se maximální přenosové rychlosti pohybují:

Dále v tabulkách použité označení:

8b deska	-	zásuvná deska do IBM PC XT/AT se šířkou přenosu dat 8 bitů, tzn. neaktivuje signály IOCS16 nebo EX32 (na EISA sběrnici)
16b deska	-	zásuvná deska do IBM PC AT se šířkou přenosu 16 bitů, tzn. při přenosu dat aktivuje signál IOCS16
LOOP	-	přenosy realizované procesorem (ve smyčce opakovaná instrukce vstupu z brány, bez DMA); 8b: vstup bajtu; 16b: vstup šestnáctibitového slova
REP	-	přenosy realizované procesorem pomocí instrukce REP INS, tj. řetězová operace nad bránou s opakovacím prefixem
DMA 8b	-	přenos s použitím DMA kanálů 0 až 3 (osmibitový přenos)

DMA 16b - přenos s použitím DMA kanálů 5 až 7 (šestnáctibitový přenos)

XT jeden exemplář s frekvencí hodin 4,77 MHz:

šířka přenosu	8b	16b
DMA přerušovaný režim DMA souvislý režim	272 KB/s 1159 KB/s	nelze nelze
LOOP deska 8b	77 KB/s	129 KB/s

AT počítače AT 286 s taktovací frekvencí procesoru 12 až 16 MHz:

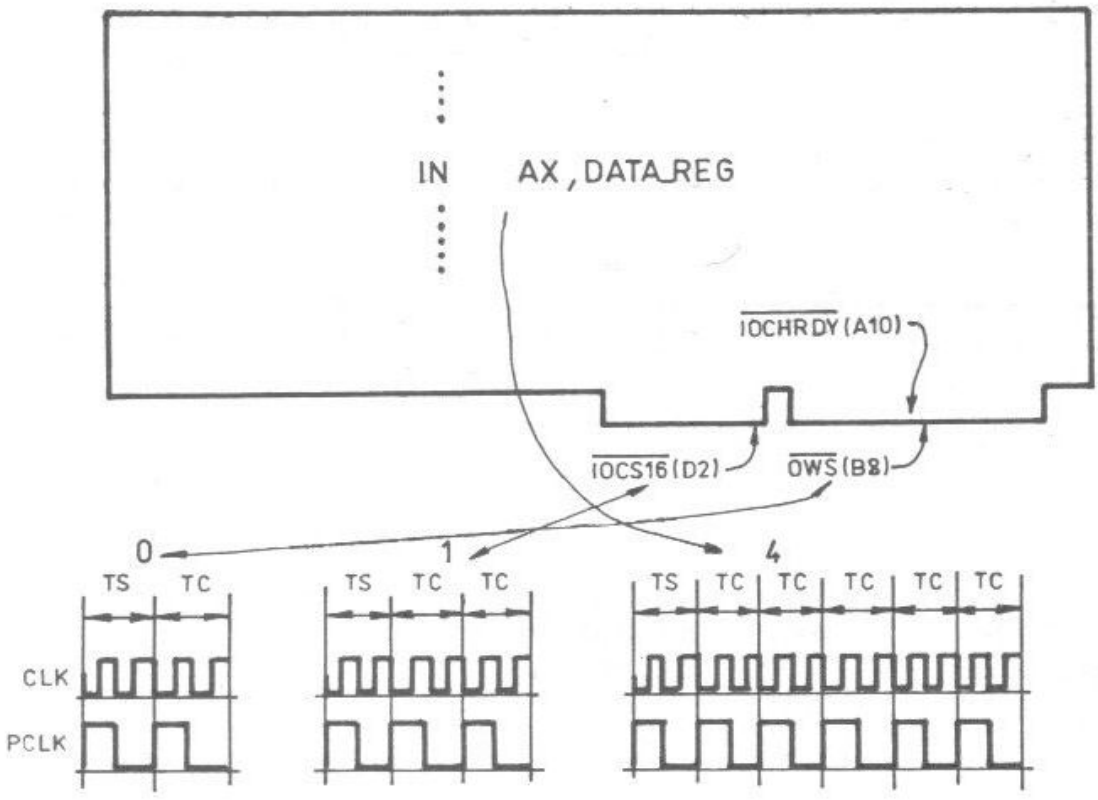
šířka přenosu	8b	16b
DMA přerušovaný režim DMA souvislý režim	210 až 240 KB/s 970 až 980 KB/s	600 až 680 KB/s 1940 až 1950 KB/s
LOOP deska 8b LOOP deska 16b	390 až 460 KB/s 390 až 660 KB/s	550 až 670 KB/s 780 až 1040 KB/s
REP deska 8b REP deska 16b	740 až 1070 KB/s 860 až 1720 KB/s	780 až 1180 KB/s 1730 až 3440 KB/s

386SX jeden počítač:

šířka přenosu	8b	16b
DMA přerušovaný režim DMA souvislý režim	280KB/s 1220KB/s	880KB/s 2430KB/s
LOOP deska 8b LOOP deska 16b	340KB/s 370KB/s	520KB/s 720KB/s
REP deska 8b REP deska 16b	770KB/s 940KB/s	942KB/s 1890KB/s

5.3 Uspořádání k dosažení nejvyšší rychlosti

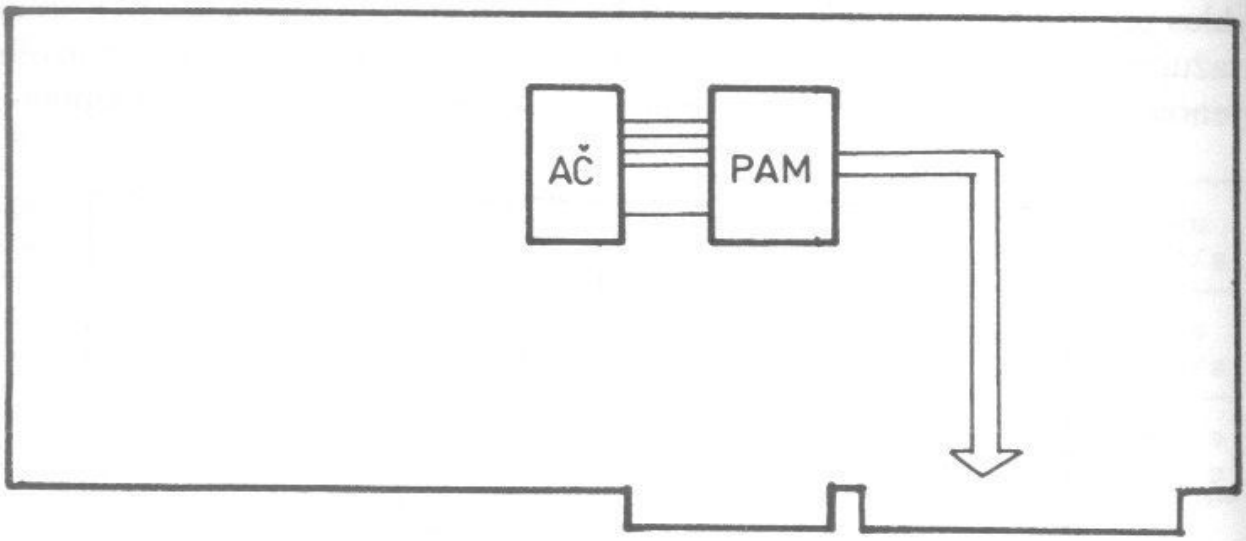
O rychlosti vstupu dat rozhodují (i když v menší míře) než použité programovací techniky, i vlastnosti použitého adaptéru. To znamená, je-li adaptér osmi nebo šestnáctibitový, vyžaduje-li při přenosu generování dodatečných čekacích taktů, nebo vystačí-li dokonce úplně bez nich. O všech těchto vlastnostech informují mikroprocesor nebo arbitr na systémové desce signály IOCS16, IOCHRDY a OWS. S jejich pomocí je totiž možné ovlivňovat vlastní dobu trvání V/V instrukce. Příklad takového ovlivnění sledujte na obr. 5.6, který ilustruje vstup dat prováděný šestnáctibitovou instrukcí IN. V případě, kdy deska neodpoví, že je šestnáctibitová, trvá celý přenos tak dlouho, jak je to obvyklé pro přenosy osmibitové. Podrobný rozbor naleznete dále v kapitole 6.1 pro model XT a v kapitole 6.2 pro model AT. V našem případě je strojový cyklus prodloužený o 4 x TC (takty procesoru 80286, protože v tomto případě uvažujeme konkrétně desku tohoto modelu). V případě šestnáctibitového přenosu je prodloužení výrazně kratší (pouze jeden vložený TC). Odpoví-li



Obr. 5.6 Druhá úroveň zrychlení - instrukce IN

adaptér, že dokonce nevyžaduje žádné čekací takty (OWS=L), je komunikace s ním stejně rychlá jako s pamětí. Na druhou stranu ale zase mohou jiné adaptéry pomocí signálu IOCHRDY žádat o prodloužení strojového cyklu o libovolný (shora omezený) počet TC. Pro pořádek ještě připomínáme, že o taktech mikroprocesoru jsme podrobně mluvili v kapitole 3.

Mikroprocesory 80286 a vyšší umožňují dosáhnout mnohem vyšší přenosové rychlosti mezi adaptérem a pamětí, než technické prostředky podsystému DMA. Využívají při tom REP INSW instrukce, se kterou se dosahuje až 1,2 MB/s (resp. dokonce 1,84 MB/s). Touto instrukcí se přesouvá řetěz šestnáctibitových dat o pevné délce (v registru CX) mezi adresou v paměti (v registru DI) a V/V adresou (v reg. DX) - obr. 5.7. Protože nedochází k přepínání řadi-




```
                .
                .
                .
                CLI                         ;ZÁKAZ    PŘERUŠ
                MOV   DX,DATA PORT          ;ODKUD
   80286        MOV   DI,ADR POLE ;KAM
  =======       MOV   CX,DELKA              ;KOLIK
     4          REP   INSW                  ;PROVEĎ
                .
                .
                .
```

Obr. 5.7 Opakované instrukce pro práci s řetězy

čů sběrnice, není přenos z tohoto důvodu zpomalován. Občerstvování dynamických pamětí probíhá obvyklým postupem a jen to tedy přenos poněkud brzdí. Vzhledem k rychlosti tohoto přenosu dat (na jedno slovo jen čtyři spotřebované takty procesoru) však není celkové zpomalení podstatné. Synchronizaci spolupráce mezi mikroprocesorem a adaptérem zajišťuje v tomto případě sběrnicový signál IOCHRDY, který dovoluje vkládat do strojových cyklů potřebné čekací takty.

I technické řešení adaptérů pro vysokou rychlost snímání dat (transient recorders) má specifické rysy. Součástí adaptérů bývají především paralelní (flash) AČ převodníky pracující s dobou převodu pod 0,5 μs a vyrovnávací pamětí hodnot, často typu FIFO.

6. Časování sběrnice

Vzhledem k tomu, že při psaní tohoto textu jsme viděli hlavní cíl v soustředění informací, na základě kterých by se čtenář mohl pokusit o technický návrh adaptéru libovolného přídavného zařízení, patří tato kapitola k nejzávažnějším.

Vyberete-li si za rozhraní pro připojení přídavného zařízení V/V kanál (PC sběrnici), budete mít při návrhu největší stupeň volnosti a váš uživatelský V/V adaptér může představovat nejefektivnější řešení. Kromě počtu, významu a rozložení signálů, které jsme už popsali dříve, však budete muset respektovat i jejich časování, jinými slovy **protokol sběrnice**. Právě této problematice se budeme věnovat v následujících odstavcích. Za nejdůležitější je třeba považovat minimální, resp. maximální doby trvání a vzájemné časové návaznosti signálů při spolupráci systémové jednotky s adaptérem pro blok paměti nebo zařízení, připojené prostřednictvím V/V bran při programovaném nebo DMA přenosu.

6.1 Časování sběrnice modelu XT

Všechny časové intervaly se na této sběrnici odvozují od frekvence CLK = 4,77 MHz, takže jeden takt trvá 210 ns. Vzhledem k tomu, že rozbor součinnosti bloků byl obsahem odstavce 4.1, je následující text nanejvýš zestručněn. První dva obrázky a k nim příslušející tabulky se týkají spolupráce mikroprocesor-paměť a pro návrh jsou důležité v případě, že V/V adaptér obsahuje paměť RWM, popř. ROM.

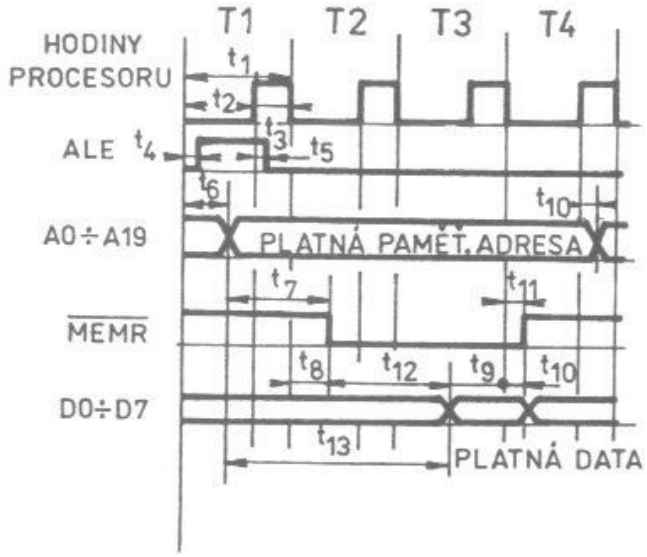
Spolupráce s pamětí

Obr. 6.1 podrobně uvádí posloupnost signálů při sběrnicovém cyklu čtení z paměti; vedle jsou v tabulce minimální a maximální doby jejich trvání.

Na obr. 6.2 je zachycena posloupnost signálů při sběrnicovém cyklu zápisu do paměti; tabulka opět uvádí doby jejich trvání. Cyklus čtení z paměti je nejběžnějším sběrnicovým cyklem. Je totiž součástí každého výběru instrukce.

Kromě toho ještě mnoho instrukcí čte z paměti data, která pak dále zpracovává. Jakékoli zpomalení spolupráce procesor-paměť se proto v celkovém výkonu počítače projeví výrazně. Paměťové obvody se při návrhu počítače vybírají k procesoru tak, aby sběrnicové cykly čtení a zápisu do paměti nepotřebovaly žádný WAIT-takt. Osobní počítače s touto vlastností se označují termínem Zero Wait-states (žádné čekací takty). Platí to však právě jen pro spolupráci s pamětí, V/V operace se, jak uvidíme dále, standardně prodlužují.

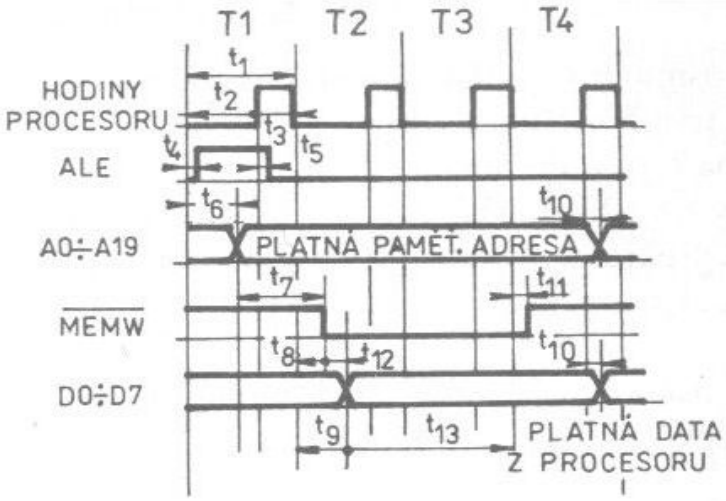
Z hlediska návrhu uživatelských adaptérů jsou mnohem důležitější obrázky následující. Popisují časování při spolupráci s V/V zařízením. Generátor WAIT-taktu, který je součástí systémové desky, v tomto případě automaticky generuje jeden čekací takt, čímž sběrnicový cyklus prodlužuje na 5 taktů procesoru.



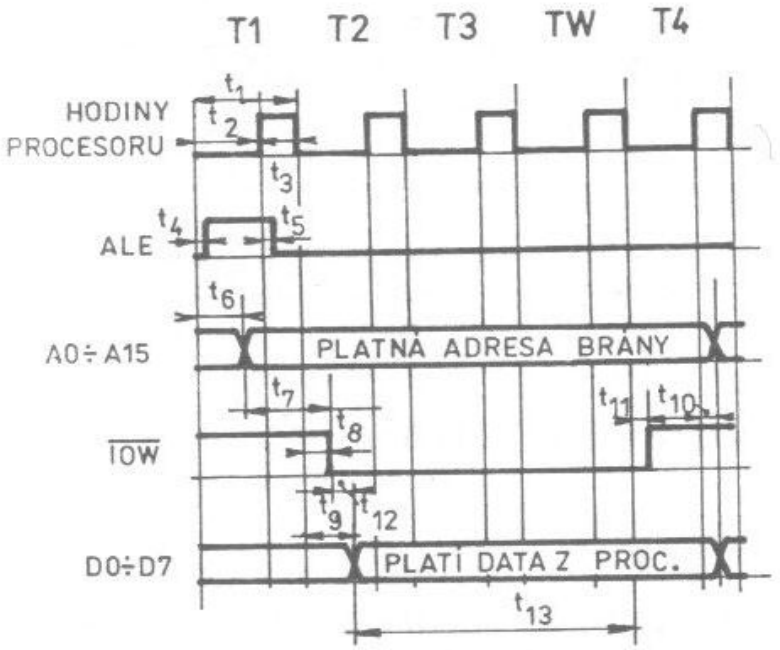
Symbol	Max	Min
t1	-	209.5
t2	-	124.5
t3	-	71.8
t4	15	-
t5	15	-
t6	128	16
t7	-	91.5
t8	35	10
t9	-	42
t10	-	10
t11	35	10
t12	-	342
t13	-	458.5

Obr. 6.1 Časování sběrnicového cyklu čtení z paměti

Symbol	Max	Min
t1	-	209.5
t2	-	124.5
t3	-	71.8
t4	15	-
t5	15	-
t6	128	16
t7	-	91.5
t8	35	10
t9	122	14
t10	-	10
t11	35	10
t12	112	-
t13	-	297



Obr. 6.2 Časování sběrnicového cyklu zápisu do paměti



Symbol	Max	Min
t1	-	209.5
t2	-	124.5
t3	-	71.8
t4	15	-
t5	15	-
t6	128	16
t7	-	91.5
t8	35	10
t9	122	14
t10	-	10
t11	35	10
t12	112	-
t13	-	506.5

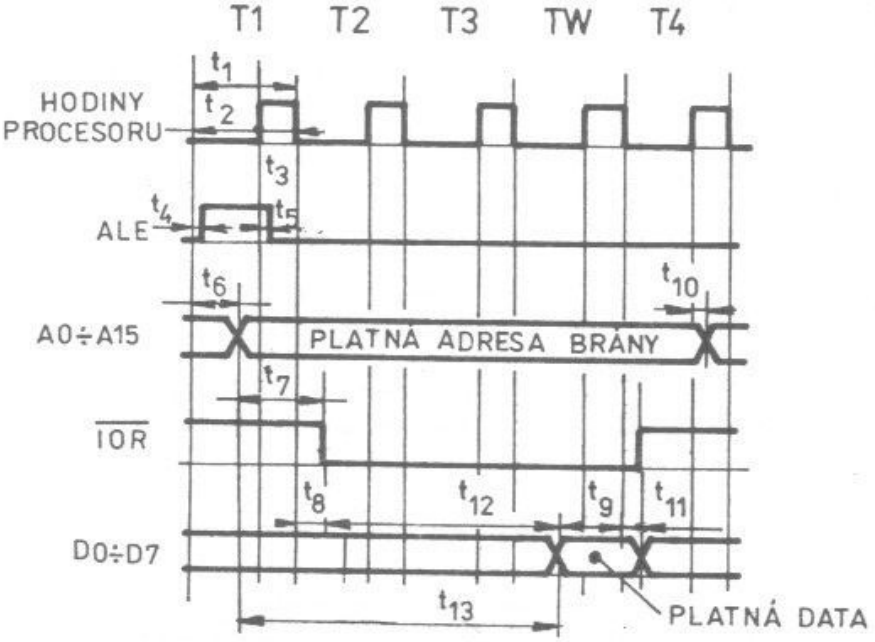
Obr. 6.3 Časování sběrnicového cyklu zápisu do V/V

Spolupráce s V/V

Zápis osmibitových dat na výstupní bránu sledujte na obr. 6.3. Celý sběrnicový cyklus trvá 5 x 210 ns, adresový dekodér má k dispozici zhruba 90 ns a pokud je doba zápisu do obvodu delší, než 506 ns, musí další WAIT-takty generovat obvody na uživatelském adaptéru. Podle doporučení IBM však jejich počet nesmí překročit deset, jinak by mohlo dojít k problémům při obnovování obsahu dynamických pamětí.

Čtení osmibitových dat z výstupní brány zachycuje obr. 6.4. O tomto sběrnicovém cyklu platí mnohé z toho, co bylo uvedeno výše.

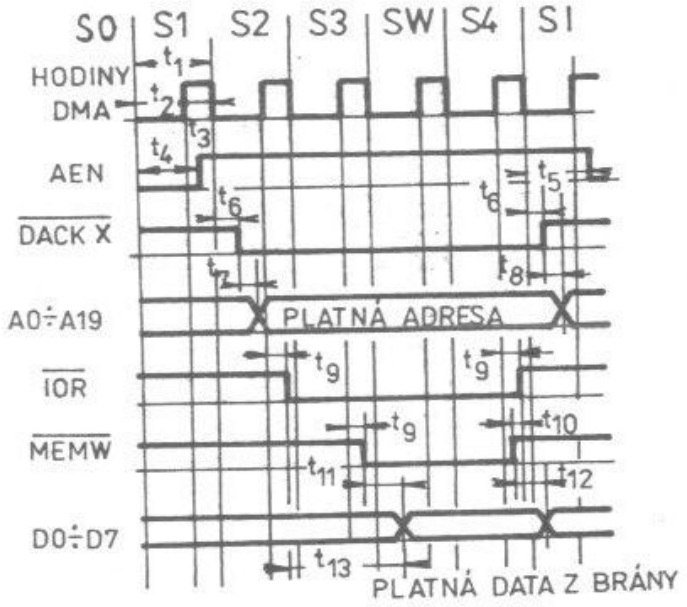
Symbol	Max	Min
t1	-	209.5
t2	-	124.5
t3	-	71.8
t4	15	-
t5	15	-
t6	128	16
t7	-	91.5
t8	35	10
t9	-	42
t10	-	10
t11	35	10
t12	-	551.5
t13	-	666



Obr. 6.4 Časování sběrnicového cyklu čtení z V/V

Další z našeho hlediska důležitý obrázek popisující časování je obr. 6.5 s časováním V/V operace DMA přenosu ze zařízení do paměti. DMA sběrnicový cyklus je systémovou deskou upraven tak, že trvá celkem šest taktů. Jejich délka je v modelu XT, který právě diskutujeme, shodná s délkou procesorových taktů Ti, ale protože jsou poněkud modifikované, označujeme je v obrázku jako takty Si. Neprovádí-li řadič některý z pracovních taktů Si

(i = 0,1,2,3,4), je ve stavu SI (inactive) a čeká v něm na požadavek některého podsystému na přímý přístup do paměti. Po jeho obdržení vyšle žádost pomocí signálu HRQ (není na PC sběrnici vidět, je vnitřním signálem systémové desky) směrem k procesoru a přejde do počátečního taktu S0. Jeden, případně několik taktů S0 probíhá souběžně s pracovními takty procesoru až do okamžiku, kdy může procesor žádost o DMA akceptovat. Popsaná příprava k DMA sběrnicovému cyklu probíhá souběžně s předchozím sběrnicovým cyklem, a na obr. 6.5 je tudíž vidět jen okrajově. První pracovní takt S1 DMA sběrnicového cyklu indikuje signál AEN povolující generování adresy na adresové sběrnici stránkovými registry DMA. Kvůli kompatibilitě s pomalejšími V/V obvody je mezi takty S3 a S4 vkládán systémovou deskou jeden čekací WAIT-takt, vkládání dalších čekacích taktů pomocí I/O CHRDY není v tomto případě možné.

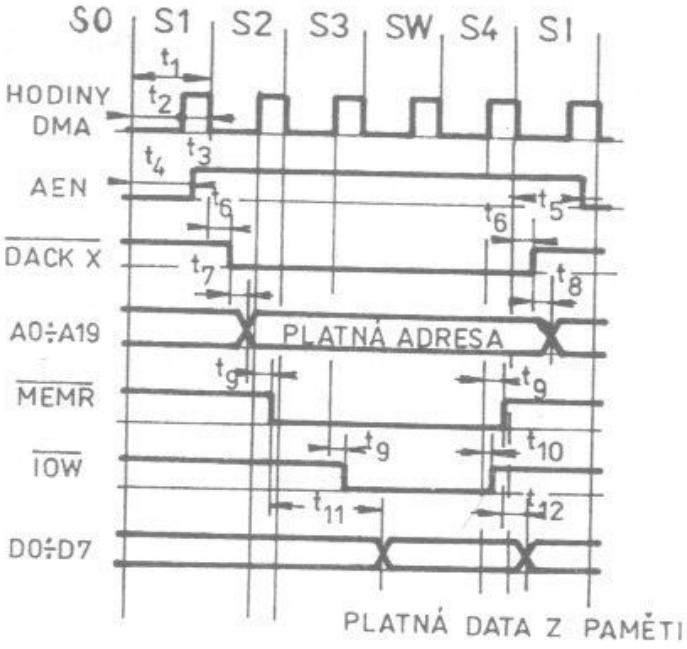


Symbol	Max	Min
t1	-	209.5
t2	-	119
t3	-	79
t4	183	132
t5	183	130
t6	170	-
t7	45	-
t8	-	11
t9	202	-
t10	142	-
t11	30	-
t12	-	4
t13	240	-

Obr. 6.5 DMA sběrnicový cyklus čtení z V/V

Opačný přenos probíhá podobným způsobem. Takty SI a později S0 jsou souběžné s takty procesoru, na provedení šesti pracovních taktů Si musí popsaným způsobem získat sběrnici. Časování DMA sběrnicového cyklu je pro tento případ uvedeno na obr. 6.6.

Symbol	Max	Min
t1	-	209.5
t2	-	119
t3	-	79
t4	183	132
t5	183	130
t6	170	-
t7	45	-
t8	-	11
t9	202	-
t10	142	-
t11	333	-
t12	-	4



Obr. 6.6 DMA sběrnicový cyklus zápisu do V/V

6.2 Časování sběrnice ISA

Přestože je tato sběrnice uznávaným průmyslovým standardem, nebyla pro ni dlouho vydávána obecně platná dokumentace a některé informace musí návrhář odvozovat z katalogu použitých součástek. První dostupná informace o její standardizaci jako IEEE standardu P 996 byla publikována ve [14] až v roce 1991. Ke sběrnici se připojují různě rychlé mikroprocesory, ale nejběžnější její časování je frekvencí BCLK 8 nebo 10 MHz, dříve 6 MHz. Hodiny procesoru přitom mohou být např. 12, resp. 20 MHz. Indikátor této hodinové frekvence bývá někdy, víceméně z reklamních důvodů, umístěn na předním panelu systémové jednotky. Hodiny BCLK a PCLK přitom mohou být vzájemně synchronizovány (synchronní režim) nebo nesynchronizovány (asynchronní režim).

Spolupráce s pamětí

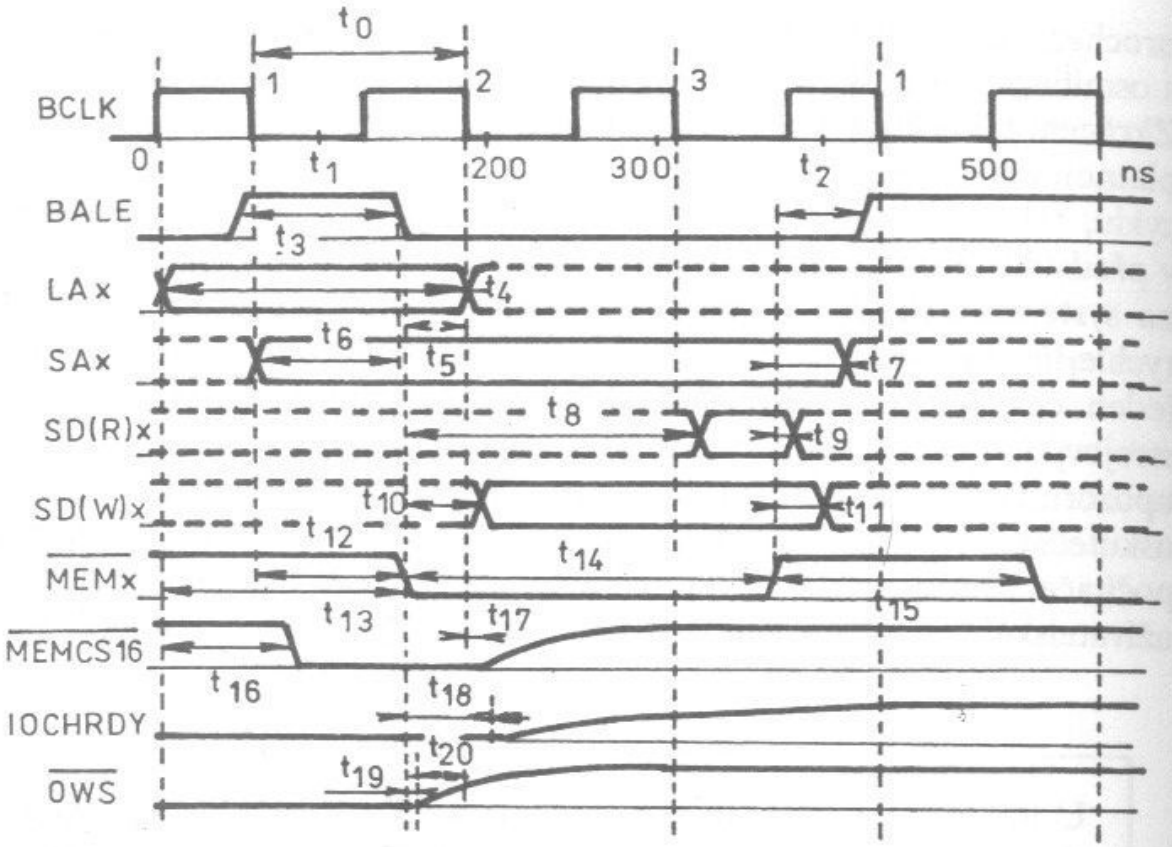
Blok řízení sběrnice i zde obsahuje generátor WAIT-taktů, ale ten je podstatně složitější než u modelu XT. Musí totiž umět využít rychlosti procesoru, tedy faktu, že strojový cyklus trvá jen dva takty procesoru (sběrnicová jednotka

prochází stavy TS a TC). Druhým krajním požadavkem je kompatibilita s osmibitovými deskami. Strategii řešení tohoto problému jsme už naznačili. Zkrácení základního strojového cyklu dosahuje samotný mikroprocesor tím, že platnou adresu generuje už během prvního stavu TC předchozího strojového cyklu, takže její dekódování začíná vzhledem k danému strojovému cyklu v předstihu. Tato technika se uplatňuje ve spolupráci mikroprocesoru a paměti na systémové desce s nejpomalejším časováním procesoru (12 MHz). Při rychlejším časování (20 MHz a výše) se i do tohoto strojového cyklu vkládá jeden čekací takt. Tyto strojové cykly představují zdaleka největší podíl strojových cyklů, protože jde o strojové cykly paměťové. Musíme však ještě upozornit ne to, že právě popsané strojové cykly neprobíhají přes sběrnici ISA; uskutečňují se prostřednictvím vnitřní systémové sběrnice jednodeskového počítače představovaného systémovou deskou. Z našeho hlediska návrhu uživatelského adaptéru má tedy tento způsob spolupráce nejmenší význam.

U modelu AT musíme rozlišovat čekací takty sběrnice, kterými se sběrnice přizpůsobuje deskám adaptérů a čekací takty mikroprocesoru, kterými se mikroprocesor přizpůsobuje ostatním blokům. Vzhledem k různým hodinám odpovídá obvykle jednomu čekacímu taktu sběrnice několik čekacích taktů mikroprocesoru. V dalším textu budeme termínem čekací takty vždy rozumět čekací

Spolupráce s V/V

Spolupráce s pamětí umístěnou mimo systémovou jednotku (v adaptéru) se liší podle toho, je-li tato paměť organizovaná jako osmibitová nebo šestnáctibitová. Zabývejme se nejprve šestnáctibitovou variantou (obr. 6.7). Obě varianty sběrnice (8 i 10 MHz) pracují nejméně s jedním čekacím taktem generovaným systémovou jednotkou. Sběrnice ISA obsahuje, jak je uvedeno v odst. 4.2, dvě skupiny adresových vodičů; jedna, označená jako SAi, představuje nižší adresové bity a na sběrnici jsou z důvodů kompatibility platné později a delší dobu než adresové bity generované procesorem. Na systémové desce jsou totiž

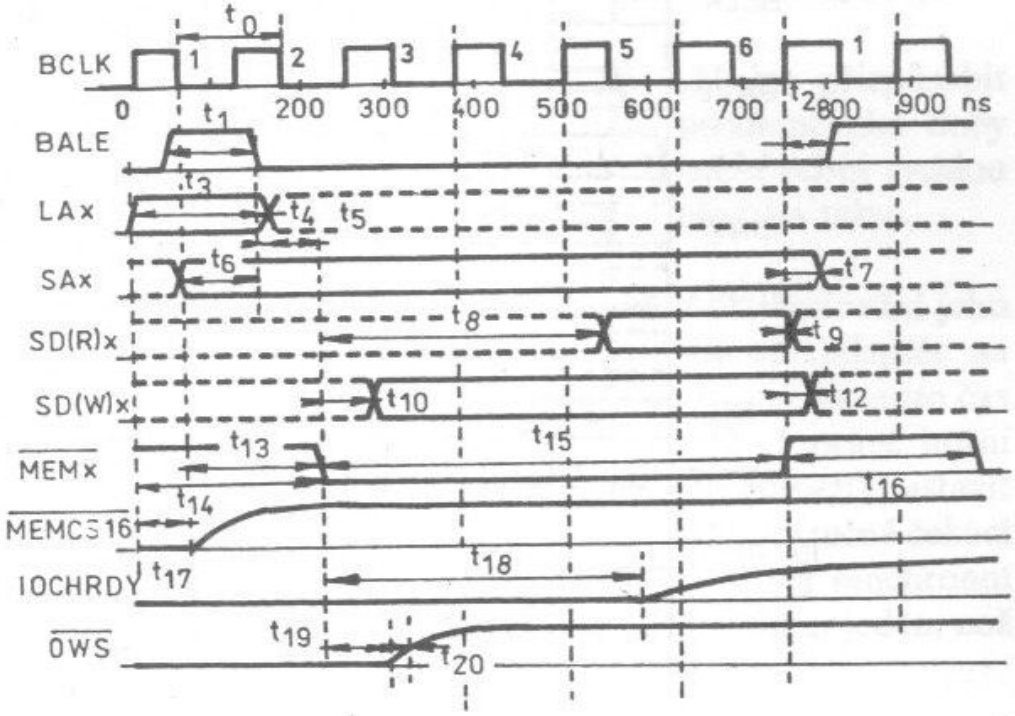


Symbol	Max	Min
t0	-	125
t1	-	50
t2	-	35
t3	-	100
t4	-	15
t5	-	30
t6	-	29
t7	-	42
t8	173	-
t9	30	0

Symbol	Max	Min
t10	45	-
t12	-	28
t13	-	109
t14	-	219
t15	-	97
t16	80	-
t17	-	0
t18	59	-
t19	10	-
t20	-	22

Obr. 6.7 Sběrnicový cyklus mikroprocesor - paměť 16 bitů

zachyceny ve vyrovnávací paměti. Druhá skupina adresových vodičů, LAi, přenáší jen sedm nejvyšších ze 24 adresových signálů. K dispozici jsou ovšem již dříve než SAi. Vyhodnotí-li adresový dekodér adaptéru s pamětí, že se adresa týká právě tohoto adaptéru, odpoví na vodiči $\overline{\text{MEM CS16}}$, že se jedná o přenos šestnáctibitových dat z externí paměti. Obvody WAIT-taktu bloku řízení sběrnice vloží do tohoto probíhajícího sběrnicového cyklu jen jeden takt navíc (obdoba spolupráce s pamětí na základní desce).

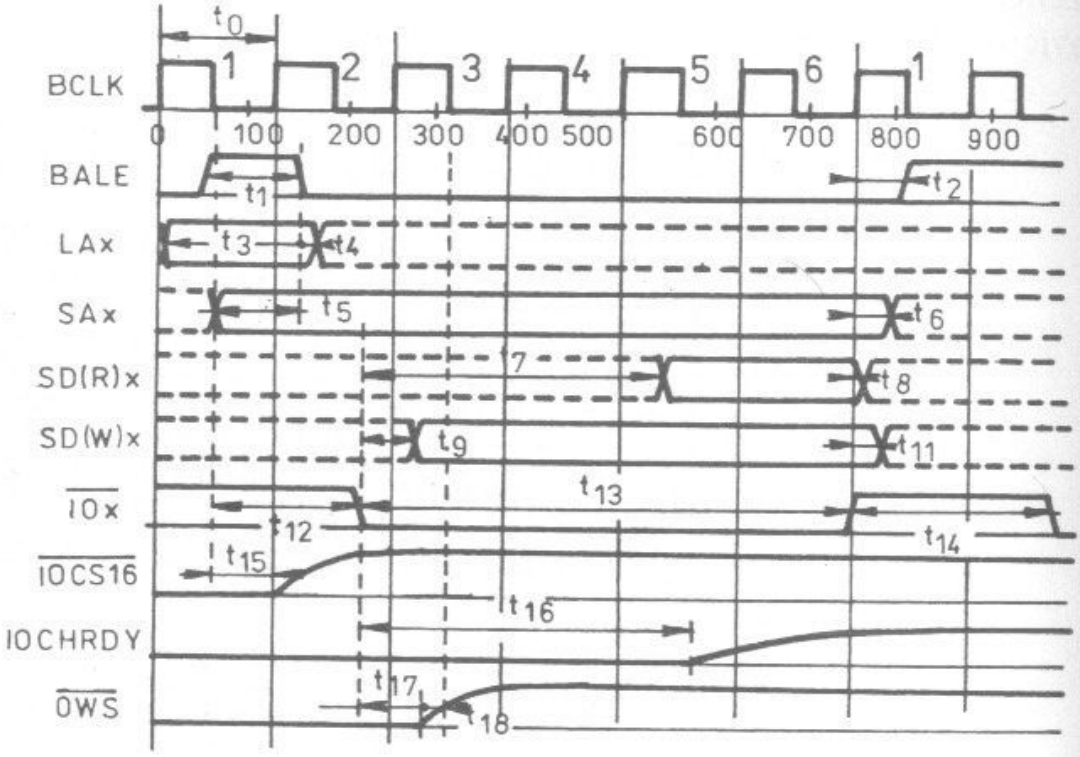


Symbol	Max	Min
t0	-	125
t1	-	50
t2	-	35
t3	-	100
t4	-	15
t5	-	32
t6	-	29
t7	-	42
t8	325	-
t9	30	0

Symbol	Max	Min
t10	56	-
t12	30	25
t13	-	91
t14	-	172
t15	-	530
t16	-	159
t17	66	-
t18	362	-
t19	72	-
t20	-	22

Obr. 6.8 Sběrnicový cyklus přenosu mikroprocesor - paměť 8 bitů

V případě, že se signál $\overline{\text{MEM CS16}}$ na příslušném vodiči neobjeví včas, vyhodnotí blok řízení sběrnice tuto situaci jako paměťový přenos osmibitový (obr. 6.8). Podobná situace nastává při komunikaci s V/V. Pak se délka tohoto sběrnicového cyklu přizpůsobí časování popsanému v odstavci 6.1 (obr. 6.9).



Symbol	Max	Min
t0	-	125
t1	-	50
t2	-	35
t3	-	100
t4	-	15
t5	-	29
t6	-	42
t7	325	0
t8	30	0

Symbol	Max	Min
t9	56	-
t11	30	25
t12	-	91
t13	-	530
t14	-	159
t15	74	-
t16	362	-
t17	72	-
t18	-	22

Obr. 6.9 Sběrnicový cyklus mikroprocesor - adaptér 8 bitů

Přenos se totiž uskutečňuje mezi mikroprocesorem a osmibitovou deskou (pamětí nebo V/V zařízením). Do sběrnicového cyklu se v tomto případě přidávají (obvykle) čtyři čekací takty navíc. Šestnáctibitový V/V přenos signalizovaný signálem $\overline{\text{IOCS16}}$ (obr. 6.10) se prodlužuje jen o dva čekací takty.

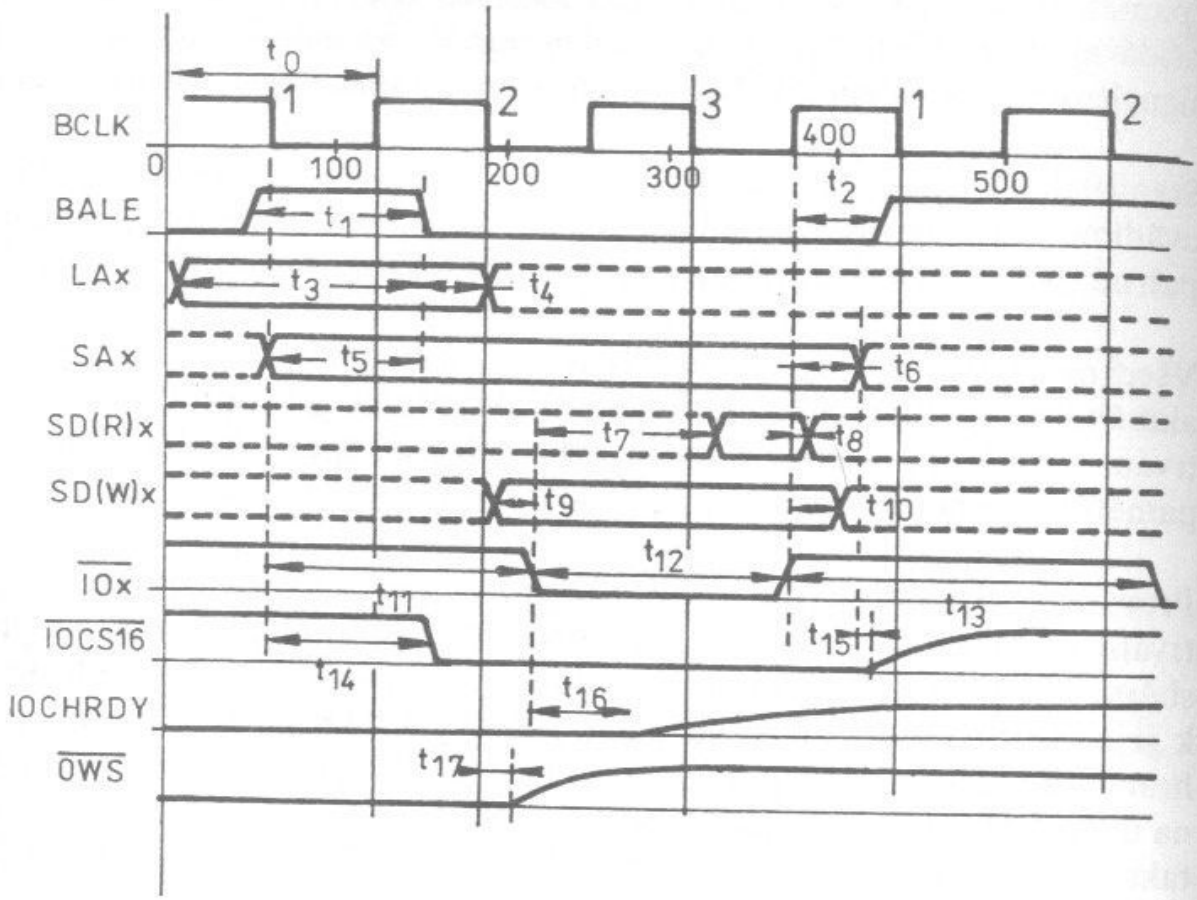
Standardní DMA přenos se prodlužuje o šest čekacích taktů. Na obr. 6.11 uvádíme variantu přenosu směrem ze V/V adaptéru do paměti. Z obrázku je patrné, že osmi i šestnáctibitový přenos je v tomto případě stejně dlouhý.

Všechny sběrnicové cykly zobrazené na obr. 6.7 až 6.11 lze přizpůsobit aktuálnímu spolupracujícímu adaptéru zkrácením nebo prodloužením doby trvání. Zkrácení připadá v úvahu jen v případě spolupráce s velmi rychlou pamětí a znamená to vynechání standardně vkládaného čekacího taktu.

Provádí se aktivací signálu $\overline{\text{OWS}}$. Mnohem častější je však prodlužování jeho trvání signálem IOCHRDY. Na provedení periferní akce má adaptér na sběrnici ISA čas 362 ns od sestupné hrany příkazu ($\overline{\text{IOX}}$). Nestačí-li tento čas k jejímu provedení, může na dobu 125 ns až 15,6 μs (což je právě horní hranice z hlediska předepsaného občerstvování dynamických pamětí) nastavit na úroveň H signál IOCHRDY a na jeho základě se vkládají dodatečné čekací takty. Vzhledem k tomu, že se nepožaduje, aby IOCHRDY byl synchronní s BCLK, může počet skutečně vložených čekacích taktů kolísat o jeden, což však pro celkový výkon počítače není rozhodující.

Poměrně podrobný a hezký přehled časování strojových cyklů včetně cyklů řízených jiným MASTEREM sběrnice ISA uvádí literatura [14].

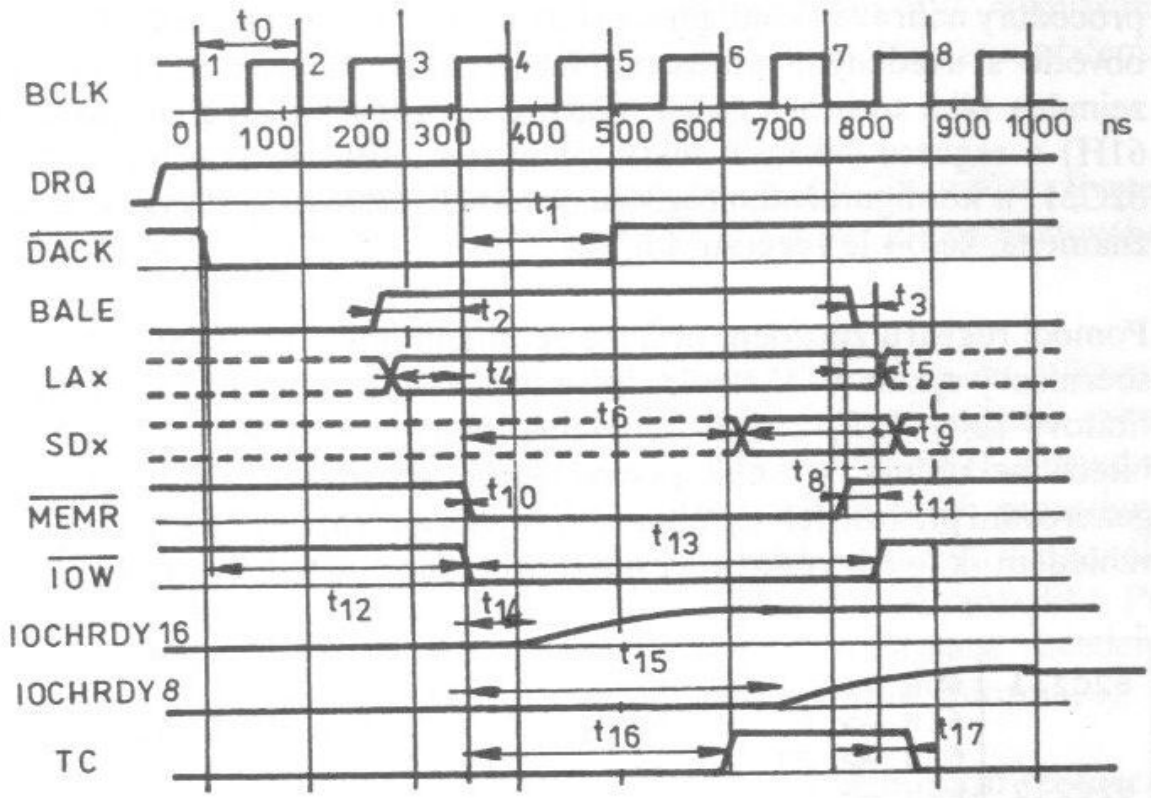
Čím pružnější je implementace algoritmu bloku řízení sběrnice, tím větší rychlosti konkrétní mikropočítač se sběrnicí ISA dosahuje. Nejlepší jsou výsledky u těch implementací, kdy je blok řízení realizován na bázi programovatelného obvodu (např. ze skupiny NEAT CHIPSet - 82C211 Bus Controller a 82C206 Integrated Peripherals Controller). Počet čekacích taktů se pro jednotlivé případy (osmi/šestnáctibitový přenos procesor - paměť, osmi/šestnáctibitový DMA přenos) nastavuje v rámci SETUP procedury při konfiguraci počítače. Délku jednotlivých sběrnicových cyklů tak může uživatel nastavit optimálně podle momentální konfigurace V/V adaptérů. Nedochází tak ke zbytečnému zpomalování mikroprocesoru.



Symbol	Max	Min
t0	-	125
t1	-	50
t2	-	35
t3	-	100
t4	-	15
t5	-	29
t6	-	42
t7	110	-
t8	30	-

Symbol	Max	Min
t9	22	-
t10	30	25
t11	-	91
t12	-	154
t13	-	159
t14	100	-
t15	-	0
t16	59	-
t17	-	22

Obr. 6.10 Sběrnicový cyklus mikroprocesor - adaptér 16 bitů



Symbol	Max	Min
t0	-	125
t1	-	176
t2	-	100
t3	-	30
t4	-	91
t5	-	42
t6	325	-
t7	173	-
t8	-	164

Symbol	Max	Min
t9	50	-
t10	0	-
t11	-	39
t12	-	310
t13	-	489
t14	70	-
t15	373	-
t16	308	-
t17	-	40

Obr. 6.11 Sběrnicový cyklus DMA

Konkrétní příklad SETUP procedury ilustruje obr. 6.12. Na obrazovce se přitom objeví obsah CMOS paměti počítače, ze které se v rámci POST procedury nahrávají konfigurační bity do příslušných registrů NEAT CHIPSET obvodů s uvedenými adresami. Konfigurace časování V/V podsystému se zejména týká těchto registrů: registru zpoždění příkazů (Command Delay - 61H) a registru čekacích taktů (Wait-states/BCLK Selector - 62H) obvodu 82C211 a konfiguračního registru obvodu 82C206 (01). Písmeno R na obrázku znamená, že bit je rezervován.

Pomocí registru zpoždění příkazů se přizpůsobuje časování ISA sběrnice pro sběrnicový cyklus V/V čtení/zápisu (bity 0, 1) a osmi (bity 2, 3) nebo šestnáctibitový (bity 4, 5) paměťový cyklus. Hodnotou nastavenou na příslušných bitech se určuje, o kolik period hodin sběrnice (BCLK) se má zpozdit generování příslušných R/W signálů na sběrnici ($\overline{\text{MEMR}}$, $\overline{\text{IOR}}$, $\overline{\text{MEMW}}$, $\overline{\text{IOW}}$) vzhledem k jejich výskytu na mikroprocesoru. A teď trochu podrobností:

```
82C211   60H -> 00   0   0   R   0    R0   <- Registr zpoždění příkazů
         61H -> 0    1   00      01   01   <- Registr čekacích taktů
         62H -> RR       11      11   00
82C212   64H -> 0        00       RRRRR
         65H -> 00     0 0  1     1  1 0
         66H -> 0                RRRRRRR
         67H -> 0  0   0  0 0    0  0 0
         68H -> 0  0   0  0 0    0  0 0
         69H -> 0  0   0  0 0    0  0 0
         6AH -> 10     0          RRRRR
         6BH -> 0  1   1  0    10    11
         6CH -> 00     0          RRRRR
         6DH -> 0100           00      00
         6EH -> 00     00      00      00
         6FH -> 001    RR      0     0  R
82C206   01  -> 00 00   0      0     0  0   <- Konfigurační registr
```

Obr. 6.12 Příklad obrazovky při konfiguraci NEAT CHIPS obvodů

Registr čekacích taktů se používá k určení počtu čekacích taktů při osmibitovém (bity 2, 3) nebo šestnáctibitovém (bity 4, 5) V/V čtení nebo zápisu, tedy při osmi nebo šestnáctibitové V/V operaci. Hodnota 11 na bitech 2, 3 znamená vkládání pěti čekacích taktů, hodnota 00 dvou čekacích taktů

a zbývající hodnoty analogicky iniciují vkládání mezi těmito krajními mezemi. Hodnotou 11 na bitech 4, 5 se vkládají tři čekací takty, hodnotou 00 žádný a ostatní kombinace fungují analogicky, jak bylo uvedeno výše. Nejnižšími dvěma bity se vybírá zdroj hodinové frekvence pro taktování sběrnice, přičemž hodnota se určuje relativně k hodinám procesoru.

Zápisem konstanty do konfiguračního registru obvodu 82C206 může uživatel ovlivnit trvání osmibitového DMA přenosu (bity 2,3) nebo šestnáctibitového DMA přenosu (bity 4,5).

Závěrem můžeme říci, že cyklus čtení nebo zápisu při V/V cyklu můžeme **globálně** ovlivnit zpožděním příkazu pro R/W, generátorem čekacích taktů systémové jednotky i **individuálně** (adaptérem) signálem $\overline{\text{IOCS16}}$, případně IOCHRDY. Pokud by chtěl uživatel zasáhnout do SETUP procedury, doporučujeme podrobně se seznámit s konkrétním významem bitů v manuálu počítače, protože se konkrétní význam bitů u různých počítačů může lišit. Při provádění SETUP procedury vás dobře povedou informace uvedené v nápovědě, která je kontextově závislá (uvádí právě potřebné informace).

Všimněte si, že jsme na časových diagramech sběrnicových cyklů tentokrát neuváděli označení taktů mikroprocesoru. Jeho hodiny a hodiny sběrnice nejsou, jak jsme uvedli na začátku této kapitoly, v tomto případě jedny a tytéž. Vzájemná součinnost mikroprocesoru a sběrnice může být zcela asynchronní (každý má svůj krystalový rezonátor jako zdroj svého taktování) nebo synchronní. V tom případě je časování odvozeno z jednoho zdroje. I tak však je frekvence hodin sběrnice mnohem nižší než procesoru a vzájemné přizpůsobení probíhá vkládáním čekacích taktů procesoru, které automaticky zajišťuje generátor WAIT-taktů, který je součástí řadiče sběrnice.

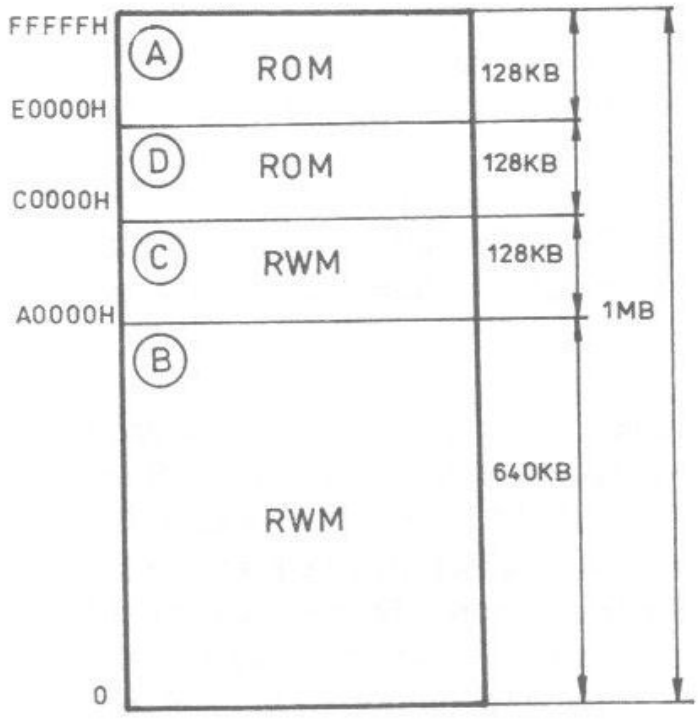
Návrh rozhraní uživatelského adaptéru musí tedy vyhovovat výše uvedeným časovým diagramům z obr. 6.7 až 6.11, nebo alespoň časovým diagramům podle obr. 6.1 až 6.6.

7. Paměťový podsystém mikropočítačů PC XT/AT

Mikroprocesory 8088 a 80286 (v režimu reálné adresy) využívají adresový prostor o rozsahu 1 MB. Mikropočítače IBM PC XT/AT byly vzhledem ke společnému operačnímu systému navrženy tak, aby s tímto rozsahem paměti vystačily. MS DOS předpokládá skladbu paměti podle obr. 7.1.

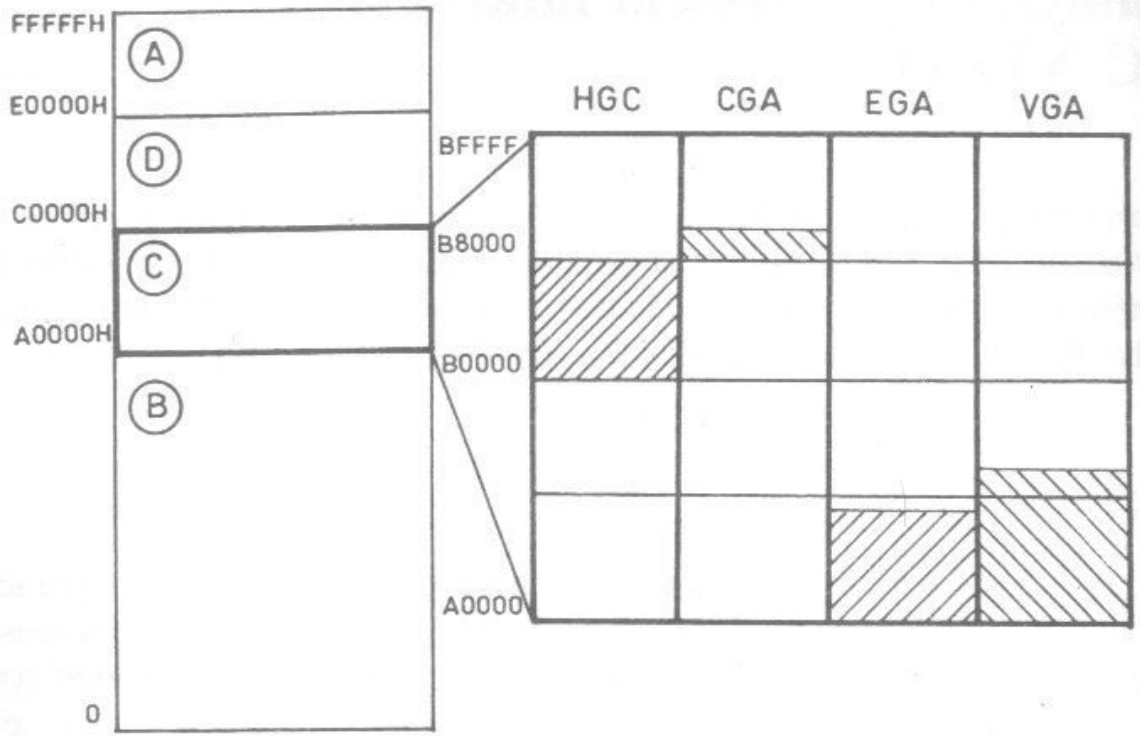
Paměť modelu XT

Oblasti A a B. Horní i spodní konec adresového prostoru využívá operační systém takto: Vzhledem k tomu, že po RESETu začne mikroprocesor vykonávat instrukci uloženou na adrese FFFF0H, je v této oblasti paměť typu ROM. Na nejnižších adresách jsou naopak zapotřebí informace pro přerušovací podsystém a vzhledem k tomu, že musí být uživatelsky modifikovatelné, je zde paměť RWM (oblast adres 0 - 3FFH). Operační systém tuto paměťovou část zahrnuje do souvislého bloku 640 KB paměti RWM na adresách 00000H - 09FFFH.



Obr. 7.1 Rozdělení paměťového prostoru PC

Oblast C. I v dalších 128 KB paměti (na adresách 0A0000H - 0BFFFFH) najdete (alespoň někde) paměť RWM. Tato oblast totiž souží jako VIDEO paměť pro různé obrazové adaptéry podle následujícího obrázku (obr. 7.2). Předpokládá se grafický režim adaptéru.

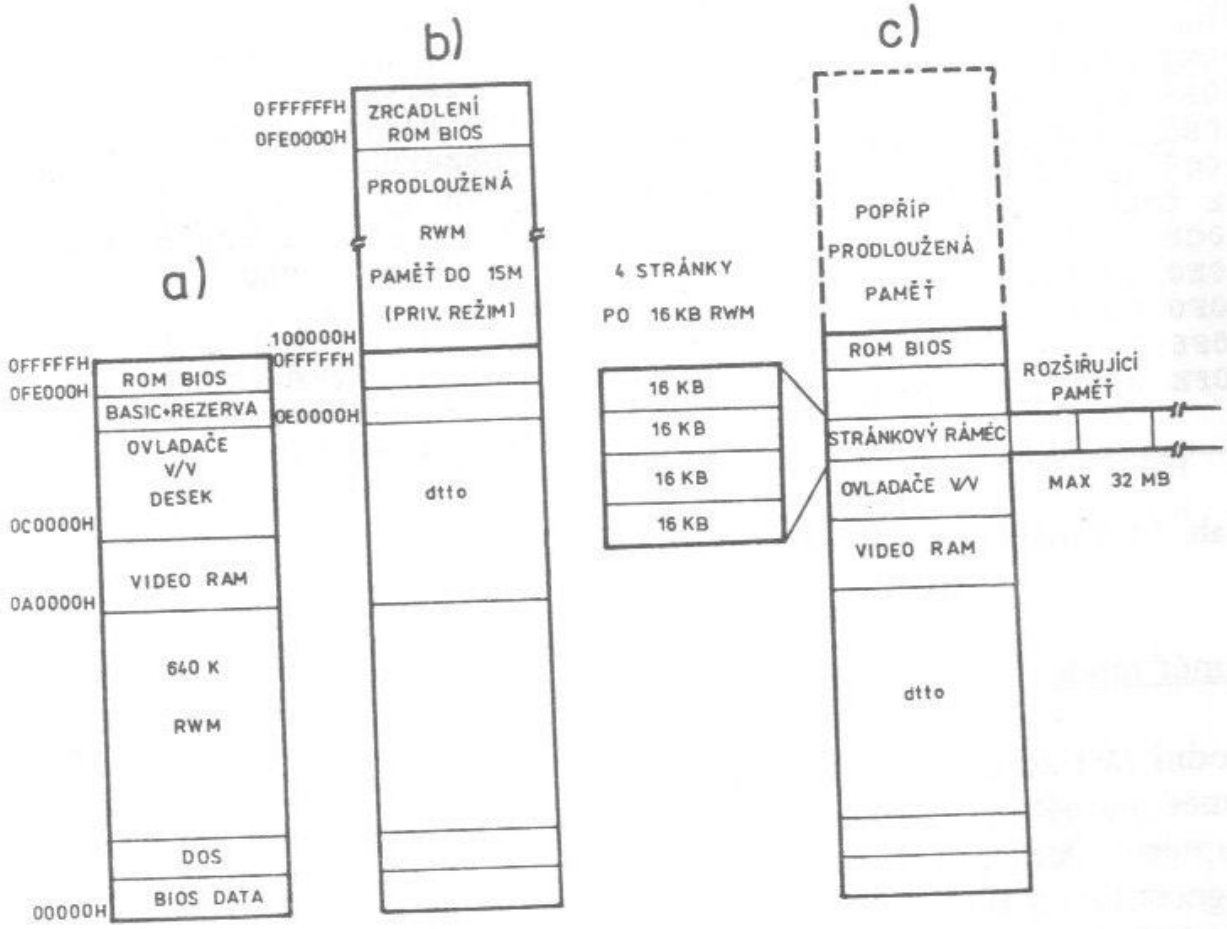


Obr. 7.2 Využití oblasti VIDEO RAM obrazovými adaptéry

Oblast D. Zajímavé je použití dalších 128 KB paměti (na adresách 0C000H - 0EFFFFH). Tato oblast je vyhrazena pamětem umístěným na jednotlivých deskách adaptérů. Ty mohou obsahovat programy řídící jejich činnost (ovladače) a jako takové se stávají součástí BIOSu. Jsou v pamětech EPROM a musí být uloženy ve speciálním formátu po blocích délky 2 KB. Každý z bloků začíná bajty 55AAH, za nimiž následuje údaj o délce programu udaný počtem bloků.

Při inicializaci počítačového systému se v rámci procedury POST prohledává tento úsek paměti (zajišťuje BIOS) a v případě nalezení identifikátoru bloku se zde uložené programy zahrnou do BIOSu jako jeho součást. Ovladače (drivery) se obvykle skládají ze dvou částí: **Inicializační část**, která se provádí v rámci POST a která modifikuje tabulku vektorů přerušení v paměti RWM; tím se zpřístupní **výkonná část**, na kterou se odvolávají uživatelské nebo systémové programy přerušení (obvykle programovým, možné je však i přerušení technickými prostředky). Příkladem takovéhoto ovladače je

ovladač pevného disku pro model PC XT, který je součástí adaptéru (hardcard) a je pro něj vyhražena oblast 16 KB počínaje adresou 0C8000H.



Obr. 7.3 Srovnání a) klasické operační paměti s pamětí
b) prodlouženou (XMS) a
c) rozšířenou (EMS)

Posledních 64 KB paměti modelu XT zabírají dílem inicializační programy, diagnostika a ovladače BIOSu (8 KB - od adresy FE000H), interpret BASICu (32 KB - od adresy F6000H) a zbývající část je rezervována pro případné další použití (24 KB - od adresy 0F0000H). Rezervováno, či spíše nevyužito je i 64 KB paměti počínaje adresou 0E0000H. Celkové rozdělení adresového prostoru modelu XT uvádějí tab. 7.1 a obr. 7.3a.

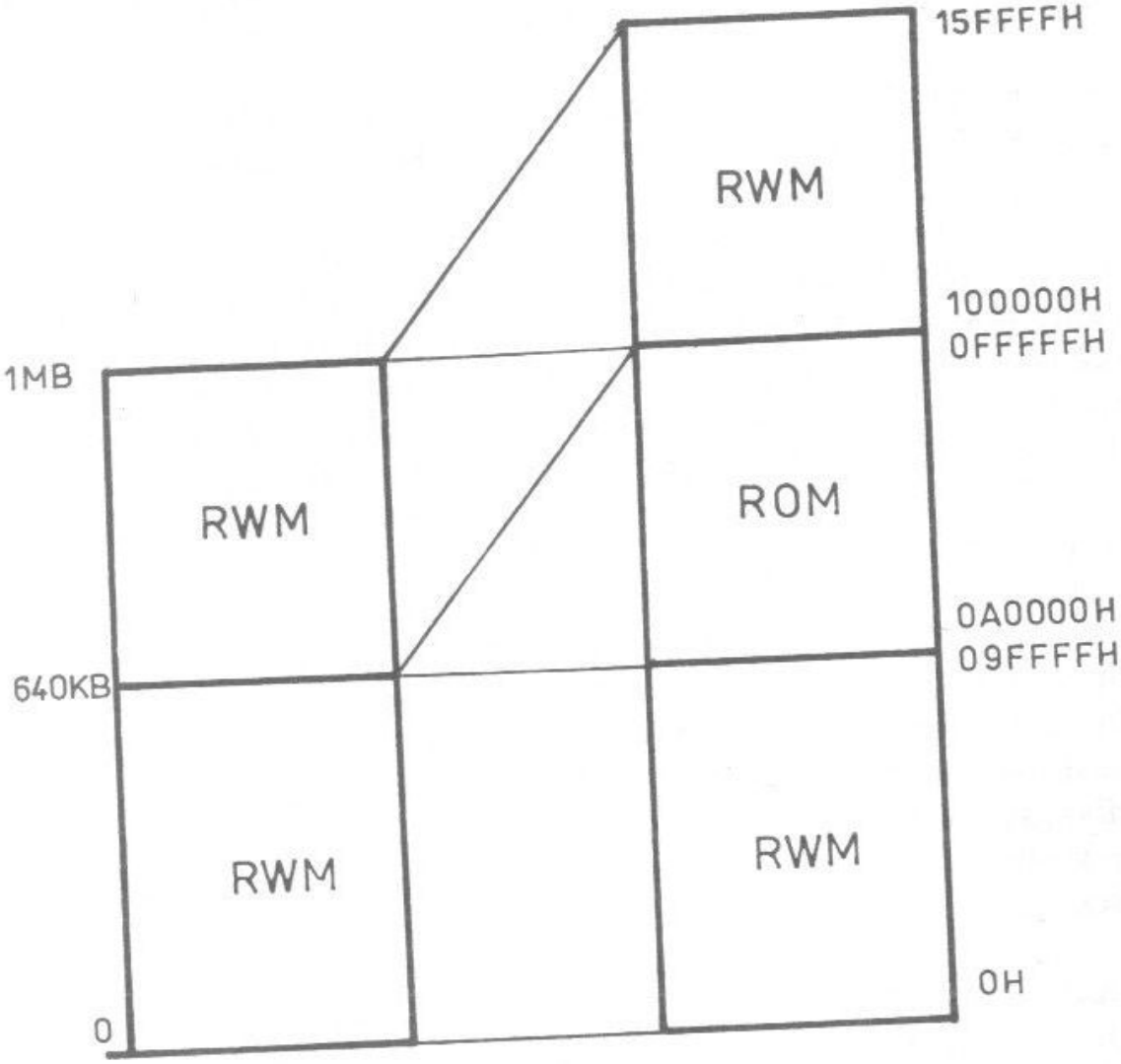
Počáteční adresa	Koncová adresa	Rozsah	Význam
000 000H09F	FFFH	640 KB	operační paměť RWM
0A0 000H0AF	FFFH	64 KB	rezerva
0B0 000H0B3	FFFH	16 KB	obrazová paměť MDA
0B4 000H0B7	FFFH	16 KB	rezerva
0B8 000H0BB	FFFH	16 KB	obrazová paměť CGA
0BC 000H0BF	FFFH	16 KB	rezerva
0C0 000H0DF	FFFH	128 KB	vyhrazeno pro ovla-
z toho			dače paměti V/V desek
0C8 000H0CB	FFFH	16 KB	ovladač disku
0E0 000H0EF	FFFH	64 KB	nevyužito
0F0 000H0F5	FFFH	24 KB	rezerva
0F6 000H0FD	FFFH	32 KB	interpret BASIC
0FE 000H0FF	FFFH	8 KB	inicializace, diag-
			nostika, BIOS

Tab. 7.1 Rozdělení paměťového prostoru modelu PC X

Paměť modelu AT

Spodní část adresového prostoru modelu AT má stejnou skladbu. Operační paměť má 640 KB, pro adaptéry zobrazení je vyhrazeno 128 KB a pro V/V adaptéry dalších 128 KB. Řídicí paměť ROM s inicializačními rutinami, diagnostikou a BIOSem zabírá v tomto případě 64 KB (od adresy 0F0000H) a 64 KB těsně pod ní (od adresy 0E0000H) je rezervováno pro její případné rozšíření.

Otázkou je, jak je v konkrétním případě využita zbývající část paměti RWM instalovaná na systémové desce, když je na ní, jak je dnes obvyklé, instalován nejméně 1 MB paměti. Z čistě technického hlediska je paměťová část systémové desky rozšiřitelná až na 16 MB a její obsluha je principiálně možná (protected mode mikroprocesoru 80286 a vyšších). Jako operační paměť je však použitelných (operační systém MS DOS) pouze 640 KB z prvního 1 MB paměťového prostoru (20 adresových vodičů).



Obr. 7.4 Mapování RWM paměti do adresového prostoru modelu AT

Jednou z možností je převod zbývajících 384 KB RWM paměti do oblasti nad adresou 100000H podle obr. 7.4, kde jsou využitelné (dokonce v reálném módu mikroprocesoru 80286) jako RAM disk nebo podobně. Jinou možnost představuje použití této paměti pro rozšířenou paměť. Třetí možností, poměrně široce používanou v současných rychlých AT modelech, je tzv. stínová (shadow) paměť. Pro rychlost spolupráce mikroprocesoru s pamětí je na závadu fakt, že část je založena na dynamických paměťových obvodech uspořádaných po šestnácti do buněk, část na pomalejších paměťových obvodech EPROM, někdy dokonce jen osmibitových. Proto se u nich jako

součást inicializační části BIOSu zkopírují obsahy EPROM pamětí do stínové RWM paměti a dále se pracuje jen s ní.

Pro využití paměťového prostoru počínaje adresou 100000H je nutný privilegovaný režim mikroprocesoru a uskutečňuje se speciálním ovladačem.

Zbývajících zhruba 15 MB, které v privilegovaném režimu mikroprocesor 80286 svou čtyřiadvacetibitovou adresou fyzicky adresuje, představuje tzv. **prodlouženou paměť** (Extended Memory Specification - XMS), obr. 7.3b. V současné verzi MS DOSu však není tato paměť přímo přístupná. Z důvodů kompatibility se do posledních 120 KB této prodloužené paměti (adresy 0FE0000H - 0FFFFFFH) zrcadlí ROM BIOS z konce prvního MB (adresy 0E0000H - 0FFFFFH). Celkový přehled rozdělení adresového prostoru modelu AT uvádí tab. 7.2.

Z důvodu spolehlivosti je RAM paměť všech modelů PC devítibitová, zajištěná paritním bitem. Generování a kontrolu správnosti parity mají na starosti zvláštní obvody systémové desky. Při jejím nesouhlasu se automaticky generuje nemaskovatelné přerušení NMI. Zjištěný nesouhlas však vede jen k ukončení běžícího programu, neboť takto pojatou paritou je možné jen detekovat vznik jedné chyby v zabezpečované informaci. Na jejím základě nelze provádět korekci.

Konstrukčními prvky PC RAM paměti jsou dynamické paměťové integrované obvody s organizací 256 Kb (skutečně 256 x 1024 x 1 bit) nebo 1 Mb (podobně), často obvody 41256 nebo 411000, v některých starších typech i 4164. Kapacitu v kilobitech uvádí číslo, které vznikne oddělením prvního dvojčíslí; aby se dalo využít plného výkonu mikroprocesoru, musí být při osazení systémové desky typem 80286/12 MHz paměti alespoň s dobou přístupu 100 ns. Pomalejší paměti (120 ns) vyžadují už automatické generování jednoho čekacího taktu. Paměti 41256 mají 16 vývodů, paměti 411000 18 vývodů. Na některých novějších systémových deskách (viz např. obr. 2.5) jsou k dispozici konektory nebo pájecí otvory pro osazení jak pamětmi DIL, tak moderními paměťovými moduly SIMM (single in line memory module). Ty mají vývody jen po jedné straně a jeden modul obsahuje celých 256 K (256 x 1024) nebo 1 M (1048576) devítibitových paměťových buněk.

Výhoda moderních paměťových modulů není jen v úspoře místa na systémové desce, ale i v úspoře kontaktních vývodů. Namísto 128 nebo 144 vývodům klasických paměťových obvodů 256 KB nebo 1 MB mají SIMM paměťové moduly pouze 30 vývodů. Kromě provedení SIMM se tyto moduly vyrábějí i s kontaktními ploškami (SIPP) a zasouvají se na systémové desce do paměťových konektorů.

Základní deska paměťového modulu typu SIMM nebo SIPP je ze skleněného laminátu délky 88,9 mm. Podle typu osazených pamětí má šířku 15,3, 16,5 nebo 20 mm a tloušťku 1,27 mm (1/20"). Výrobci je nabízejí v provedení 256 KB, 1 MB, ale také 4 MB a od konce roku 1991 i 8 MB. Všechny mají 30 vývodů a můžete si je objednat v osmi i devítibitovém provedení. Součástí paměťových modulů jsou jen paměťové, nikoliv občerstvovací obvody.

Někteří výrobci nabízejí i paměťové moduly pro šestnácti - a dvaatřicetibitové mikroprocesory. V tom případě jsou moduly větší a mají 72 vývodů.

Během doby se ukázalo, že operační paměť o velikosti 640 KB nestačí a hledaly se cesty pro její rozšíření. **Rozšířená paměť** (Expanded Memory Specification - EMS) je blokově přepínaný paměťový podsystém skládající se z paměťového rozšiřujícího modulu a (rezidentního) programu, který ji obsluhuje. Aby se zajistila kompatibilita programového a technického vybavení, uzavřely o uspořádání EMS v roce 1985 nejdůležitější firmy LOTUS, INTEL a MICROSOFT dohodu, nazvanou LIM.

Počáteční adresa	Koncová adresa	Rozsah	Význam
0000 000H009F	FFFH	640 KB	operační paměť
00A0 000H00BF	FFFH	128 KB	VIDEO RAM
00C0 000H00DF	FFFH	128 KB	V/V adaptéry
00E0 000H00EF	FFFH	64 KB	rezerva - ROM
00F0 000H00FF	FFFH	64 KB	ROM (základní deska)
0100 000H0FDF	FFFH	cca 15 MB	prodloužená paměť
0FE0 000H0FFF	FFFH	128 KB	stejně jako 0E0 000H - 0FF FFFH

Tab. 7.2 Rozdělení paměťového prostoru modelu PC AT

Existují celkem dvě různé EMS specifikace - EMS 3.0/3.2 a EMS 4.0. Z technického hlediska umožňuje EMS 3.0/3.2 instalovat do systému až 8 MB paměti. Takto rozšířená paměť je aplikačním programům přístupná po 16 KB logických stránkách, které jsou umísťovány do jedné ze čtyř 16 KB fyzických stránek. Ty leží v souvislém 64 KB poli nazývaném **stránkový rámec** (page frame) - obr. 7.3c. Uživatel může jeho umístění určit tak, aby nedošlo ke konfliktu s ostatním vybavením; vždy však musí ležet v oblasti nad operační pamětí určenou pro MS DOS. Specifikace EMS 4.0 z roku 1987 má maximální paměťovou kapacitu 32 MB. Trochu více podrobností a inspirací k vlastním experimentům můžete hledat v [6] a [7].

My se teď v dalším výkladu vrátíme k původnímu problému - návrhu uživatelského adaptéru, a budeme konkrétně navrhovat adresový dekodér paměti.

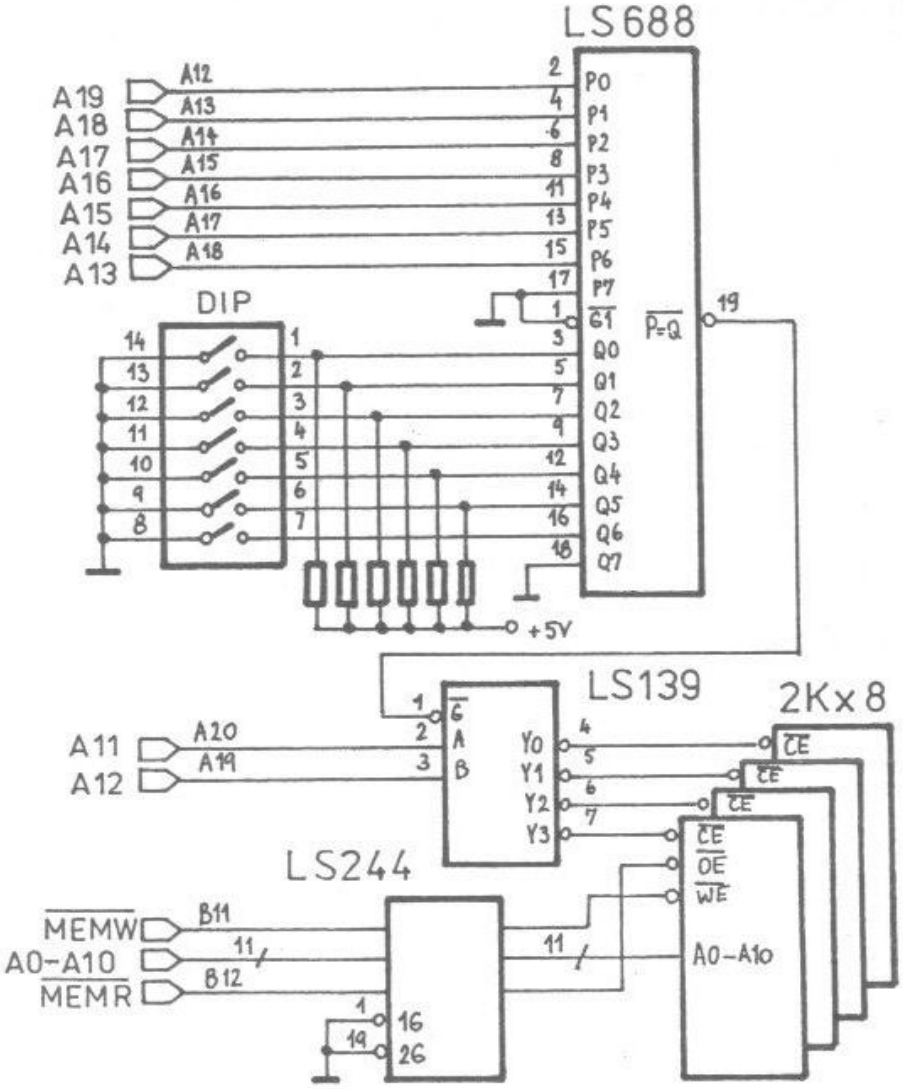
7.1 Návrh bloku relokovatelné uživatelské paměti

Součástí uživatelského adaptéru může být i paměťový blok sloužící pro uložení ovladače. V tomto odstavci uvedeme příklad jeho zapojení podle [1]. Soustředíme se hlavně na podsystém adresového dekodéru.

Vycházíme z předpokladu, že uživatel umísťuje adaptér do počítače, ve kterém se už několik jiných adaptérů nachází, a že nesmí dojít ke kolizi stávajícího technického i programového vybavení. Protože relokovatelnost kódu uloženého v paměti adaptéru umožňuje segmentace, je celý problém řešitelný technickým návrhem adaptéru s přestavitelným adresovým dekodérem. Navrhneme ho tedy tak, aby se konečné umístění paměti adaptéru do adresového prostoru o rozsahu 1 MB mohlo provést zcela libovolně. V praxi ovšem nejspíš přichází v úvahu oblast 128 KB na adresách 0C0000H - 0DFFFFH.

Podle obr. 6.1, resp. 6.2 vidíme, že minimální doba mezi objevením se adresových bitů a příkazem pro paměť ($\overline{\text{MEMR}}$, $\overline{\text{MEMW}}$) je 91,5 ns. Tento časový údaj je pro návrh adresového dekodéru kritický. Jeho přestavitelnost umožňují DIP přepínače, na kterých se nastaví nejnižší (bázová) adresa bloku, který paměť představuje. Vlastní dekodér je založen na velmi rychlém integrovaném komparátoru dvou osmibitových čísel (74LS688), který rozliší,

zda je první operand menší, větší, nebo právě roven druhému. Nás zajímá ze všech možností právě jen ta poslední. Za předpokladu, že stavebními bloky paměti adaptéru budou integrované obvody se 2 KB paměti a dekodér bude úplný, bez zrcadlení, bude počet jeho vstupů devět (A11 - A19). Počet vstupů



Obr. 7.5 Adresový dekodér relokovatelné paměti

komparátoru je však pouze 8 (P0 - P7, Q0 - Q7), takže náš dekodér je dvouúrovňový (74LS688, 74LS139) a umožňuje paměť osadit čtyřmi obvody paměti 2K x 8 bitů, adresovaných za sebou (obr. 7.5). Povšimněte si, jak tato část adaptéru zatěžuje jednotlivé linky sběrnice PC.

Za rozhodující považujeme v tomto odstavci otázku adresového dekodéru, jeho rychlosti a mapy paměti. Z tohoto důvodu se vlastními paměťovými obvody podrobně nezabýváme. Pro jednoduchost předpokládáme, že paměti jsou statické (nepotřebují obnovování) a dostatečně rychlé (není třeba přidávat dodatečné WAIT-takty). Vzhledem k tomu, že při připojování nestandardních zařízení nebývá zejména druhá podmínka splněna, je návrhu generátoru WAIT-taktů věnován odstavec 8.2.

8. Adresace V/V zařízení

Vstupně-výstupní podsystém slouží v každém počítači k obousměrnému přenosu dat a k řízení komunikace mezi procesorem a pamětí na straně jedné a vnějším světem na straně druhé. Nejen běžná periferní zařízení, ale prakticky celý vnější svět se k IBM PC všech modelů připojují prostřednictvím adaptérů zasouvaných do V/V kanálu (sběrnice PC). Technicky se připojení nejčastěji realizuje vstupními a výstupními, osmi nebo šestnáctibitovými branami (porty). Tyto brány, bez ohledu na to, jsou-li jednoduché a samostatné, či jsou-li součástí velmi složitých připojovacích obvodů, jsou v IBM PC připojeny jako izolovaná V/V zařízení a každá z nich má svou vstupní nebo výstupní adresu. Mikroprocesor 8088 pracuje s V/V podsystémem o rozsahu 64 K bran, mikroprocesor 80286 pak se stejným počtem osmibitových, nebo 32 K šestnáctibitových bran. Návrháři IBM PC se však rozhodli omezit V/V adresovatelný prostor na 1 K bran (adresové bity A0 - A9) u modelu XT i AT. Navíc je ještě spodní polovina (512 bran) všech **vstupních bran** lokalizována výhradně na systémovou desku. Pro výstupní brány toto omezení neplatí. Ilustraci V/V adresového prostoru uvádí obr. 8.1.

Obr. 8.1 Adresování vstupu a výstupu - přehled

Během doby se vytvořilo standardní obsazení adres ve V/V prostoru. Uživatel by se s ním měl ve vlastním zájmu seznámit a tím vyloučit možné konflikty při rozšiřování počítače.

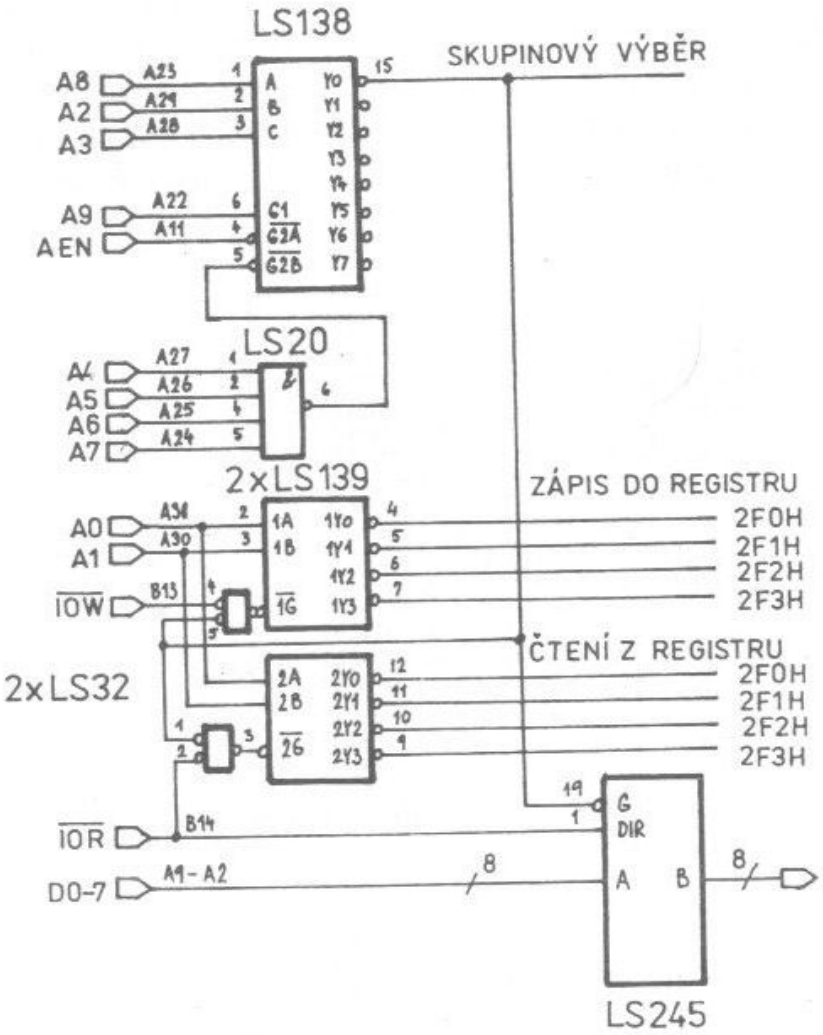
Počáteční adresa	Koncová adresa	V/V zařízení - adaptér
000H	00FH	řadič DMA 8237
020H	021H	řadič přerušení 8259A
040H	043H	časovač 8253
060H	063H	8255 na základní desce
080H	083H	stránkové registry DMA
0A0H	0AFH	řízení NMI
0C0H	0CFH	rezerva výrobce
0E0H	0EFH	rezerva výrobce
200H	20FH	adaptér pro hry
210H	217H	rozšiřující jednotka
220H	24FH	rezerva výrobce
278H	27FH	rezerva výrobce
2F0H	2F7H	rezerva výrobce
2F8H	2FFH	volitelný asynchr.sér.adaptér
300H	31FH	prototypová deska
320H	32FH	adaptér Winchestru
378H	37FH	adaptér tiskárny (CENTRONICS)
380H	38FH	komunikační adaptér SDLC
3A0H	3AFH	rezerva výrobce
3B0H	3BFH	monochrom.adaptér + tiskárna
3C0H	3CFH	rezerva výrobce
3D0H	3DFH	barevný adaptér
3E0H	3E7H	rezerva výrobce
3F0H	3F7H	adaptér diskety
3F8H	3FFH	základní asynchr.sériový adaptér

Tab. 8.1 Obsazení V/V adresového prostoru modelu XT

8.1 V/V adresový dekodér - návrh

Podobně, jako v případě paměťového dekodéru, je nejvýhodnější, je-li adresový dekodér flexibilní a můžeme-li ho nastavit do volné oblasti u libovolného uživatele. Zřekneme-li se této výhody, je možné snadno realizovat pevné V/V dekodéry s klasickými dekodéry v integrované podobě nebo ve formě rychlých pamětí PROM.

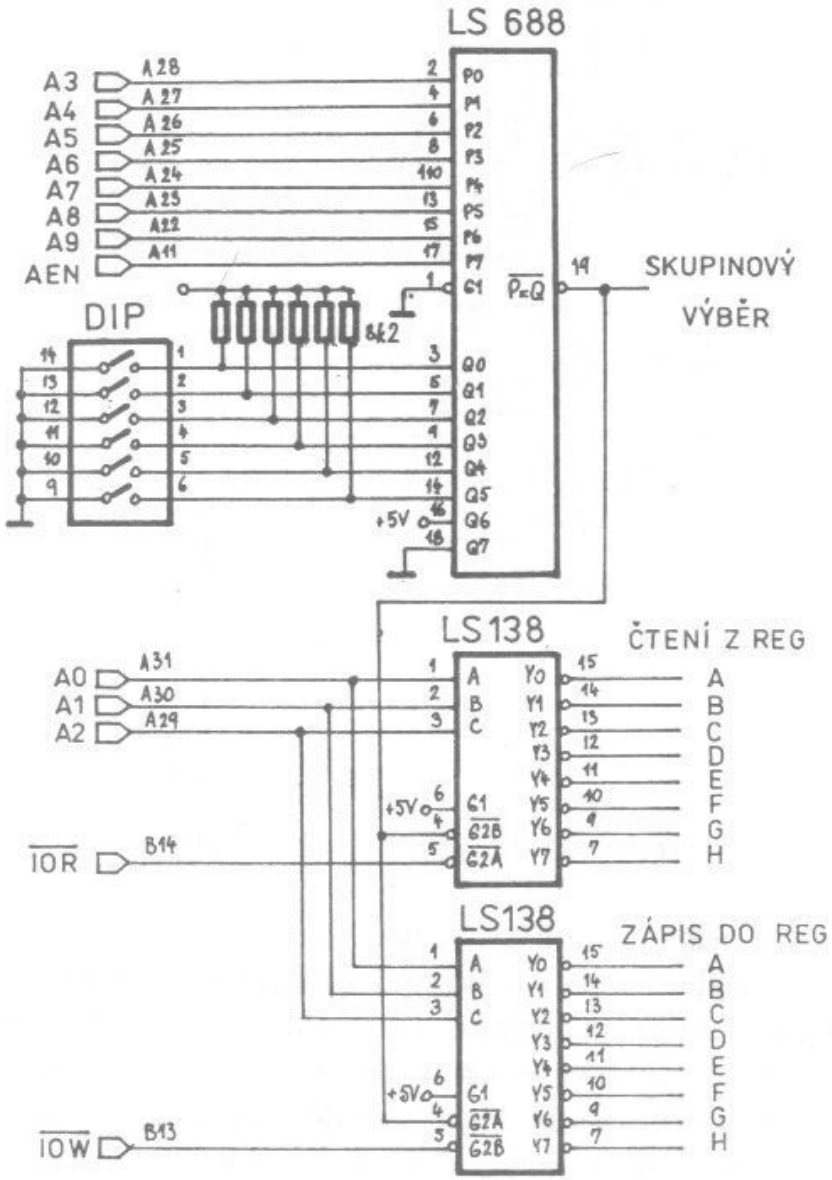
Vstupem adresového dekodéru je, kromě adresových bitů A0 - A9, také bit řídicí sběrnice AEN. Připomeňme si podle kapitoly 4, že adresu na adresové sběrnici generuje buď mikroprocesor, nebo řadič přímého přístupu do paměti.



Obr. 8.2 Pevný adresový dekodér

Rozlišení zdroje je právě bitem AEN. Je-li platný, je zdrojem řadič DMA. Při podrobnějším rozmyšlení si jistě uvědomíte, že adresový dekodér smí reagovat pouze na adresy z mikroprocesoru (instrukce IN, OUT), protože adresa generovaná řadičem DMA se vztahuje výhradně k paměti. Pro správné dekódování můžeme připustit nejdelší zpoždění adresového dekodéru 91,5 ns. Příklad pevného dekodéru je na obr. 8.2, příklad ručně přepínatelného adresového dekodéru uvádí obr. 8.3. V některých konkrétních případech může nastat situace, že adaptér vyžaduje mnohem více adres bran, než je jich podle tab. 8.1, resp. 8.2 volných. Pak možná využijete nápadu na rozšířeného

adresování s dvoustupňovým dekodérem. Jeho hlavní myšlenka je založena na faktu, že u IBM PC nejsou sice možná žádná V/V zařízení s adresou vyšší než 3FFH, ale adresové bity A10 - A15 se při operacích vstupu i výstupu po adresové sběrnici předávají. Spínače relokovatelného adresového dekodéru jako podle obr. 8.3 se proto nastaví na vybranou volnou skupinu osmi adres (bity A0 - A2 nejsou vstupy 1. úrovně dekodéru). Komparátor při shodě adres povolí 2. úroveň dekódování, a tak místo 8 získáte celkem 512 adres bran. Podmínkou je jen dostatečně rychlý dekodér 2. úrovně (obr. 8.4).



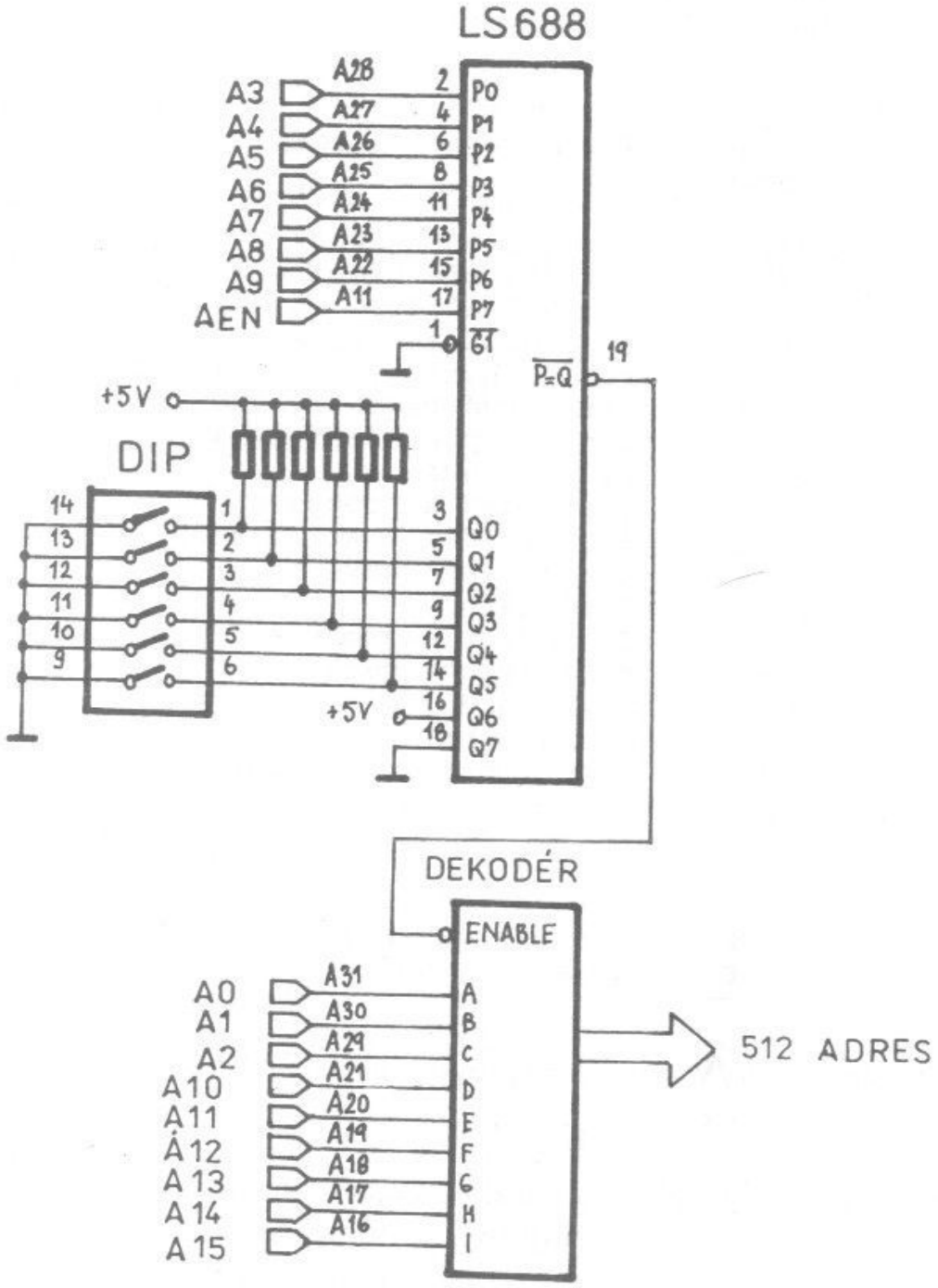
Obr. 8.3 Relokovatelný adresový dekodér V/V registrů

Některé standardní adaptéry IBM PC XT/AT využívají ještě jiného způsobu dvouúrovňového adresování V/V bran. Zaveden byl proto, že počet programovatelných registrů, kterými se přizpůsobuje funkce adaptéru konkrétní aplikaci, je velmi vysoký (přesahuje počet 50 i více registrů).

Počáteční adresa	Koncová adresa	V/V zařízení - adaptér
000H	01FH	1.řadič DMA - 8237
020H	03FH	1.řadič přerušení - 8259A
040H	05FH	časovač 8254
060H	06FH	adaptér klávesnice 8042
070H	07FH	reálné hodiny, blokování NMI
080H	09FH	stránkové registry DMA
0A0H	0BFH	2.řadič přerušení 8259A
0C0H	0DFH	2.řadič DMA
0F0H	0FFH	numerický koprocesor
1F0H	1F8H	adaptér disku Winchester
200H	207H	adaptér pro hry
278H	27FH	2.tiskárna
2F8H	2FFH	2.adaptér asynchronní komunikace
300H	31FH	prototypová deska
360H	36FH	rezerva
378H	37FH	1.tiskárna
380H	38FH	synchronní komunikace SDLC
3A0H	3AFH	synchronní komunikace BSC
3B0H	3BFH	monochrom.adaptér + tiskárna
3C0H	3CFH	rezerva
3D0H	3DFH	barevný adaptér
3F0H	3F7H	adaptér diskety
3F8H	3FFH	1.asynchronní komunikace

Tab. 8.2 Obsazení V/V adresového prostoru modelu AT

V takovýchto adaptérech se k adresaci využívá dvojice registrů. Jeden z nich, adresový, má sudou adresu a zapisuje se do něj hodnota tzv. indexu. Index je vlastně adresou druhého řádu ovládající multiplexor, který přepíná datovou cestu přímo do adresovaného registru, jejichž celou množinu však mikroprocesor vidí pod jedinou adresou (o jednotku vyšší než je adresa adresového registru, tedy adresou lichou). Celou situaci při tomto způsobu dvouúrovňové adresaci vysvětluje obr. 8.5.



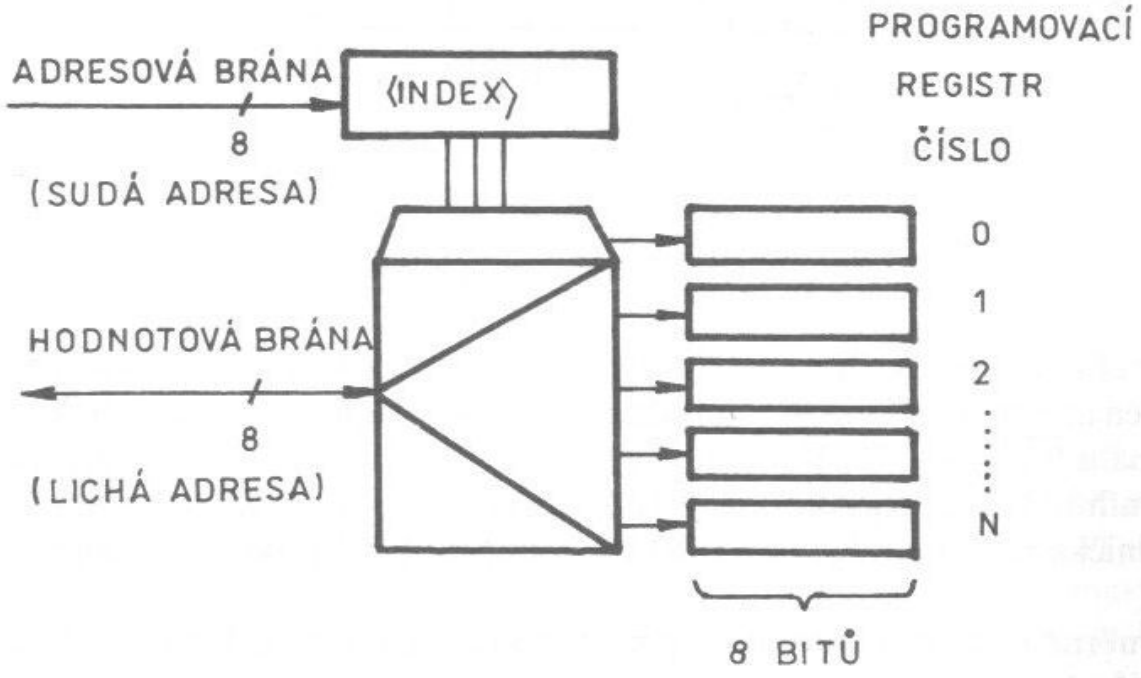
Obr. 8.4 Rozšířené adresování V/V bran

Faktu, že je dvojice registrů adresována bezprostředně za sebou ležícími adresami, využívají tzv. šestnáctibitové adaptéry, tedy adaptéry sběrnice ISA. Zápis indexu i hodnoty je pak možné provést jedinou šestnáctibitovou instrukcí OUT, kterou se zároveň zapíše index do registru se sudou adresou i osmibitová hodnota do konkrétního programovacího registru.

8.2 Generování dodatečných Wait-taktů vnucených adaptérem

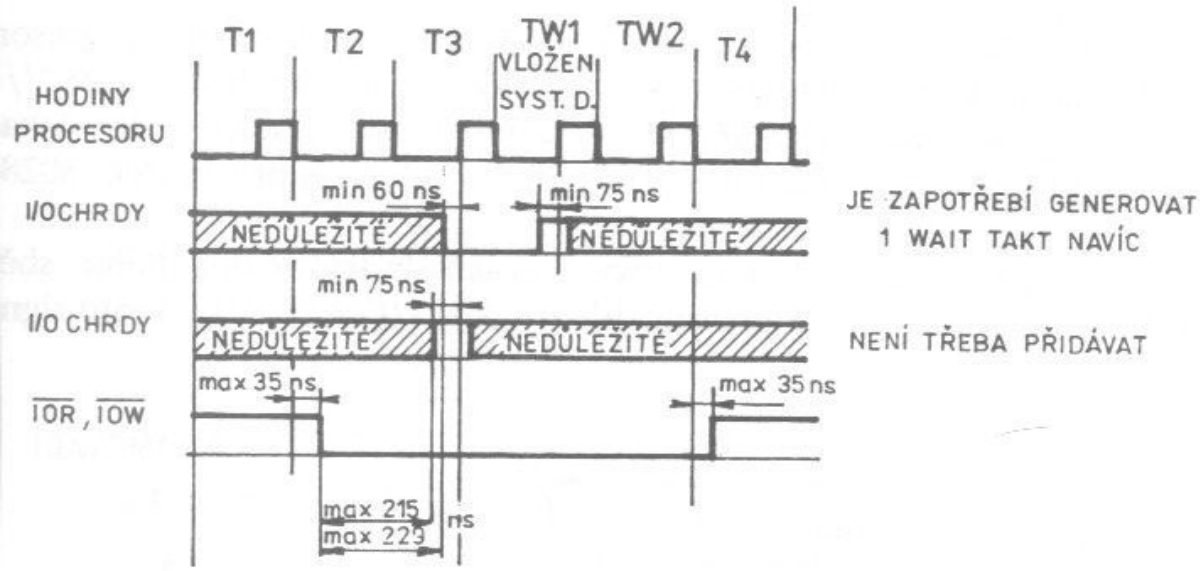
Sběrnicový cyklus čtení nebo zápisu do V/V zařízení trvá u mikroprocesoru 8088 čtyři takty. Už při návrhu systémové desky však bylo zohledněno, že V/V obvody jsou pomalejší než paměťové, a automaticky se přidává jeden čekací takt mezi T3 a T4. Podobně funguje i systémová deska s procesorem 80286.

Sběrnice PC i ISA obsahují prostředky, kterými lze trvání aktuálního sběrnicového V/V cyklu ještě prodloužit. Jde o signál I/O CHRDY. Tento signál



Obr. 8.5 Dvouúrovňová adresace V/V bran v adaptéru

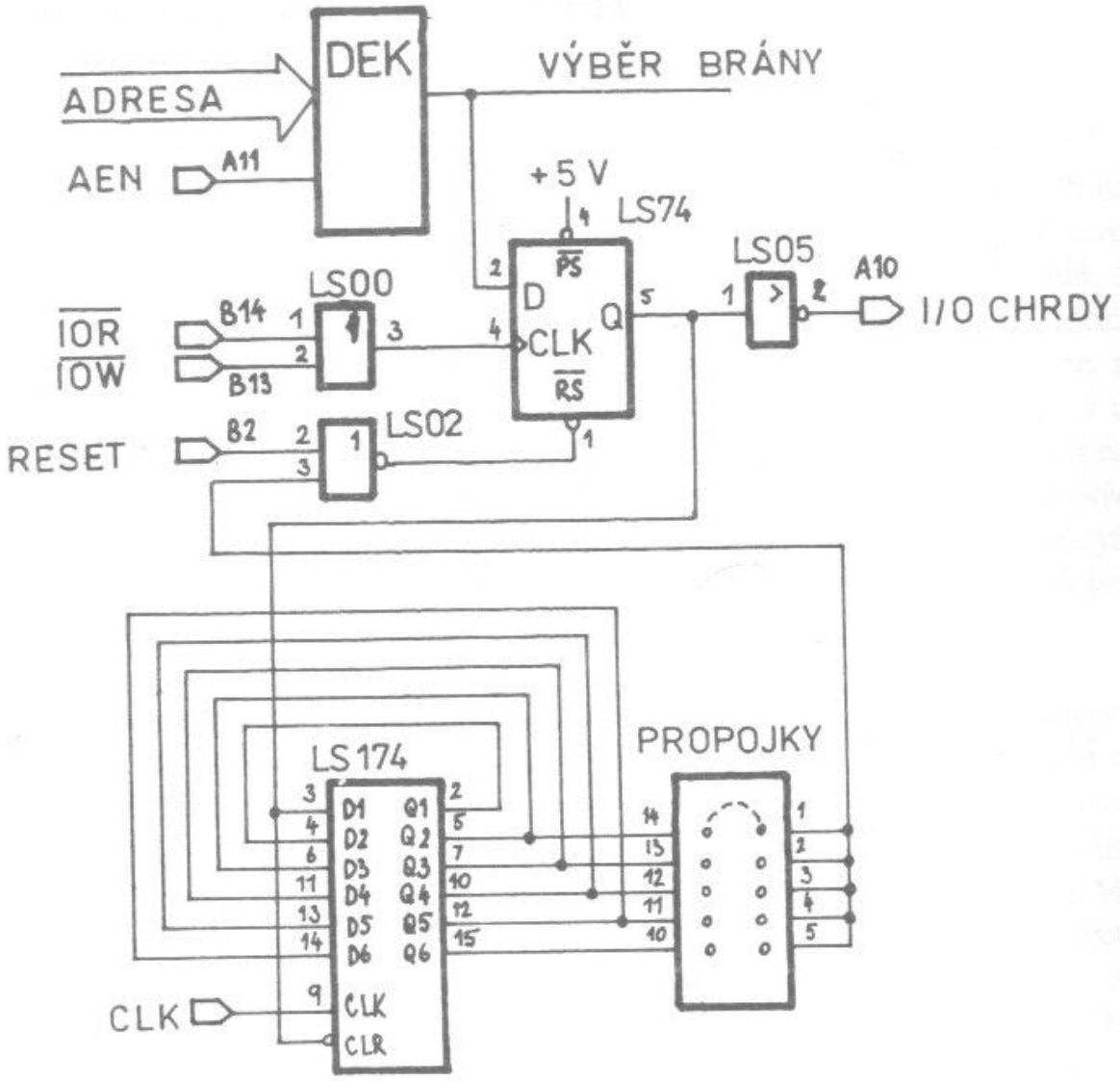
zorkuje například mikroprocesor 8088 současně s náběžnou hranou odinového taktu T3. Chceme-li, aby se generoval WAIT-takt navíc, musí být ento signál nejméně 60 ns před vzorkováním v úrovni L. Chceme-li naopak, by žádný dodatečný WAIT-takt generován nebyl, musí být signál v úrovni H ejméně 75 ns před vzorkováním. Sledujte k tomu obr. 8.6.



Obr. 8.6 Prodloužení V/V sběrnicového cyklu

a obr. 8.7 je uveden příklad zapojení, pomocí kterého můžete generovat den až pět WAIT-taktů prodlužujících V/V sběrnicový cyklus. Závěrná hrana gnálu $\overline{IOR}$ nebo $\overline{IOW}$ vzorkuje výstup adresového dekodéru a nastaví výstup vního D klopného obvodu (74LS74). Tím se I/O CHRDY stane neaktivní. dnička na vstupu D1 se s příštími hodinami CLK posune na vstup D2 atd.

měrně podrobné informace pro časování prodloužených V/V sběrnicových klů sběrnice ISA nalezne čtenář ve [14]. Tam se prodlužuje na základě dosti stejným signálem (I/O CHRDY), ale vkládají se čekací takty sběrnice. prve tomuto časování se přizpůsobuje mikroprocesor, do jehož strojového du vkládá řadič sběrnice WAIT-takty TC. Podrobně o tom pojednávala pitola 6.2.



Obr. 8.7 Příklad zapojení pro generování WAIT-taktů

Obvod 74LS174 pracuje jako šestistupňový posuvný registr, přičemž propojkami můžeme jeho délku zkrátit. Nastavíme-li např. propojku mezi vývody 12 a 3, vynuluje se posuvný registr vstupem CLR už po čtyřech hodinových taktech CLK. Zároveň s nulováním se nadále vysílá aktivní I/O CHRDY a sběrnicový cyklus se už dále neprodlužuje. Čtyři takty v posuvném registru znamenají čtyři TW sběrnicového cyklu. První z nich však je totožný s tím, jež nezávisle vygeneroval obvod WAIT-taktu systémové desky, takže v popisovaném případě jsme přidali pouze tři WAIT-takty navíc.

9. Přímý přístup do paměti

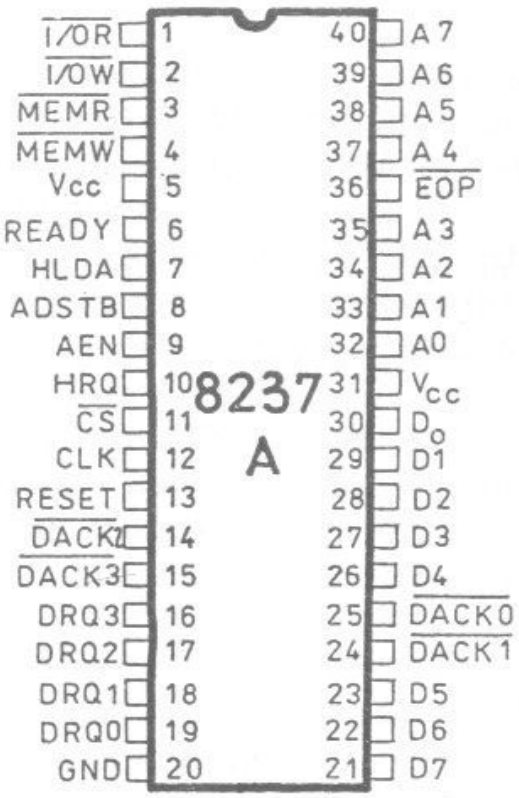
Ústředním členem tohoto podsystému osobního počítače IBM PC je integrovaný obvod 8237A (obr. 9.1). Obsahuje čtyři kanály a každý z nich může adresovat až 64 KB paměti. Na základě požadavku V/V zařízení přebírá tento obvod funkci řízení sběrnice po dohodě s mikroprocesorem. V případě, že žádajících zařízení je více, uplatní se vestavěný prioritní systém. Činnost mikroprocesoru se tímto řadičem DMA v IBM PC pozastavuje pouze na provedení jediného strojového cyklu, ačkoli obvod lze naprogramovat i do režimu souvislého (burst mode) přenosu bloku dat se zastaveným procesorem. Tím by se ale v IBM PC narušily podmínky obnovování obsahu dynamických pamětí, o které se stará v modelu XT DMA kanál 0, to je ten s nejvyšší prioritou. V modelu AT sice obnovování nezajišťuje tento kanál, ale jinak jsou časovací nároky stejné.

Obvod 8237A musí vždy spolupracovat s vnějším registrem pro zachycení vyšších osmi bitů šestnáctibitové adresy (v tomto případě 74LS373). Protože je ale adresový prostor obou modelů adresován nejméně dvacetibitovou adresou, nestačí ani tento vnější registr a ke generování nejvyšších čtyř bitů adresy slouží obvod 74LS670, který obsahuje čtveřici čtyřbitových (tzv. DMA stránkových) registrů (obr. 9.2). Před provedením konkrétního přenosu některých z kanálů 8237A musí být nastaven režim přenosu, registr počáteční adresy, registr délky přenosu a číslo stránky v registru stránek. Kanály řadiče přímého přístupu do paměti jsou u modelu XT přiděleny standardně podle tab. 9.1.

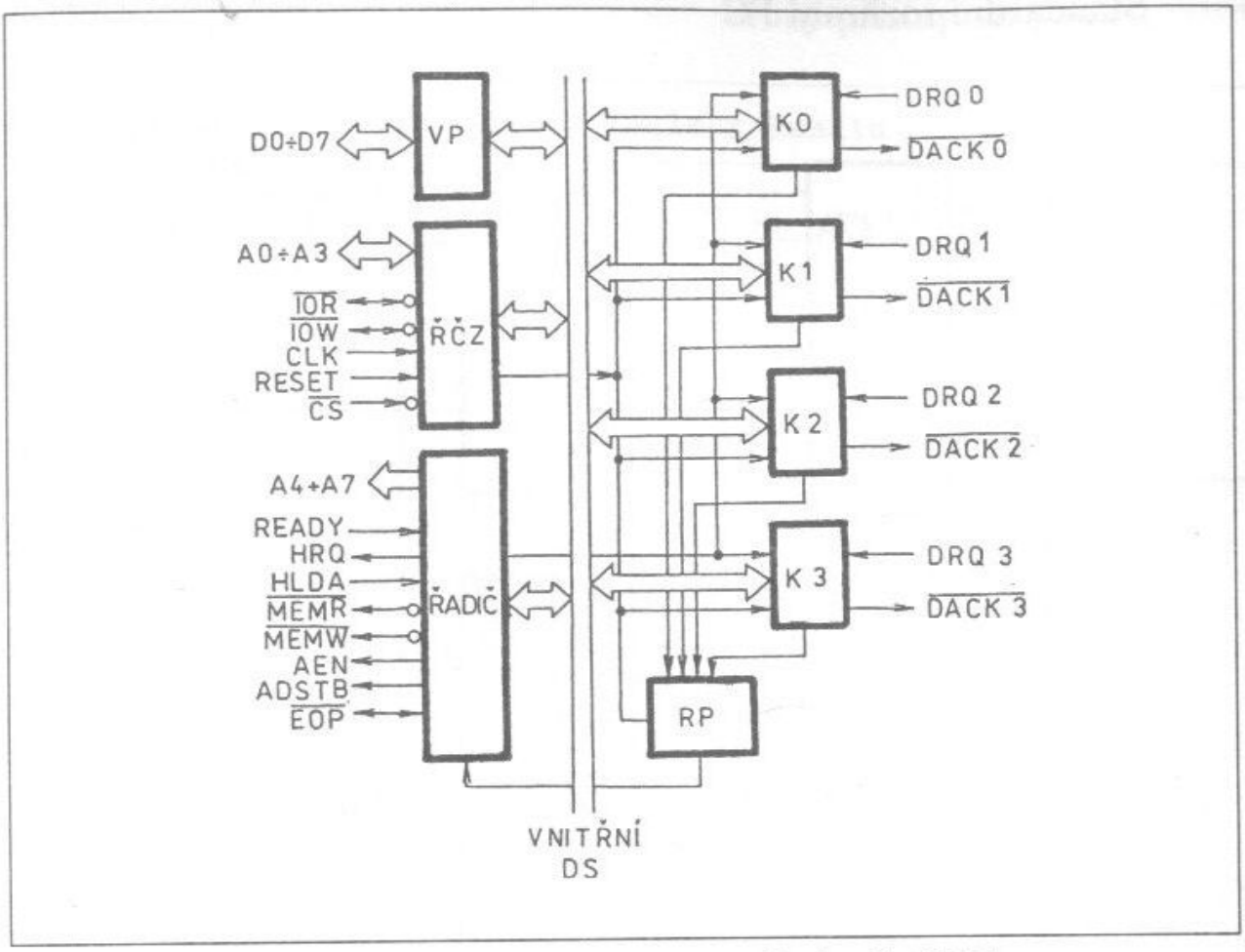
Kanál	Přidělené zařízení
0	občerstvování dynamických pamětí
1	rezerva
2	adaptér diskety
3	adaptér disku Winchester

Tab. 9.1 Přidělení DMA kanálů v modelu XT

Označení vývodu	Význam
D7 - D0	obousměrné - vývody datové sběrnice
A0 - A3	obousměrné - spodní část adresové sběrnice
A4 - A7	výstup - výstupní bity spodní části adresové sběrnice
$\overline{I/OR}$, $\overline{I/OW}$	obousměrné - vývody pro řízení spolupráce s V/V zařízením
$\overline{MEMW}$, $\overline{MEMR}$	výstupní - vývody pro řízení spolupráce s pamětí
CS	vstup - výběr obvodu
CLK	vstup - hodinový synchronizační signál
READY	vstup - synchronizační signál pseudosynchronní sběrnice



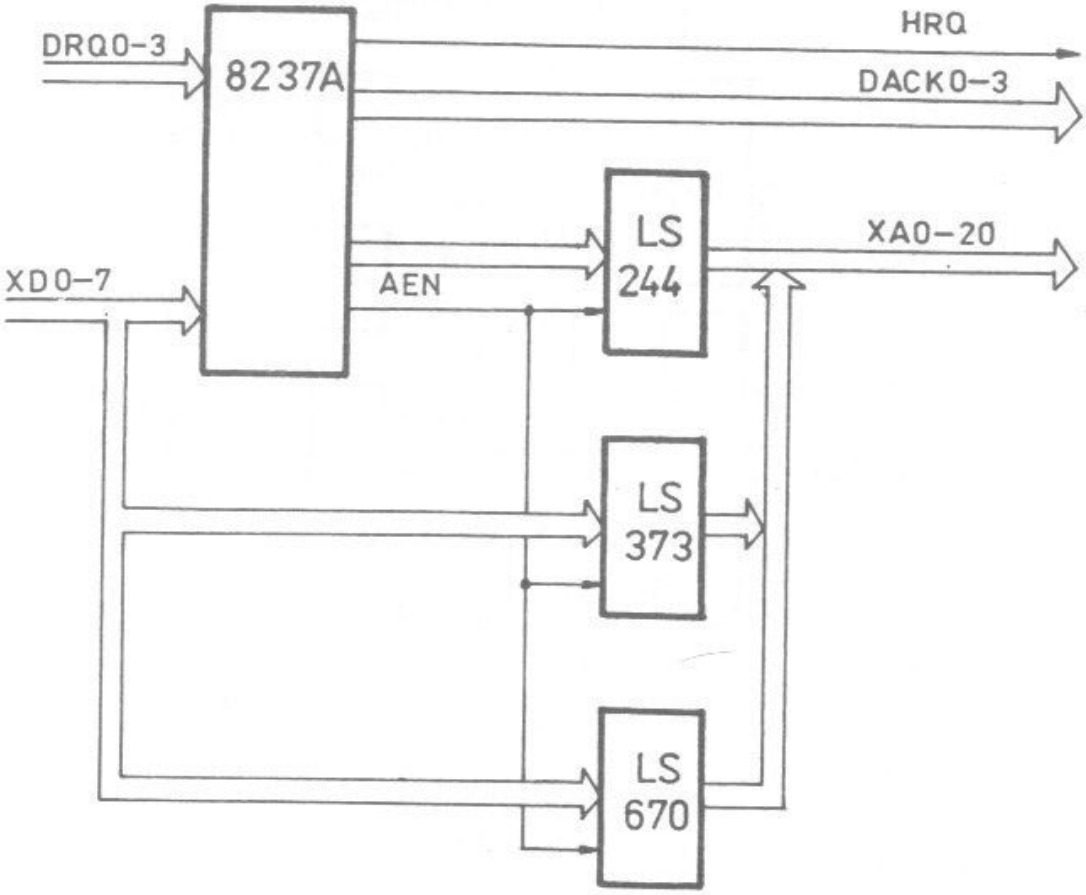
HRQ	výstup - žádost řadiče o povolení DMA přenosu
HDLA	vstup - povolení DMA přenosu
RESET	vstup - nulování obvodu
DREQ0 - DREQ3	vstup - žádost V/V zařízení o DMA přenos
$\overline{DACK0}$ - $\overline{DACK3}$	výstup - potvrzení DMA přenosu
AEN	výstup - potvrzení platnosti DMA adresy na vodičích adresové sběrnice
ADSTB	výstup - zápisový synchronizační signál pro horní adresové bity do vnější záchytné paměti
$\overline{EOP}$	obousměrné - konec vstupu a výstupu



Obr. 9.1 Význam a rozložení vývodů obvodu 8237A

Pro řízení přímého přístupu do paměti využívá model AT celkem dvou integrovaných řadičů DMA (2 x 8237A-5, což jsou rychlejší verze obvodů popsaných v obr. 9.1). Obvody jsou řazeny kaskádně prostřednictvím čtvrtého kanálu druhého obvodu DMA (obr. 9.3). Z celkového počtu osmi kanálů jich je tedy u modelu AT k dispozici sedm. Signály označené v těchto obrázcích XDi jsou signály vnitřní sběrnice systémové desky. Na straně obvodu 8237A jsou spojeny s datovými vstupy Di.

Standardně jsou však na rozdíl od modelu XT přiděleny pouze kanály dva (tab. 9.2): kanál 1 slouží komunikačnímu adaptéru SDLC a kanál 2 adaptéru diskety. Ostatní nejsou obsazeny a jsou přístupné na sběrnici. Použit není oproti modelu XT ani kanál 0 pro obnovování informace (zajištěno speciálním technickým vybavením), ani kanál pro disk typu Winchester. U IBM PC AT se pro styk s tímto adaptérem DMA nepoužívá. Přenos dat v tomto případě ovládá mikroprocesor V/V instrukcemi pro práci s řetězy, protože přenos je rychlejší.



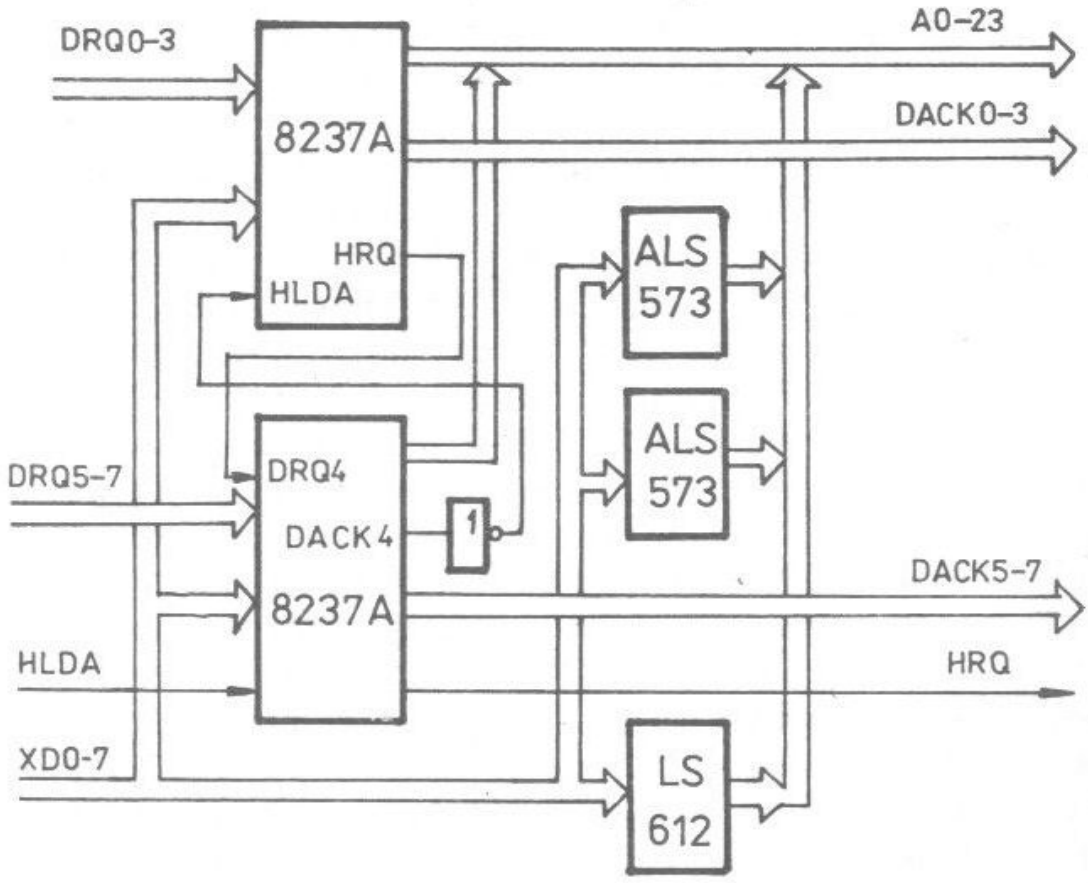
Obr. 9.2 Podsystém přímého přístupu do paměti modelu XT

Kanál	Přidělené zařízení	
0	rezerva	určeny pro osmibitový přenos
1	komunikační adaptér	
2	adaptér diskety	
3	rezerva	
4	propojení řadičů DMA	
5	rezerva	určeny pro šestnáctibitový přenos
6	rezerva	
7	rezerva	

Tab. 9.2 Přidělení DMA kanálů v modelu AT

v/v adresa	stránkový registr kanálu
87H	DMA 0
83H	DMA 1 *)
81H	DMA 2 *)
82H	DMA 3 *)
88H	DMA 5
89H	DMA 6
8AH	DMA 7
8FH	obnovování dynamických pamětí

Tab. 9.3 Adresace stránkových registrů DMA
*) Platí pro oba modely XT/AT, neoznačené pouze pro model AT



Obr. 9.3 Podsystém přímého přístupu do paměti modelu AT

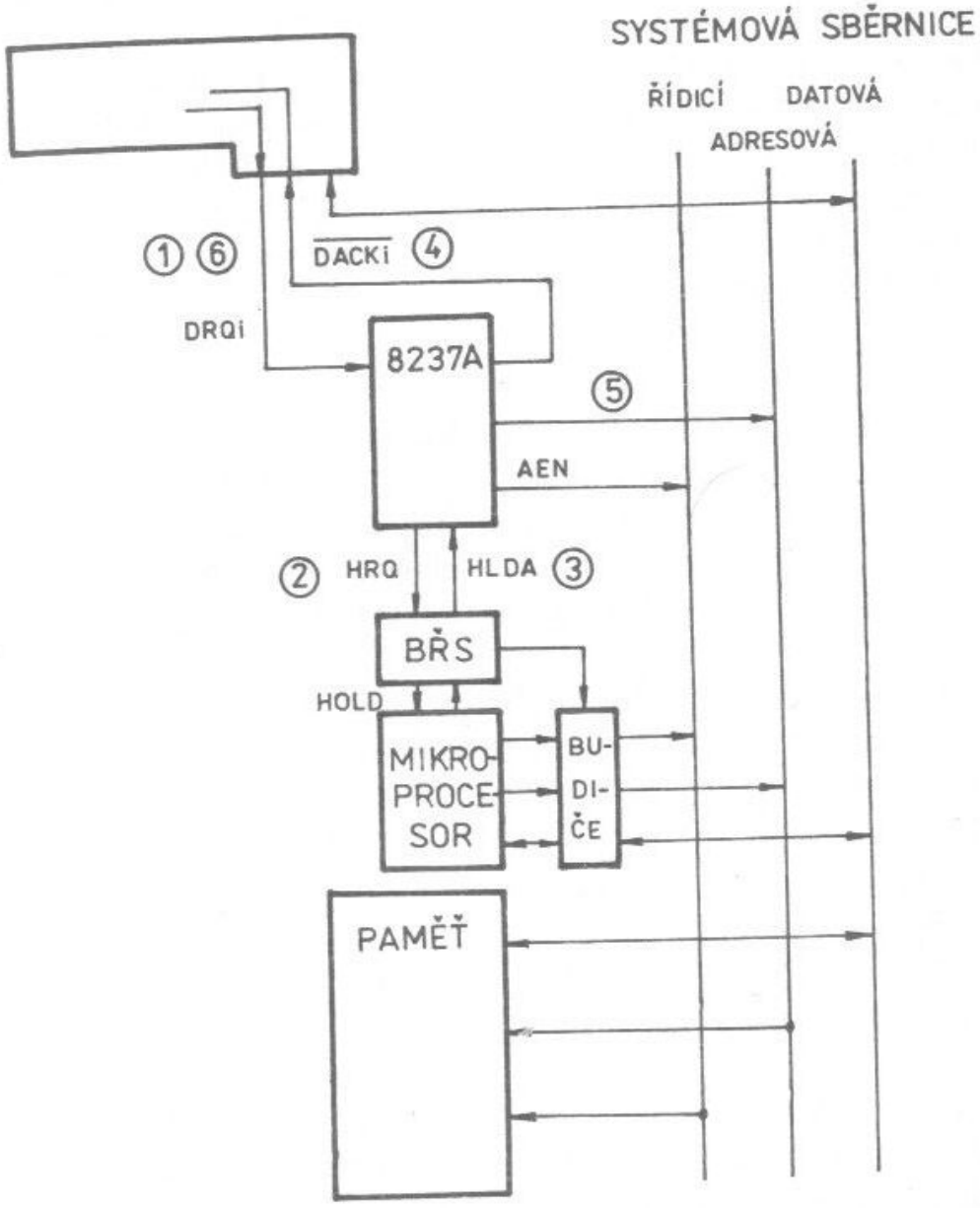
První z obvodů 8237A-5 obsahuje kanály 0 - 3 a je určen k řízení osmibitových datových přenosů mezi osmibitovými V/V adaptéry a šestnáctibitovou pamětí. Každý kanál může adresovat paměťový prostor max. 16 MB, avšak po blocích max. 64 KB dlouhých. Druhý řadič (kanály 5 - 7) zajišťuje přenos dat mezi pamětí a šestnáctibitovými V/V adaptéry. Adresovat může opět 16 MB paměti, ale délka přenášeného bloku může být až 128 KB paměti. Musí však začínat na sudé adrese. Adresy stránkových registrů konkrétních DMA kanálů jsou v tab. 9.3.

9.1 Průběh přenosu dat při DMA

Při popisu průběhu DMA budeme předpokládat, že obvod 8237A byl během inicializační fáze naprogramován a je tedy k přenosu připraven. Parametry pro inicializaci vysvětlíme v kapitole 9.2.

Vysvětlovat začneme průběh přenosu na obr. 9.4 a od okamžiku, kdy některý z adaptérů zašle prostřednictvím signálu DRQi žádost o přenos dat (1). Zde uvedená čísla v závorce odpovídají číslům na obrázku v kroužku a ta zase pořadí jednotlivých akcí. Na sběrnici modelu XT má k předání žádosti celkem tři možnosti (DRQ1-3), na sběrnici ISA sedm možností (DRQ0-3, DRQ5-7). Řadič DMA rozhodne o prioritě žádosti vzhledem k ostatním a směrem k bloku řízení sběrnice vyšle signál HRQ (2). Tento obvod sesynchronizuje žádost HRQ s hodinami mikroprocesoru a jako signál HOLD ji pošle dále. Na to mikroprocesor reaguje tak, že dokončí právě probíhající strojový cyklus a bloku řízení sběrnice odpoví. Směrem k řadiči DMA začne BŘS vysílat signál HLDA (3) oznamující, že sběrnice bude počínaje příštím hodinovým taktem volná a DMA přenos může začít. Podobné signály vyšle i směrem k budičům adresové, datové i řídicí sběrnice, a ty odpojí mikroprocesor od systémové sběrnice. Všechny tyto signály ale na sběrnici nejsou vidět, protože jsou vnitřními signály systémové desky. Řadič DMA na příchod signálu HLDA zareaguje vysláním odpovídajícího DACKi na sběrnici (4); pro žádající adaptér je tento signál signálem výběrovým, umožňujícím mu přístup na sběrnici. Řízení přenosu se teď ujme řadič DMA (5) a během několika hodinových taktů, jak jsme popsali v kapitole 6, uskuteční přenos jedné položky údajů. Hodinový generátor, ze kterého odvozuje řadič DMA trvání jednotlivých

taktů, není obecně totožný s hodinovým generátorem mikroprocesoru. Důvod jsme popsali v kapitole 6. Po obdržení signálu $\overline{\text{DACKi}}$ ukončí adaptér vysílání žádosti DRQi (6).



Obr. 9.4 Posloupnost činností při obsluze žádosti o DMA přenos

Řadič DMA zase po skončení sběrnicového cyklu shodí žádost HRQ a mikroprocesor přestane vysílat aktivní HLDA. Budiče všech částí systémové sběrnice opět připojí mikroprocesor a začne probíhat normální procesorový sběrnicový cyklus.

Vše, co jsme vyjmenovali výše, probíhá při každém cyklu DMA. Sběrnicové cykly procesoru se tedy, podle požadavků, prokládají sběrnicovými cykly DMA. Za řízení tohoto prokládání je v IBM PC zodpovědný blok řízení sběrnice a vlastní řadič přerušení. Konkrétní implementace tohoto bloku tedy určuje maximální možný výkon DMA podsystému. BIOS obou modelů tohoto mikropočítače všechny DMA kanály naprogramuje do přerušovacího DMA režimu; znamená to, že po každé přenesené položce údajů (osmi nebo šestnáctibitové, to podle konkrétní situace) se řízení sběrnice vrátí mikroprocesoru. Nejvyšší dosažitelný výkon DMA podsystému je tedy v případě, kdy se sběrnicové cykly DMA a procesor pravidelně střídají. Odhadněme teď jeho velikost.

DMA sběrnicový cyklus trvá u modelu XT šest hodinových taktů. Mezi dvěma DMA cykly musí proběhnout alespoň jeden strojový cyklus mikroprocesoru trvající minimálně čtyři hodinové cykly. Tato úvaha platí pro model s mikroprocesorem 8088, jehož hodinový cyklus trvá 210 ns a hodiny DMA řadiče jsou stejné. Pro jeden DMA cyklus tedy vyjde celková doba jeho trvání 210 x 10 = 2,1 μs. Z této hodnoty by vycházel teoretický výkon DMA 476 KB/s.

Ve skutečnosti je výkon při DMA přenosu dat výrazně menší. Vzhledem k většinou implementované strategii prokládá řadič sběrnice více než jeden strojový cyklus, protože čeká na synchronizaci s mikroprocesorem. Odhady výkonu při DMA přenosu se v literatuře pohybují v poměrně širokých mezích. Námi naměřené hodnoty jsme uvedli v tabulkách v kapitole 5.

9.2 Inicializace řadiče DMA

Inicializací řadiče DMA se rozumí zápis několika řídicích slov, která určují, zda bude obvod řídit čtení z paměti, nebo naopak zápis, zda bude probíhat přenos po jednotlivých osmi nebo šestnáctibitových údajích, či přenos po blocích, jak dlouhý bude přenášený blok; nastaví se priorita kanálů, počáteční adresa přenášeného bloku v paměti a povolí se bit žádosti kanálu.

Obvod 8237A má celkem 16 adres, na kterých jsou registry sloužící jak k inicializaci, tak ke zjišťování aktuálního stavu přenosu. Ve skutečnosti je těchto registrů podstatně více (obvod obsahuje 344 bitů vnitřní RWM paměti),

protože některé adresy představují šestnáctibitové buňky. Právě do nich se ale zapisovaná informace nahrává nadvakrát. Význam DMA registrů pro zápis v mikropočítačích standardu IBM PC XT/AT ilustruje tab. 9.5; registry pro čtení jsou v tab. 9.4.

Registry pro počáteční adresu bloku paměti se nahrávají kdykoli před prováděným přenosem zasláním dvou osmibitových hodnot vždy na tutéž adresu. Obvod totiž nemá pro šestnáctibitovou konstantu dostatečně širokou datovou sběrnici. Jako obvykle se nejdříve zapisuje spodní a pak horní bajt.

V/V adresa (čtení)	Význam
0H *)	Aktuální adresa paměti (16 b) pro 0.kanál DMA
1H *)	Aktuální délka přenášeného bloku (16 bitů) pro 0.kanál DMA
2H	Aktuální adresa paměti (16 b) pro 1.kanál DMA
3H	Aktuální délka bloku (16 b) pro 1.kanál DMA
4H	Aktuální adresa paměti (16 b) pro 2.kanál DMA
5H	Aktuální délka bloku (16 b) pro 2.kanál DMA
6H	Aktuální adresa paměti (16 b) pro 3.kanál DMA
7H	Aktuální délka bloku (16 b) pro 3.kanál DMA
8H	Stavový registr 1.řadiče DMA
9-0FH	Nepoužity
0C4H *)	Totéž jako 2H pro 5.kanál 2.obvodu DMA (16 b)
0C6H *)	Totéž jako 3H pro 5.kanál 2.obvodu DMA (16 b)
0C8H *)	Totéž jako 4H pro 6.kanál 2.obvodu DMA (16 b)
0CAH *)	Totéž jako 5H pro 6.kanál 2.obvodu DMA (16 b)
0CCH *)	Totéž jako 6H pro 7.kanál 2.obvodu DMA (16 b)
0CEH *)	Totéž jako 7H pro 7.kanál 2.obvodu DMA (16 b)
0D0H *)	Totéž jako 8H pro 2.obvod DMA (8 bitů)
0D2H-0DEH *)	Nepoužity

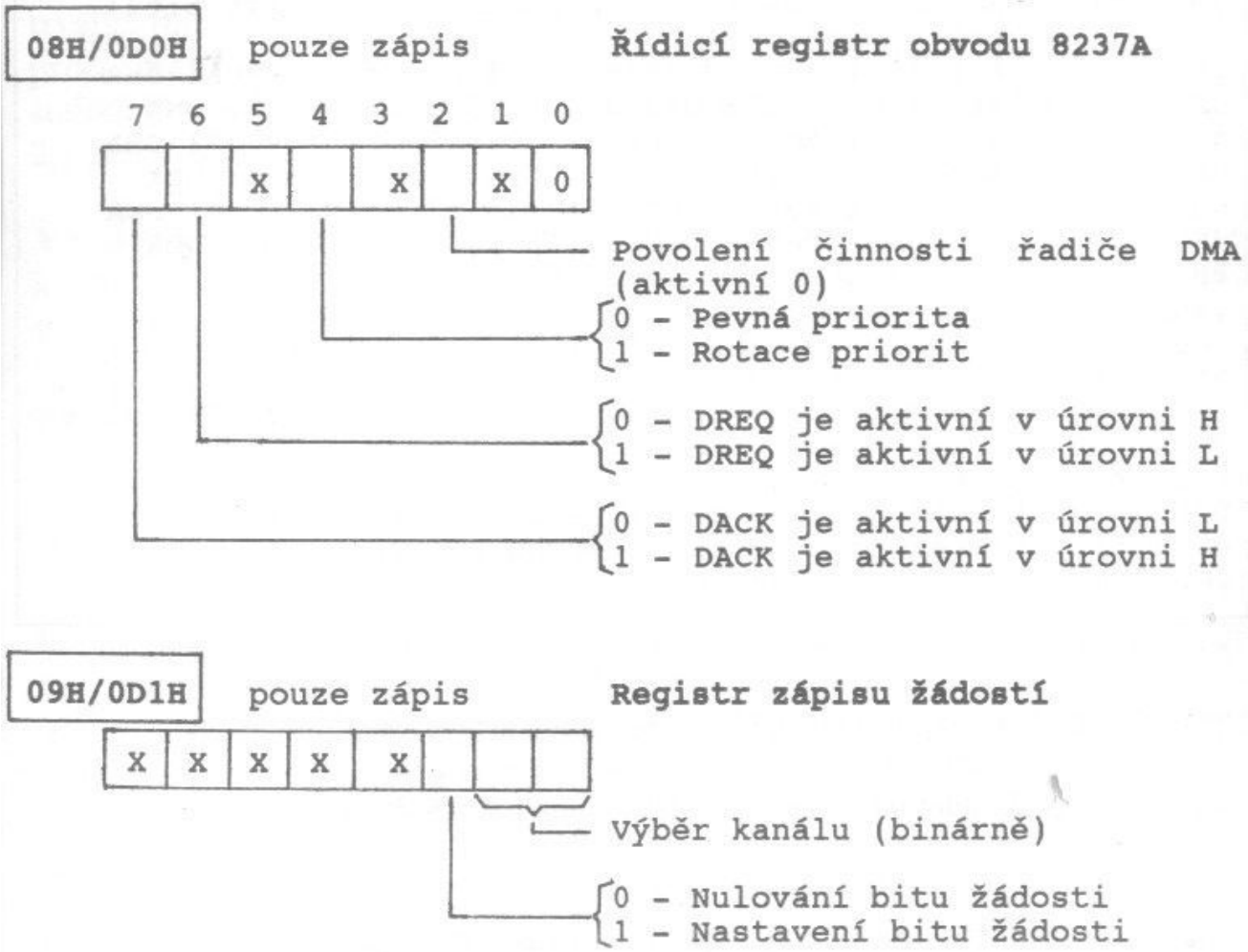
*) Platí jen pro model AT

Tab. 9.4 V/V adresy registrů DMA řadičů obsahující stavovou informaci

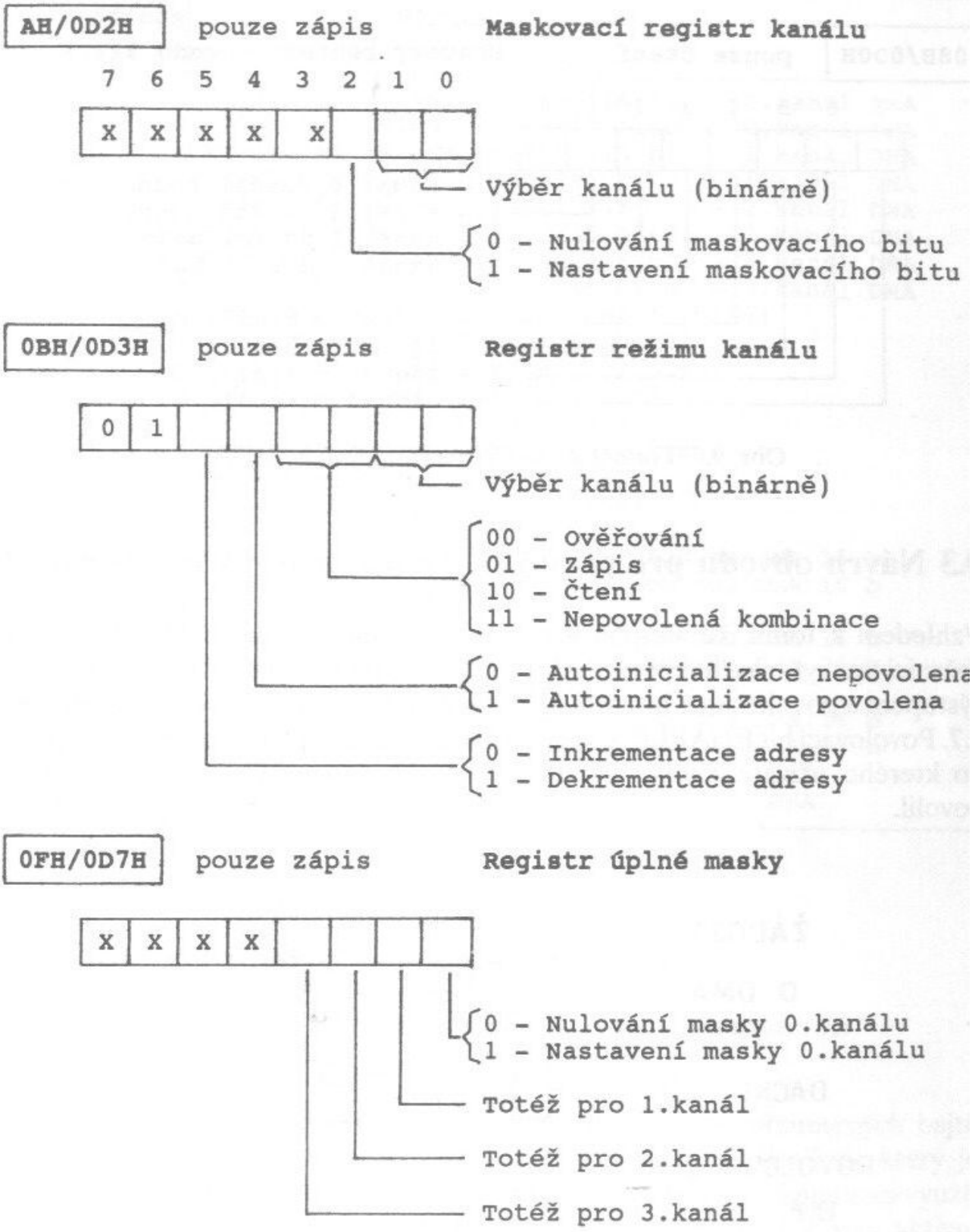
Význam jednotlivých bitů (programátorský model) je na obr. 9.6

Délka přenášeného bloku se zapisuje do obvodu také dvěma výstupními instrukcemi. Uživatel si musí zapamatovat toto důležité pravidlo: Provede se

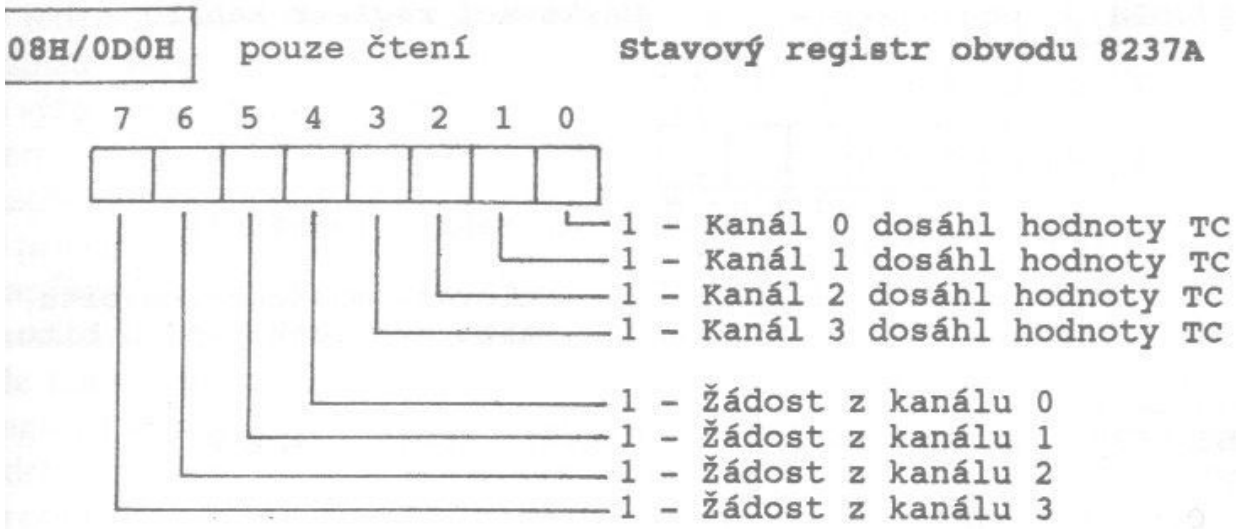
o jeden DMA přenos více, než je hodnota zapsaná do tohoto registru (při zápisu dekadické konstanty 99 se provede přenos 100 položek). Podrobnosti o významu jednotlivých bitů (obr. 9.5) v řídicích registrech (adresy 08H-0FH, resp. 0DH až 0DEH) nalezne čtenář např. v [5]. Ne všechny možnosti naprogramování tam uvedené však použití v IBM PC dovoluje. U modelu XT, z principu, ale i u některých modelů AT (tam z realizačních důvodů) nelze například uskutečňovat DMA přenos typu paměť-paměť. Realizuje se totiž kanálem 0 DMA (druhá paměťová adresa se nahrává do registrů 1.kanálu), ale ten je obsazen obnovováním dynamické paměti. Aktuální hodnotu všech registrů adresy a délky bloku může uživatel přečíst z příslušných vstupních adres. To mu umožní v každém okamžiku zjistit podrobnosti o právě probíhajícím DMA přenosu. Přehled všech V/V adres se stavovou informací uvádí tabulka Tab. 9.4, formát stavového registru pak obr. 9.6.



Obr. 9.5 - pokračuje



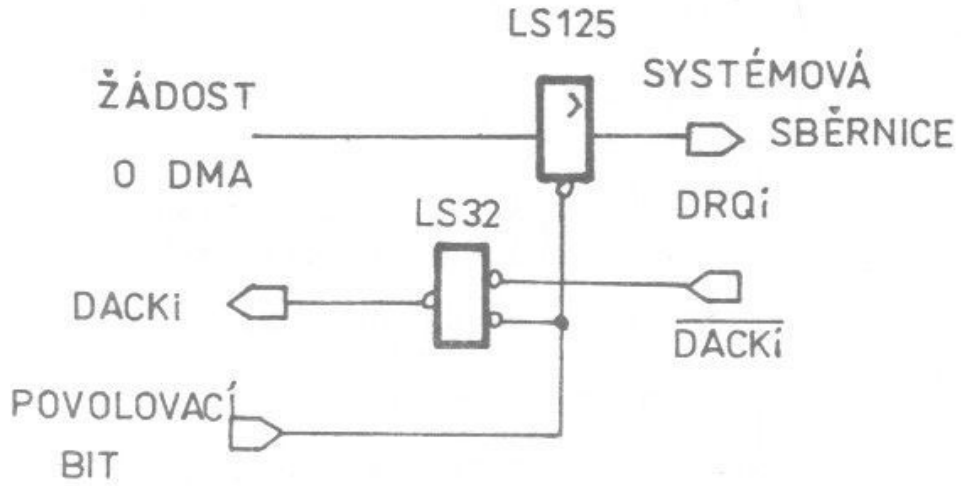
Obr. 9.5 Programátorský model nejdůležitějších řídicích registrů řadiče 8237A



Obr. 9.6 Formát stavového registru obvodu 8237A

.3 Návrh obvodu pro připojení žádosti o DMA na sběrnici

Vzhledem k tomu, že alespoň v modelu XT není volných kanálů DMA na běrnici nazbyt, navrhuje se interfejs žádosti a potvrzení DMA s třístavovým ýstupem a povolovacím bitem. Typické schéma takovéhoto obvodu uvádí obr. .7. Povolovací bit ENABLE je součástí nějakého výstupního registru adaptéru, o kterého uživatel zapíše aktivní úroveň, aby generování žádosti o DMA ovolil.



Obr. 9.7 Příklad interfejsu žádosti o DMA

V/V adresa (zápis)	Význam
0H *)	Počáteční adresa paměti (16 b) - 0.kanál DMA
1H *)	Počáteční délka bloku (16 bitů) - 0.kanál DMA
2H	Počáteční adresa paměti (16 b) - 1.kanál DMA
3H	Počáteční délka bloku (16 bitů) - 1.kanál DMA
4H	Počáteční adresa paměti (16 b) - 2.kanál DMA
5H	Počáteční délka bloku (16 bitů) - 2.kanál DMA
6H	Počáteční adresa paměti (16 b) - 3.kanál DMA
7H	Počáteční délka bloku (16 bitů) - 3.kanál DMA
8H	Řídicí registr 1.obvodu DMA (8 bitů)
9H	Registr zápisu žádosti (8 bitů)
0AH	Maskovací registr kanálu (8 bitů)
0BH	Registr režimu kanálu (8 bitů)
0CH	Přepínání horní/spodní bajt
0DH	Nulování obvodu před inicializací
0EH	Nulování maskovacího registru
0FH	Registr úplné masky (8 bitů)
0C4H *)	Totéž jako 2H pro 5.kanál 2.řadiče DMA 16 b
0C6H *)	Totéž jako 3H pro 5.kanál 2.obvodu DMA 16 b
0C8H *)	Totéž jako 4H pro 6.kanál 2.obvodu DMA 16 b
0CAH *)	Totéž jako 5H pro 6.kanál 2.obvodu DMA 16 b
0CCH *)	Totéž jako 6H pro 7.kanál 2.obvodu DMA 16 b
0CEH *)	Totéž jako 7H pro 7.kanál 2.obvodu DMA 16 b
0D0H-0DEH *)	Totéž jako 8H - 0FH 1.obvodu DMA

*) Platí jen pro model AT

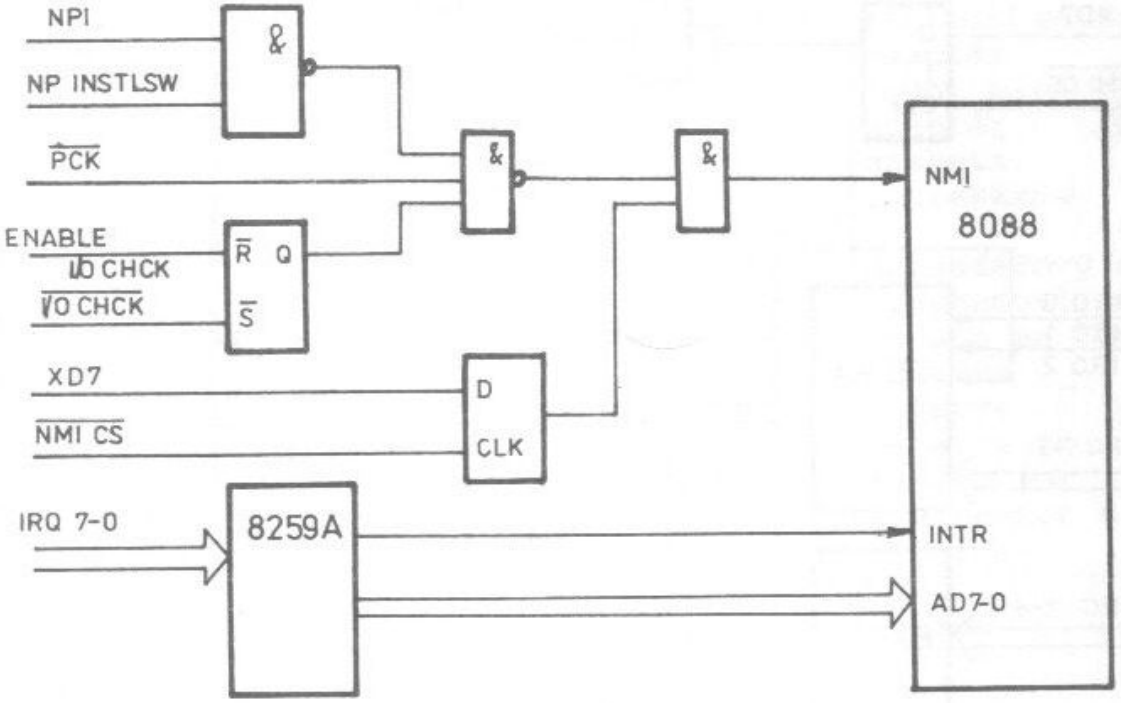
Tab. 9.5 V/V adresy registrů DMA řadičů pro zápis

Význam jednotlivých bitů (programátorský model) je na obr. 9.5

Každý z DMA řadičů generuje při dosažení shody počtu přenesených bajtů nebo slov a nastavené hodnoty počtu aktivní úroveň signálu T/C, který je přístupný na sběrnici. Obvody adaptéru tedy musí umět tuto signalizaci využít - například logickým součinem DACK a T/C. Tento signál je pak aktivní právě jen na určitém adaptéru.

10. Přerušovací podsystém

V mnoha aplikacích osobních počítačů, v připojování nestandardních V/V zařízení však zvláště, se bez přerušovacího podsystému těžko obejdeme. S jeho pomocí totiž snadno zajistíme synchronizaci programu a vnějších událostí, okamžitou reakci mikroprocesoru na důležitou stavovou změnu i efektivní vstup a výstup dat.

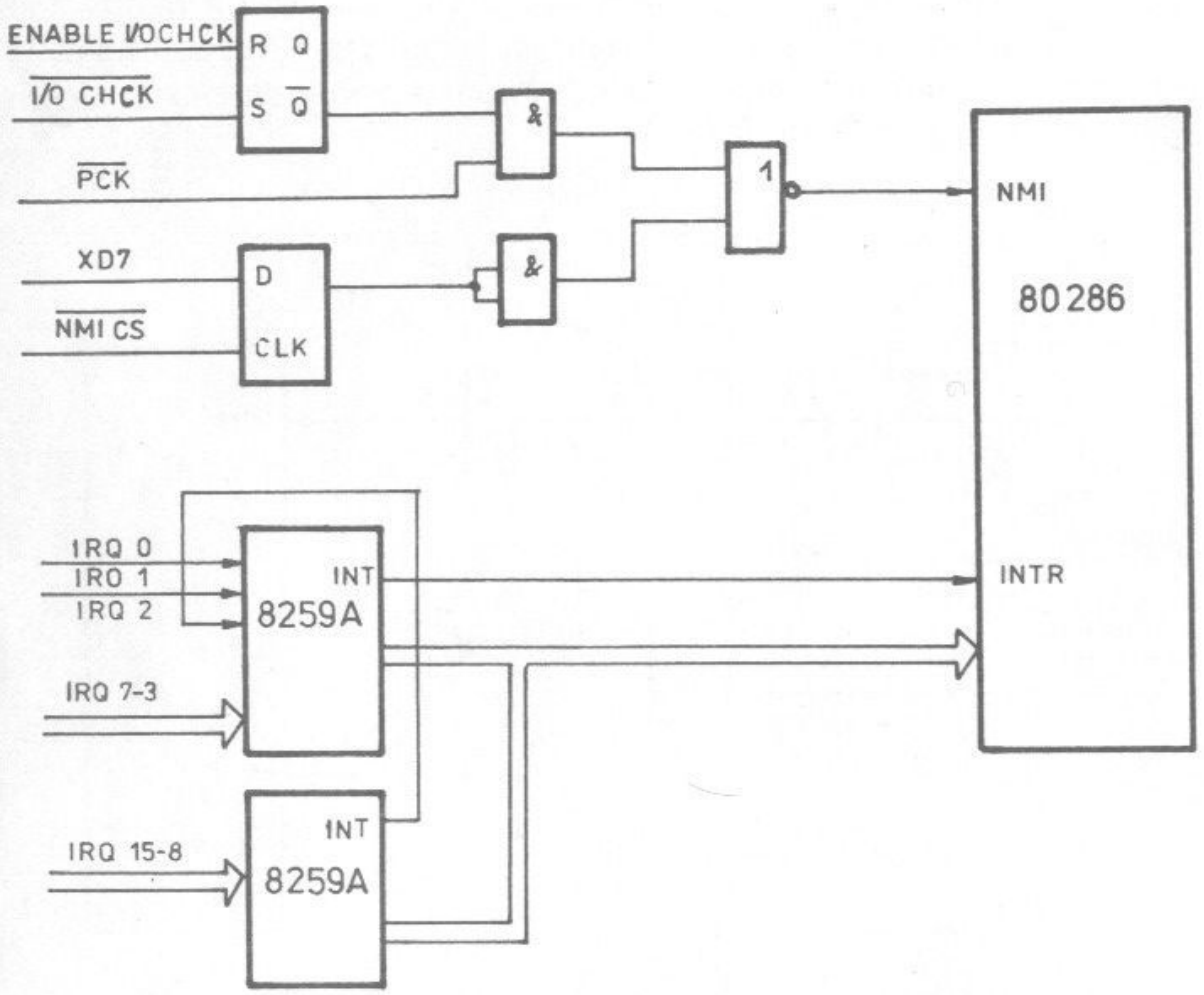


Obr. 10.1 Přerušovací podsystém IBM PC XT

Mikroprocesor 8088 - HW žádosti o přerušení

Tento mikroprocesor má dva vstupy žádostí: Jeden je označen NMI (nemaskovatelné přerušení) a případnými žadateli mohou být v modelu XT obvody testující chybu parity paměti na základní desce (PCK), sběrnicový signál I/O CHCK nebo numerický koprocesor (NPI). Nemaskovatelný je tento vstup pouze v samotném mikroprocesoru. Jeho vnější obvody však (obr. 10.1) dovolují zamaskovat jak chybu koprocesoru (signálem NP INSTLSW - to v případě, že na konfiguračním přepínači je nastaven stav - bez koprocesoru),

tak i případné hlášení chyby z V/V kanálu (signálem ENABLE I/O CHCK). Maskování žádostí je možné i na vyšší úrovni. Programově navíc lze zablokovat všechny tyto tři žádosti instrukcí OUT 0A0H,80H (XD7 - sedmý bit na adrese $\overline{\text{NMI CS}}$, tj. na adrese 0A0H).



Obr. 10.2 Přerušovací podsystém IBM PC AT

Druhý vstup žádosti o přerušení označujeme INTR a generuje ho řadič přerušení 8259A. Naprogramován je na registraci aktivní úrovně a šest jeho vstupů (IRQ2 - IRQ7) je přístupných na konektorech V/V kanálu. Zbývající jsou použity jako žádosti z podsystémů systémové desky (IRQ0 - žádost časovače 0, IRQ1 - adaptér klávesnice). Přehled jednotlivých HW zdrojů žádostí o přerušení s adresou ve vektoru adres obslužných programů je uveden v tab. 10.1.

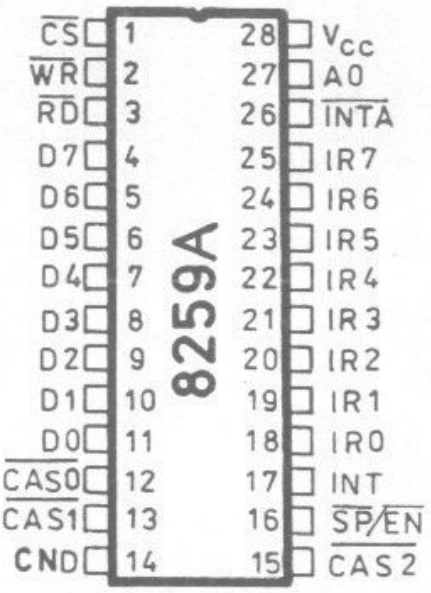
Vstup požadavku	Adresa přeruš. vektoru	Typ	Význam pro XT	Význam pro AT
NMI	08H	2	chyba parity, V/V kanálu, nebo koprocesoru	chyba parity nebo V/V kanálu
IRQ0	20H	8	systémový časovač	systémový časovač
IRQ1	24H	9	klávesnice	klávesnice
IRQ2	28H	10	rezerva	kaskádní zapojení řadičů přeruš. + VGA
IRQ3	2CH	11	volitelný asynchronní adaptér	volitelný asynchronní adaptér
IRQ4	30H	12	základní asynchronní adaptér	základní asynchronní adaptér
IRQ5	34H	13	Winchester disk	druhý paralelní adaptér - tiskárna
IRQ6	38H	14	disketa	disketa
IRQ7	3CH	15	tiskárna	1.tiskárna
IRQ8	1C0H	112		kalendářový obvod
IRQ9	1C4H	113		programově přesměrováno na IRQ2
IRQ10	1C8H	114		rezerva
IRQ11	1CCH	115		rezerva
IRQ12	1D0H	116		rezerva
IRQ13	1D4H	117		koprocesor
IRQ14	1D8H	118		Winchester disk
IRQ15	1DCH	119		rezerva

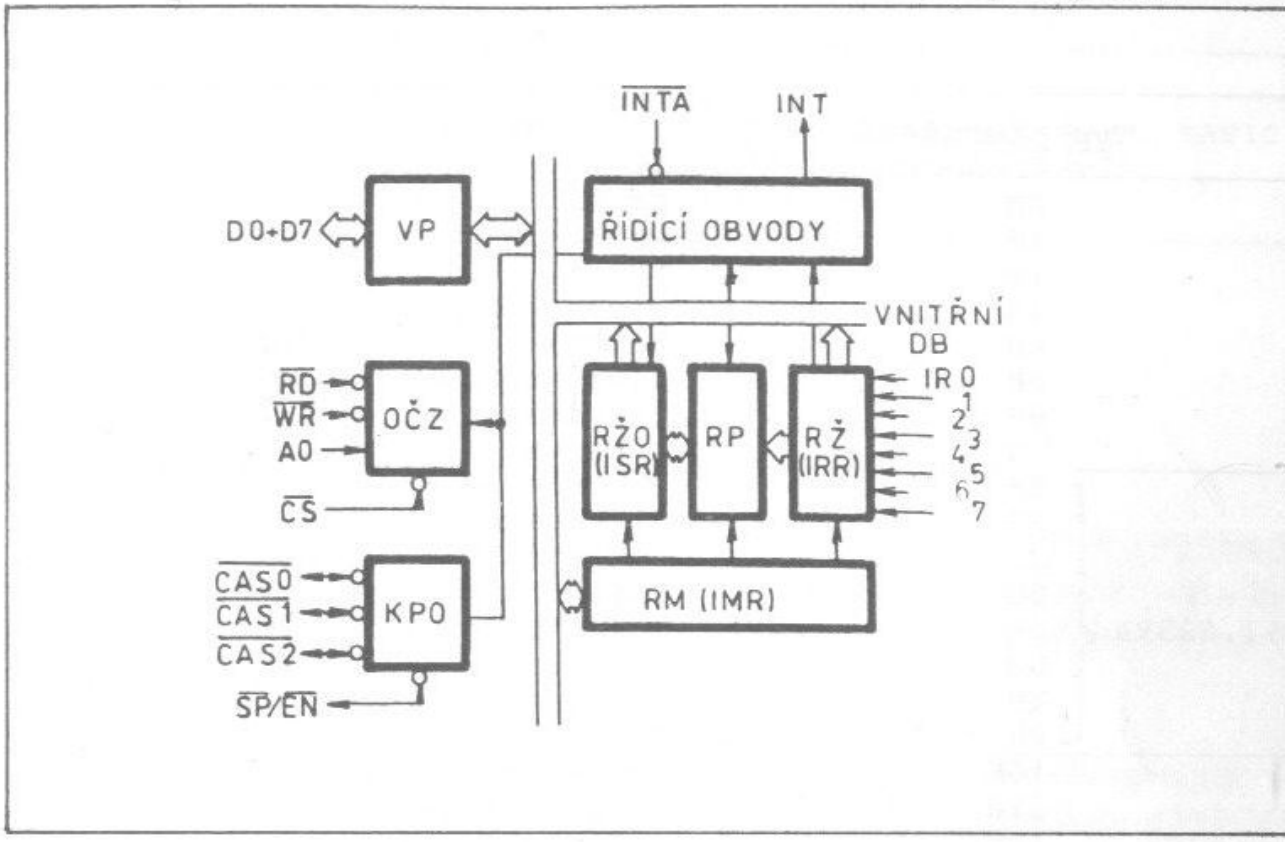
Tab. 10.1 Přehled HW přerušovacích zdrojů a adres jejich vektorů

Mikroprocesor 80286 - HW žádosti o přerušení

Vzhledem k tomu, že základní koncepce přerušovacího systému je u obo mikroprocesorů shodná, uvedeme jen odlišnosti, které odrážejí konkrétn realizaci modelů XT a AT. Strukturu přerušovacího podsystému v tomt případě ukazuje obr. 10.2. I zde je možné v samotném mikroprocesor nemaskovatelné přerušení NMI programově zakázat (jako u XT bitem XD na adrese $\overline{\text{NMI CS}}$). Na tomto vstupu se však tentokrát uplatňují pouze žádos způsobené chybou parity paměti $\overline{\text{PCK}}$ (nelze zamaskovat) nebo V/V kaná $\overline{\text{I/O CHCK}}$ (lze zamaskovat signálem ENABLE I/OCHCK). Přerušení chybo koprocesoru se předává signálem IRQ13 do druhého obvodu 8259A.

Označení vývodů	Význam
D0 - D7	obousměrná datová sběrnice
$\overline{RD}$	Read; vstupní řídicí signál pro čtení (aktivní je nízká úroveň)
$\overline{WR}$	Write; vstupní řídicí signál pro zápis (aktivní je nízká úroveň)
A0	vstupní signál pro výběr příkazových (stavových) slov, která jsou do obvodu zapisována (čtena). Obvykle připojený na jednu z adresových linek (např. A0)
$\overline{CAS0}$ - $\overline{CAS2}$	Cascade Lines; signály umožňující kaskádní zapojení několika obvodů 8259A. Pracují jako výstupy pro řídicí obvod a jako vstupy pro podřízené obvody
$\overline{SP}/\overline{EN}$	Slave Program/Enable Buffer; v režimu práce s vnějším budičem datové sběrnice slouží signál EN pro řízení budiče datové sběrnice. V režimu bez vnějšího budiče slouží signál k rozlišení řídicího obvodu (SP=H), nebo podřízeného obvodu (SP=L), aktivní je tedy nízká úroveň
$\overline{CS}$	Chip Select; vstupní výběrový signál pouzdra (aktivní je nízká úroveň)
INT	Interrupt; výstupní signál výsledné žádosti o přerušení (připojuje se obvykle na vstup INT mikroprocesoru)
IR0 - IR7	Interrupt Request; vstupní signály žádosti o přerušení. Žádost o přerušení je vyvolána buď náběžnou hranou signálu IR, nebo úrovní H signálu IR v závislosti na režimu práce obvodu
$\overline{INTA}$	Interrupt Acknowledge; vstupní signál oznamující přijetí žádosti o přerušení činnosti procesoru a umožňující zaslání typu přerušení na datovou sběrnici (aktivní je nízká úroveň)





Obr. 10.3 Označení vývodů a struktura obvodu 8259A

Škála možných žádostí uplatňovaných pomocí vstupu INTR mikroprocesoru se na rozdíl od modelu XT rozšířila. Řadič přerušení tvoří v tomto případě dva obvody 8259A řazené kaskádně a přibylo tak navíc dalších sedm vstupů. Přehled o jejich přidělení opět uvádí tab. 10.1. Žádosti IRQ9 - 12 a IRQ14 - 15 jsou přístupné na sběrnici ISA; IRQ9 přitom nahrazuje žádost IRQ2, která je na systémové desce použita pro kaskádní zapojení obou obvodů 8259A.

Instrukce INT n - SW žádosti o přerušení

Přerušení je u obou těchto mikroprocesorů možné vyvolat i programově instrukcemi INT n. Podle konkrétní hodnoty n se vypočte adresa ukazatele do tabulky vektorů přerušení; pro n=1AH je to např. adresa 104. Pomocí programových přerušení využívá programátor IBM PC služeb BIOSu. Význam jednotlivých typů přerušení u IBM PC XT i AT uvádí přehledně tab. 10.2.

	Typ přerušení	Význam
	0H	dělení nulou
	1H	krokování programu
	2H	NMI
	3H	zastavení programu - break point
	4H	aritmetické přetečení
	5H	tisk obrazovky (BIOS)
	6H	rezerva
	7H	rezerva
	8H	HW časovač [18,2 Hz]
	9H	klávesnice
	AH	rezerva
	BH	asynchronní komunikace 2
1.8259A	CH	asynchronní komunikace 1
	DH	tiskárna 2
	EH	disketa
	FH	tiskárna 1
	10H	zobrazení znaku
	11H	chyba zařízení
	12H	velikost paměti
	13H	disketa/disk
	14H	obsluha V/V RS 232 C (BIOS)
	15H	kazetový magnetofon
	16H	vstup z klávesnice (BIOS)
	17H	výstupu na tiskárnu (BIOS)
	18H	rezidentní BASIC
	19H	zaváděcí program
	1AH	systémový čas
	1BH	klávesnice - BREAK
	1CH	časový skok
	1DH	inicializace zobrazení
	1EH	parametry diskety
	1FH	parametry grafického zobrazení
	20-3FH	služby operačního systému
	40-5FH	rezerva
	60-67H	přerušení z uživ. programů
	68-6FH	nepoužito
	70H	reálné hodiny
	71H	IRQ9
	72H	IRQ10
	73H	IRQ11
2.8259A	74H	IRQ12
	75H	IRQ13 přesměrováno na NMI
	76H	IRQ14
	77H	IRQ15

78-7FH	nepoužito
80-85H	rezervováno pro rezidentní BASIC
76-0F0H	používá rezidentní BASIC
0F1-0FFH	nepoužito

Tab. 10.2 Přehled typů přerušení (SW i HW)

10.1 Řadič přerušení

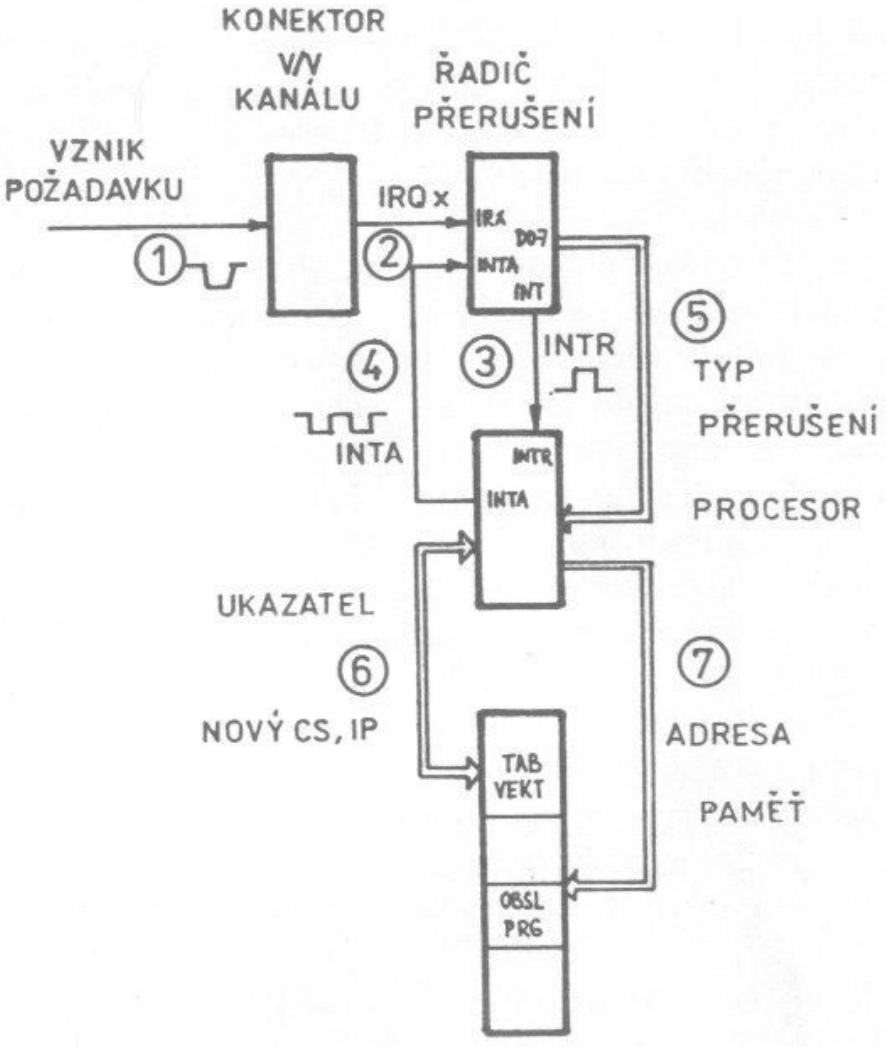
Základním elementem přerušovacího podsystému je řadič přerušení 8259A-2 (rychlejší verze obvodu 8259A). Z důvodu stručnosti a přehlednosti textu ho budeme nadále označovat jako 8259A. Blokové schéma, rozložení vývodů pouzdra a popis signálů jsou na obr. 10.3.

Tímto obvodem se rozšiřuje počet přerušovacích vstupů INTR mikroprocesoru modelu XT na osm, přičemž jednotlivé žádosti se mohou zamaskovat, vybírat nejdůležitější a pořadí důležitosti (prioritu) dynamicky měnit. Žádost zachycuje řadič přerušení do **vstupního registru IRR**; ten můžeme obecně naprogramovat tak, aby reagoval na náběžnou hranu nebo úroveň H. V návrhu IBM PC se předpokládá aktivní **úroveň** signálu. **Maskovací registr** je označen **IMR**. Zápisem nuly do některého z bitů provedeme maskování odpovídající žádosti a systém na ni nebude reagovat. Výsledek vyhodnocení priority se zapisuje do tzv. **registru žádostí v obsluze ISR**. Ten tedy odráží úroveň přerušení, jež je právě obsluhována mikroprocesorem, nebo více úrovní, došlo-li ke vnoření přerušení. Řadič můžeme naprogramovat do nejrůznějších režimů změny priority, což popíšeme dále. Používají se k tomu jeho řídicí registry a programování probíhá v inicializační části programu. Některé parametry lze nastavit nebo změnit i během činnosti programu. Je také možné programově zjišťovat okamžitý stav přerušovacího podsystému.

V modelu IBM PC AT je využito možnosti zapojit několik řadičů do kaskády a dosáhnout tak většího počtu přerušovacích vstupů. Konkrétně jsou použity dva, přičemž žádosti o přerušení IRQ8 - 15 se nejprve podle priority vyhodnotí mezi sebou a teprve pak se porovnávají jako IRQ2 s žádostmi IRQ0 - 7 prvního řadiče. Další rozšiřování přerušovacího systému řadiči na deskách není jednoduše možné, protože na sběrnici chybějí signály toto kaskádní řazení umožňující.

10.2 Posloupnost činností při obsluze přerušení

V tomto odstavci s pomocí obr. 10.4 vysvětlíme posloupnost akcí, které začínají vznikem přerušovací události a končí zápisem vektoru adresy obsluhy přerušení do adresového registru paměti, která poskytne první instrukci obslužného programu. Aby tato posloupnost mohla proběhnout, musíme předem přerušovací podsystém naprogramovat. Zajišťuje to inicializační část BIOSu. Některé parametry může uživatel v rámci svého programu změnit.



Obr. 10.4 Posloupnost činností při obsluze přerušní

První událostí s přerušením související je vznik požadavku (1 - čísla odpovídají číslům v kroužku na obr. 10.4), který se generuje v některém z adaptérů.

K dalšímu zpracování se předává pomocí linky IRQx sběrnice (2) některého z diskutovaných modelů (typ nerozhoduje). Nejdůležitější požadavek (3) vyhodnotí řadič přerušení a aktivuje signál INTR. Připomeňme si, že oba obvody, mikroprocesor i řadič přerušení, jsou na téže desce (systémová deska). Další postup záleží na tom, je-li přerušení v mikroprocesoru programově povoleno. V kladném případě se dokončí rozpracovaná instrukce a začne se vysílat potvrzovací signál INTA (4). V záporném pokračuje mikroprocesor nerušeně ve své dříve zahájené činnosti, jako kdyby signál INTR nepřišel. Situaci změní pouze instrukce STI (povolení přerušení).

Potvrzovací pulsy INTA vysílá procesor k řadiči přerušení vždy dva. Na základě přijetí prvního rozhodne řadič o nejdůležitějším požadavku a po přijetí druhého vyšle (5) opačným směrem po datové sběrnici osmibitovou hodnotu tzv. typu přerušení. Teoreticky jsou sice možné všechny kombinace z množiny ohraničené hodnotami <0;255>, ale u IBM PC jsou předem BIOSem naprogramovány typy přerušení 8 - 15, resp. 112 - 119. Typ přerušení přepočítá procesor na ukazatel do tabulky přerušení - 4 x TYP PŘERUŠENÍ - a po adresové sběrnici vyšle adresu (6) položky, na které jsou čtyři bajty ukazatele (vektor) na obslužný program přerušení. Vektor čte v případě modelu XT ve čtyřech následujících strojových cyklech, u modelu AT ve dvou strojových cyklech. Vektor uloží do registrů IP a CS, jejichž starou hodnotu však ještě stačil uschovat do zásobníku kvůli pozdějšímu pokračování. Tímto okamžikem začíná pracovat program pro obsluhu přerušení. Obslužný program by měl nejprve uložit do zásobníku všechny registry mikroprocesoru, se kterými bude pracovat, aby nedošlo ke ztrátám původních hodnot. Před návratem (instrukcí IRET) je pak zase obnoví. V obslužném programu by se také měla vynulovat původní žádost o přerušení; byla uplatněna úrovní a technické prostředky adaptérů jsou obvykle konstruovány tak, že toto programové nulování vyžadují (viz např. obr. 10.5). Obslužný program musí závěrem také vynulovat bit odpovídající právě obsluhovanému přerušení v registru ISR řadiče 8259A. Učiní tak zasláním příkazu EOI (end of interrupt) pomocí příkazu OCW2 pro 8259A. Přechodem na obslužný program přerušení se automaticky zakáže každé další přerušení. Změnit lze tento stav dvojím způsobem: buď novou instrukcí STI během obslužného programu, nebo automaticky při provedení návratové instrukce RET nahráním starého, v zásobníku uschovaného stavového registru procesoru.

Tabulka vektorů přerušení neobsahuje jen položky aktivované technickými prostředky přerušovacího systému. Jsou v ní i startovací adresy programů spouštěných instrukcemi INT n. Podrobný přehled o významu položek ze začátku operační paměti RWM uvádí tab. 10.2.

V předchozím výkladu jsme se seznámili s funkcí řadiče přerušovacího podsystému. Zbývá nám ještě vysvětlit, jak se přerušovací systém inicializuje, aby bylo možné přerušení generované adaptéry nebo vyvolané programově zpracovat. Budeme se nejprve zabývat nahráním tabulky vektorů přerušení, pak i inicializací řadiče.

10.3 Inicializace přerušovacího podsystému

Inicializace tabulky vektorů

Procesory obou modelů osobních počítačů IBM PC využívají 1024 bajtů z počátku adresového prostoru paměti jako tabulku vektorů obslužných programů přerušení. Vejde se do ní maximálně 256 čtyřbajtových položek; nižší dva bajty každé položky znamenají novou adresu registru IP (posunutí), vyšší novou adresu registru CS (báze). V obou případech je významnější bajt uložen na adrese vyšší. Chce-li uživatel obsloužit přerušení vlastním obslužným programem, stačí, když v rámci inicializační části svého programu přepíše příslušnou položku v tabulce vektorů; příslušnou se rozumí ta čtveřice bajtů, která odpovídá uživatelem vybranému typu přerušení. Z předchozího výkladu vyplynulo, že některé typy přerušení vyvolávají technické prostředky pomocí HW signálů (např. IRQ1, klávesnice, typ přerušení 9H), jiné se vyvolávají instrukcemi INT n programově. V případě, že nechcete nic ve standardní tabulce vektorů změnit, nemusíte se její inicializací vůbec zabývat. Provede ji za vás inicializační část BIOSu.

Inicializace řadiče přerušení

Základní řadič přerušení se adresuje jako V/V zařízení na adresách 020H a 021H. Druhý řadič přerušení (platí pouze pro model AT) je na adresách 0A0H a 0A1. Podrobnosti jsou v tab. 10.3.

Adresa 8259A		Registr
1.obvodu	2.obvodu	
20H	0A0H	ICW1
21H	0A1H	ICW2
21H	0A1H	ICW3
21H	0A1H	ICW4
21H	0A1H	OCW1
20H	0A0H	OCW2
20H	0A0H	OCW3

Tab. 10.3 Adresy registrů řadiče přerušení

Informace zapisované do obvodu 8259A dělíme na informace při inicializaci - inicializační příkazová slova ICWn, a na operační příkazová slova OCWn, kterými se mění nebo nastavují různé činnosti (maskování přerušovací žádosti, konec přerušení, změny priority atd.).

Inicializace začíná vždy zasláním ICW1, po němž následuje ICW2 a ICW4. Jejím výsledkem je takovéto nastavení přerušovacího systému:

Vstupní registry IRR reagují na náběžnou hranu žádostí
Vynuluje se registr IMR
Vstupu IR7 se přiřadí nejnižší priorita 7
Adresa podřízeného obvodu se nastaví na 7
Čtení stavu se nastaví na IRR a nuluje se speciální režim masky

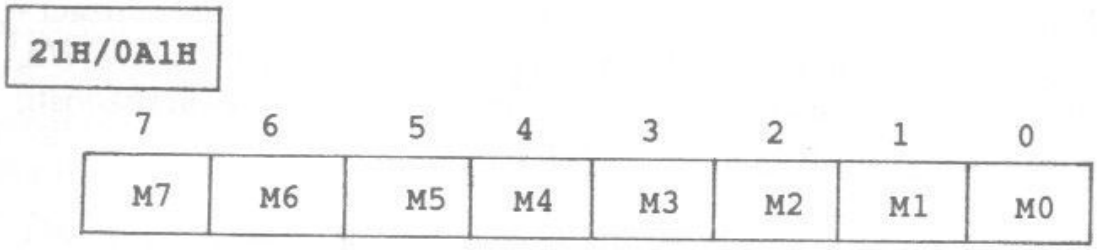
Podrobně je struktura jednotlivých bitů registrů ICWn popsána v literatuře (např. [8]). My se zde obsahem registrů ICWn zabývat nebudeme, protože je BIOS nastavuje automaticky a jejich obsah se uživateli měnit nedoporučuje. Musíte si uvědomit, že změny obsahu ICWn mohou způsobit změnu v chování vašeho počítače, která nakonec nepůjde odstranit jinak, než záchranným

tlačítkem RESET, nebo (chybí-li toto) jedině vypnutím a zapnutím síťového vypínače. U modelu XT nastavuje BIOS hodnoty ICWn takto:

ICW1	=	13H
ICW2	=	08H
ICW3		není použito
ICW4	=	09H

Operační příkazová slova OCWi

Řadič přerušení 8259A obsahuje technické prostředky, kterými lze kdykoliv po naprogramování změnit některé parametry přerušovacího podsystému. Každou ze žádostí o přerušení lze totiž individuálně zamaskovat a tak selektivně zabránit její obsluze. Děje se tak zápisem masky na adresu 020H ze V/V adresového prostoru. Strukturu masky uvádí obr. 10.5.

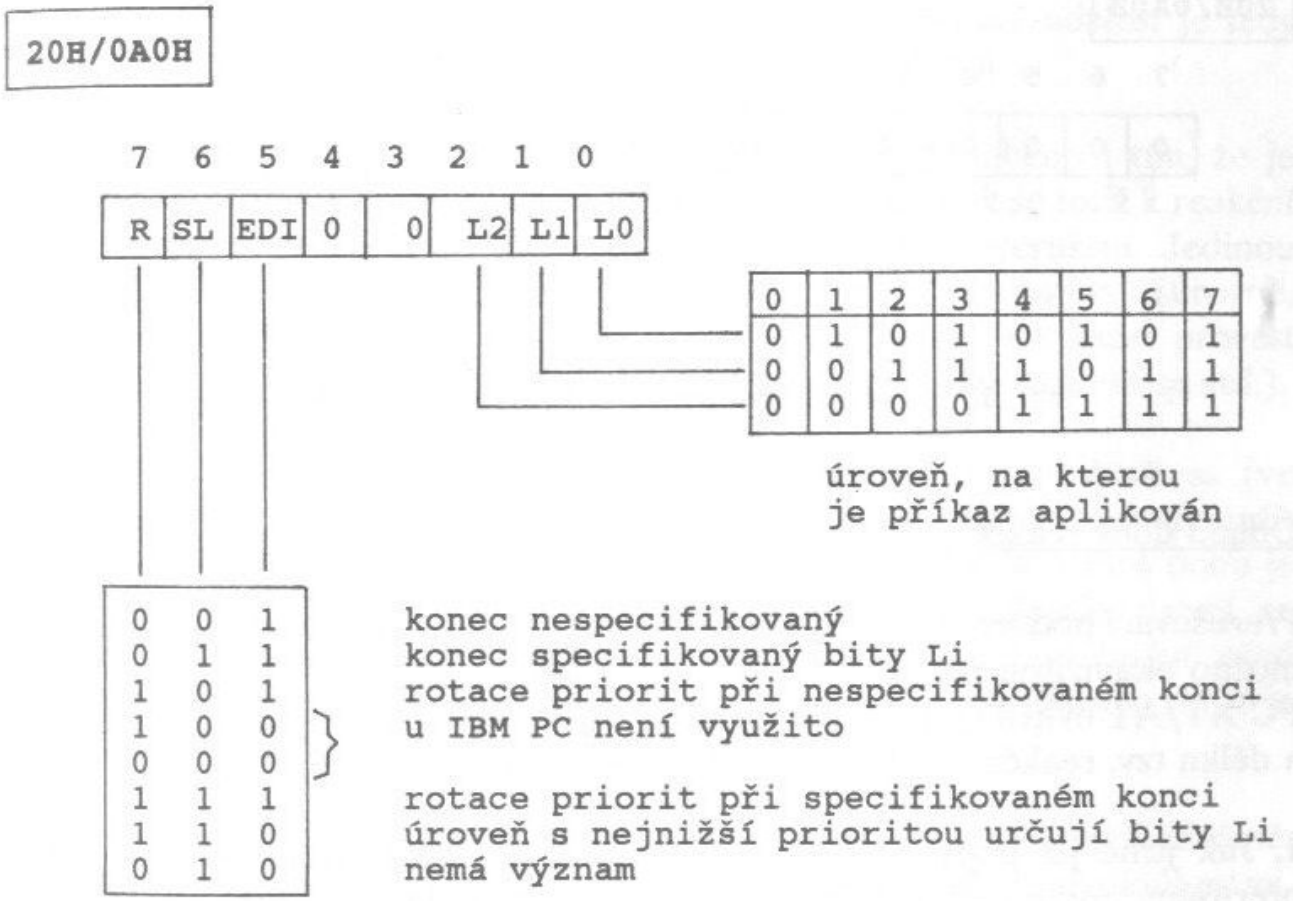


Obr. 10.5 Operační příkazové slovo OCW1 - přerušovací maska

Nastaví-li uživatel příslušný bit masky na hodnotu 0, znamená to, že příslušná žádost je povolena. Je-li naopak nastavena hodnota Mi = 1, je žádost maskována, tedy nepovolena. Je tedy vidět, že v některých případech sice může některý adaptér o obsluhu přerušení žádat, avšak přestože je přerušení globálně povoleno a jeho žádost má teoreticky nejvyšší prioritu, ke skutečnému přerušení běžícího programu nedojde.

Při inicializaci přerušovacího podsystému nastaví BIOS obvody 8259A tak, že konec zpracování přerušení a tedy připravenost přijmout novou žádost z téhož vstupu musí uživatel přerušovacímu řadiči explicitně sdělit. Možnost mu

k tomu poskytuje operační příkazové slovo OCW2, kterým se povinně signalizuje řadiči přerušení 8259A ukončení zpracování tohoto přerušení vynulováním příslušného bitu v jeho ISR registru a provádějí se případné změny v prioritě přerušovacích žádostí. Možnosti tohoto příkazového slova jsou velmi široké. Ukončit totiž lze nejen to přerušení, které se právě zpracovává (zápisem konstanty 020H), ale kterékoli, které se specifikuje číslem úrovně na nejnižších třech bitech zapisované konstanty. Formát příkazového slova OCW2 uvádí obr. 10.6.

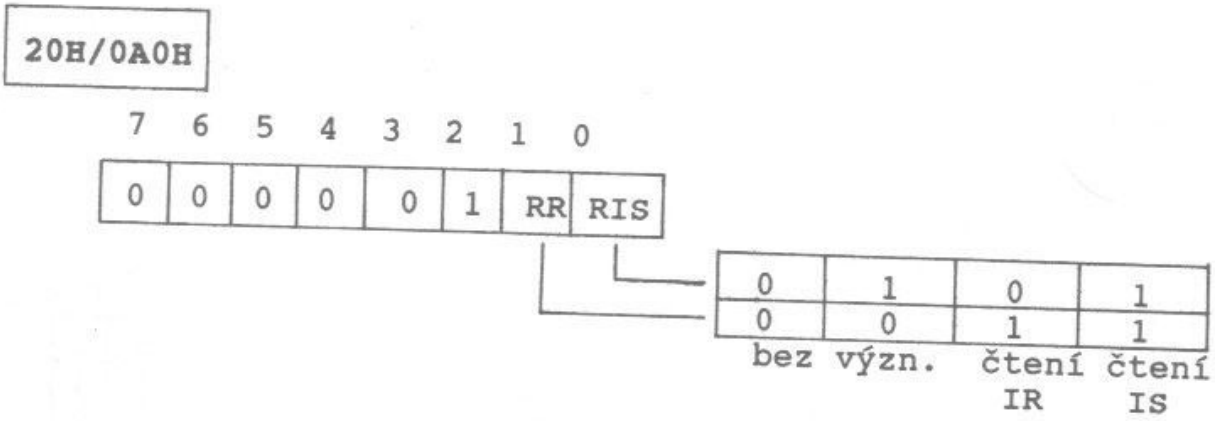


Obr. 10.6 Formát operačního příkazového slova OCW2

Operační příkazové slovo OCW3 lze u IBM PC XT/AT užít jen pro čtení stavu přerušovacího podsystému, jmenovitě registru žádosti o přerušení (IRR) nebo registru žádostí v obsluze (ISR). Zápisem tohoto slova se však jen nastaví režim čtení určitého stavového registru; samotné čtení se provede první

následující instrukcí IN 20H/21H, resp. IN 0A0H/0A1H. Formát příkazového slova, ze kterého je patrný způsob vybírání toho kterého stavového slova, je na obr. 10.7.

Závěrem tohoto odstavce doporučíme uživateli, aby před ukončením práce obslužného programu přerušení zaslal na adresu 20H nebo 0A0H instrukci OUT 20H, 20H, resp. OUT 0A0H, 20H, čímž nespecifikovaně ukončí právě to přerušení, které se právě obsluhuje. Ke změně v prioritách přitom nedojde.



Obr. 10.7 Formát operačního příkazového slova OCW3

Odhad doby reakce přerušovacího podsystému

Přerušovací podsystém je určen v každém počítači k tomu, aby umožnil pokud možno okamžitou reakci na přerušovací události. Zde vysvětlíme, co v IBM PC XT/AT ovlivňuje právě tu tzv. okamžitou reakci, resp. odhalíme příčiny a délku tzv. reakční doby na žádost o přerušení.

1. Jak jsme již popsali dříve, řadič přerušení 8259A zasílá procesoru typ přerušení, podle nějž se vybírá přerušovací vektor, určuje adresa obslužného programu, ukládá návratová adresa na zásobník a skáče se na obslužný program přerušení. Této poměrně složité akci odpovídá i její doba zpracování. U procesoru 8088 je k tomu potřeba 61 taktů, což při normálním časování (takt = 210 ns) činí 12,81 μs; u procesoru 80286 je to 23 taktů, což při časování např. 10 MHz činí 2,3 μs.

2. Žádost o přerušení se testuje jen na konci každé instrukce. Může se tedy stát, že v nejhorším případě trvá právě jednu celou instrukci, než se procesor o vzniku přerušovací události dozví. Že ani tohle není zanedbatelné zdržení, vyplyne z následujícího: Typická doba zpracování jedné instrukce z repertoáru 8088 se pohybuje v rozmezí 1-5 μs, avšak instrukce násobení a dělení jsou mnohem delší. Některé instrukce, jako opakování (repeat), zámek (lock) a prefix segmentového přeběhu (segment override prefix) jsou vlastně součástí instrukcí následujících a přerušení je tedy možné až po skončení instrukce následující. Stejně tak se dovolí přerušení až po instrukci následující za instrukcí přenosu do segmentového registru a přenosu ze zásobníku do segmentového registru (POP). Doba reakce na přerušovací událost je tedy ovlivňována mnoha faktory, které předem nelze odhadnout.

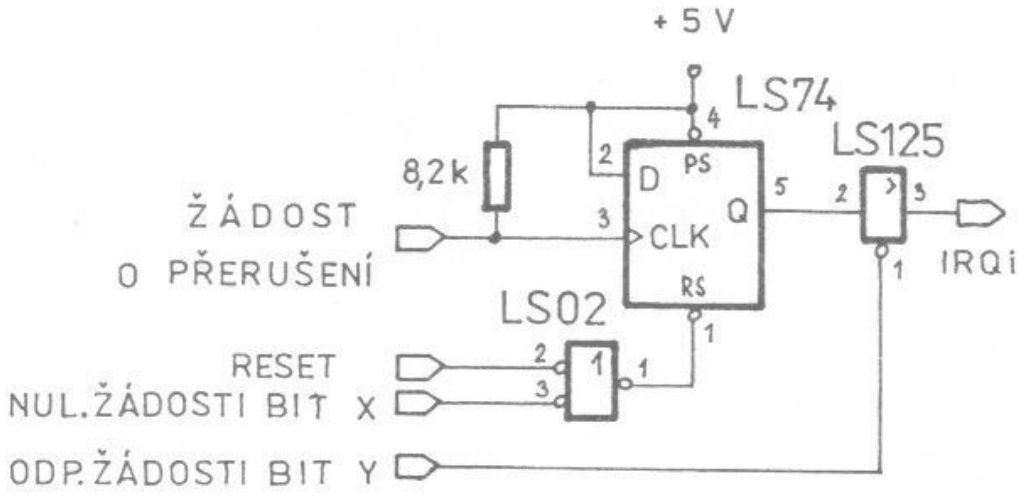
3. Prodloužení doby reakce na přerušení může být způsobeno i tím, že je žádost připojena na vstup s nízkou prioritou přerušení. Pak se totiž k reakční době musí přičíst i doba obsluhy všech nadřazených přerušení. Jedinou možností zkrácení této doby je, kromě využití přerušovací žádosti vyšší úrovně, zamaskování všech vyšších žádostí. Toto maskování se však musí provést s rozvahou, aby nedošlo k narušení normální funkce systému (klávesnice atd.).

4. Automaticky se při přerušení do zásobníku ukládá jen návratová adresa (ve formě dvojice CS, IP) a registr příznaků. V praxi je obvykle nutné uložit i obsahy některých dalších, případně dokonce všech registrů. I tuto dobu je nutné započítat do reakční doby, a i to ji může výrazně prodloužit. Nesmí se pochopitelně zapomenout na obnovu všech registrů ze zásobníku před návratem z obslužného programu. I tato časově poměrně náročná akce je nepřímou součástí doby reakce.

Při odhadu reakční doby na přerušení se musí postupovat zcela individuálně, protože každý konkrétní případ je ovlivněn mnoha výše zmíněnými okolnostmi. To však činí z přesnějšího odhadu reakční doby úkol dosti komplikovaný, ne-li neřešitelný.

10.4 Obvodové řešení žádosti o přerušení z adaptéru

Vzhledem k faktu, že přerušovacích linek je na sběrnici k dispozici omezený počet, je třeba zajistit rekonfigurovatelnost přerušovacího podsystému, a tedy i možnost připojení, resp. odpojení uživatelské žádosti od konkrétní linky. Nejsnáze se tato záležitost na sběrnici obou modelů realizuje třístavovým budičem 74LS125A podle obr. 10.5. Na desce uživatelského adaptéru pak mohou být k dispozici manuálně nastavitelné propojky, kterými se při konfiguraci systému nastaví žádost na tu linku, která je právě volná. Aby bylo možno zpracovat žádosti o přerušení, které nebyly přijaty v okamžiku vzniku, protože přerušovací podsystém byl právě globálně nebo lokálně blokován, doporučujeme na desku uživatelského adaptéru umístit také paměť žádosti (obvod 74LS74). Kromě globálního signálu nulování všech podsystémů (RESET) je zapotřebí zajistit specifické nulování žádosti, které musí uživatel

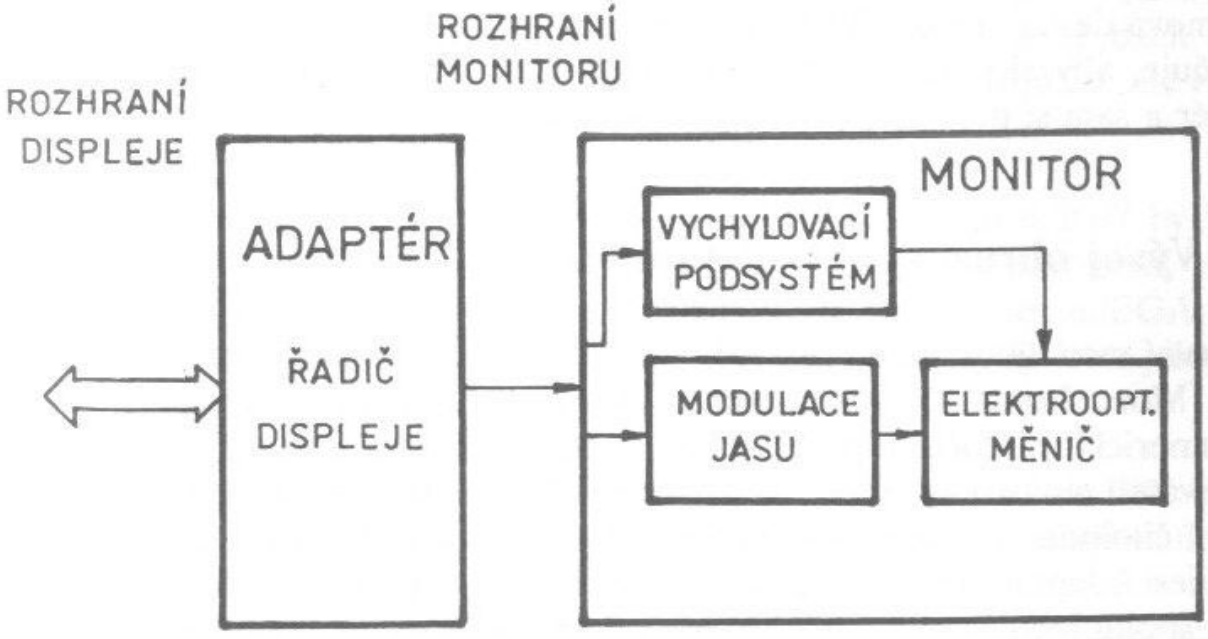


Obr. 10.8 Obvodové řešení žádosti o přerušení

provést před ukončením obslužného programu přerušení. K tomu účelu musí být na desce uživatelského adaptéru k dispozici jeden bit výstupní brány pro lokální nulování (na obr. 10.5 označen jako bit X). Bitem Y je možné žádost o přerušení konkrétního adaptéru od sběrnice odpojit. To se, podobně jako u žádostí o DMA, používá v případě, že počet vodičů žádostí o přerušení na sběrnici nestačí.

11. Obrazový podsystém

Displej je výstupní zařízení, které slouží k zobrazování textových a grafických informací. Jeho podstatnou součástí je především **elektrooptický měnič**, který převádí elektrické signály generované **řadičem displeje** do oblasti viditelného záření. Od běžných televizních přijímačů, které tvarem připomíná, se liší více, než by se na první pohled zdálo. Má totiž většinou vyšší rozlišovací schopnost, tedy jemnější grafiku, než naše současná televizní norma (625 řádků). I požadavky na linearitu vychylování jsou u displejů vyšší, takže obvykle nemívají volně běžící analogové rozkladové obvody jako TV přijímače. Naproti tomu displeje neobsahují demodulační vysokofrekvenční obvody. Elektrooptický měnič s elektronickými obvody, ale bez řadiče, bývá zabudován do jediného konstrukčního celku, který se nazývá **monitor** (obr. 11.1). Pro zobrazování informace se v monitorech mikropočítačů IBM PC používá rastrový způsob vytváření obrazu.



Obr. 11.1 Blokové schéma displeje

Hlavními částmi adaptéru displeje jsou zobrazovací řadič, obrazová paměť a obvody rozhraní. Obrazová paměť (VIDEO RAM) obsahuje informaci o modulaci všech obrazových bodů elektrooptického měniče. Protože většina měničů vyžaduje obnovování, řadič tuto paměť periodicky čte a během jedné obnovovací periody se zobrazí všechny detaily obrazu. Způsob čtení této paměti a zpracování přečtené informace se liší podle jednotlivých druhů displejů.

Zobrazovací řadič prostřednictvím svého řadiče obrazové paměti generuje adresu obrazové paměti, a to jak při zápisu, tak i při periodickém obnovování. V prvním případě odvozuje adresu z informací z nadřazeného mikropočítače, ve druhém na základě synchronizačních signálů generovaných zdrojem synchronizační frekvence.

Adaptér obsahuje dvě skupiny obvodů rozhraní: na straně k systémové sběrnici řídí spolupráci při nahrávání obrazové paměti a při předávání stavové informace, na straně k monitoru převádějí přečtená data na jednotlivé složky jasové modulace, případně vytváří požadovaný formát videosignálu. Některé v současné době používané standardy uvádíme v odst. 12.6.

Systémová deska modelů XT a AT obrazový adaptér neobsahuje. To uživateli umožňuje, aby si podle aplikace a finančních možností sám vybral vhodný adaptér a sám si provedl i instalaci, jelikož je snadná.

11.1 Vývoj obrazových podsystémů PC

Pro první modely osobních počítačů připravila firma IBM adaptéry dva. Typ **MDA** (Monochrome Display Adapter) byl monochromatický a zobrazoval jen alfanumerickou informaci ve formátu 25 řádků po 80 znacích. I přesto však byl uživateli oblíben, protože jeho rozlišení (720 x 350 bodů) zajišťovalo velmi dobrou čitelnost při zpracovávání textů. Výhodou druhého typu **CGA** (Color Graphics Adapter) byly zase dva režimy činnosti - alfanumerický i grafický. Mohl spolupracovat i s běžným televizním přijímačem, protože měl dvě rozhraní pro monitor. Kromě oddělených výstupů pro červenou (R), zelenou (G) a modrou (B) barvu měl i výstup s úplným televizním signálem (composite video). Právě požadavek na spolupráci s televizorem však omezil jeho

rozlišovací schopnost na 640 x 200 bodů, což snížilo čitelnost textu. Bodová mřížka pro jeden znak v alfanumerickém režimu byla u CGA jen 8 x 8 bodů, zatímco u MDA 9 x 14 bodů. Někteří uživatelé proto provozovali své první osobní počítače s oběma adaptéry zároveň.

Velmi brzy se ukázalo, že uživatel v některých aplikacích preferuje barevný výstup, v jiných však zase ostré a dobře čitelné znaky. Dva monitory byly z prostorových důvodů neúnosné, avšak signály rozhraní těchto monitorů nebyly kompatibilní. Z této situace vytěžila malá firma Hercules, která nabídla adaptér typu **HGC** (Hercules Graphics Card). Na jediném monochromatickém monitoru se mohla současně zobrazovat grafika i alfanumerický text s rozlišením 720 x 350 bodů, avšak možný byl pouze monochromatický (obvykle zelený) obraz. Právě schopnost grafického výstupu současně s dobře čitelným textem mnoha uživatelům vyhovovala a za příznivou cenu byli ochotni oželet barvu. Tento adaptér se na počítačovém trhu prosadil i proto, že jej podpořilo mnoho firem produkujících programové vybavení.

Adaptér typu **HGC+** (Hercules Graphics Card Plus), který byl na trhu od roku 1986, rozšířil možnosti o uživatelsky definovatelný znakový generátor. Předchozí adaptéry totiž pracovaly s pevným generátorem v paměti ROM, a to vadilo v textově orientovaných aplikacích v těch národních abecedách, které nemají podporu BIOSu. Grafické vykreslování znaků je sice možné, ale v praxi je příliš zdlouhavé, aplikaci zpomalující.

Adaptér **InColor** (Hercules InColor Card), zavedený v roce 1987 byl, šestnáctibarevnou verzí HGC+. Proto byla i jeho rozlišovací schopnost stejná. Firmě IBM se však podařilo získat ztracenou iniciativu zavedením EGA, a tak se tento typ adaptéru, přestože má vyšší rozlišení, už nerozšířil tolik, jako jeho předchůdci.

Na požadavek dokonalejšího rozlišení odpověděla IBM až v roce 1985 typem adaptéru **EGA** (Enhanced Graphics Adapter). Emuluje oba předchozí firemní typy a navíc pracuje i s rozlišením 640 x 350 bodů v šestnácti barvách. Ačkoli jeho rozlišení není o mnoho vyšší než CGA, jak text, tak i grafika jsou na jeho monitoru mnohem ostřejší. Podporován je mnoha programy a to způsobilo, že se stal de facto průmyslovým standardem. Dřívější příklad firmy Hercules inspiroval i jiné menší výrobce, a tak jsou na trhu dostupné levné napodobeniny EGA v široké škále.

S nástupem řady PS/2 došlo k výrazné změně v umístění obrazového adaptéru, který se stal součástí systémové desky. Kromě jiného se tím podstatně zvýšila rychlost obrazového podsystému. Nižší modely, např. 25 a 30, se vybavovaly typem adaptéru **MCGA** (Multi-Color Graphics Array). Jeho rozlišení je vyšší (640 x 480 bodů), větší jsou i jeho barevné možnosti, ale jinak se velmi podobá CGA. Jiný je však způsob připojení monitoru. Zatímco je u všech předchozích typů rozhraní s napěťovými úrovněmi TTL, zde má monitor vstupy jednotlivých RGB složek analogové. Tím je výsledný obraz mnohem barevnější. Tvoří ho totiž až 256 barev ze škály 262 144 možných barev. Je-li k němu připojen monochromatický analogový monitor, má výsledný obraz 64 odstínů šedi.

Vyšší modely řady PS/2, počínaje modelem 50, mají na systémové desce nový typ adaptéru **VGA** (Video Graphics Array). I ten už má monitor s analogovým rozhraním, stejný jako typ předchozí. Jeho rozlišovací schopnost v grafickém režimu je 640 x 480 bodů, v alfanumerickém dokonce 720 x 400 bodů. Mnoho výrobců přišlo velmi brzy se širokou nabídkou VGA adaptérů na deskách kompatibilních se sběrnicí modelu XT i se sběrnicí ISA, takže se VGA stal i standardem šestnáctibitových modelů. Stále dostupnější jsou i tzv. **SVGA** (Super VGA) adaptéry s rozlišením 800 x 600 bodů. Barevná škála těchto adaptérů je při uvedeném rozlišení 16 barev ze 2^{18} možných. Při nižším rozlišení (640 x 200 bodů) se však může obraz skládat až ze 256 barev.

V roce 1987 ohlásila firma IBM nový typ adaptéru, označený jako **8514/A**, s rozlišením 1024 x 768 bodů při 256 barvách. Zdá se však, že s ním nemá velký úspěch a pomalu, ale jistě se na něj zapomíná. Tento typ však přinesl do obrazových adaptérů zcela nový trend - vektorový popis obrazu a grafický procesor k jeho převodu na rastrovou formu.

Musíme si uvědomit, že všechny uvedené typy adaptérů podporují rastrově pracující monitory, a to znamená (zejména v grafickém režimu), že obrazová RAM paměť obsahuje úplný obraz složený z nul a jedniček. Tento obraz tvořený elementárními obrazovými částmi (tzv. pixely) zobrazovací procesor adaptéru neustále čte a vysílá k monitoru, a tím obraz na stínítku obnovuje. Pixelový obraz však bod po bodu a barvu po barvě vytvořil a do obrazové paměti zapsal hlavní procesor osobního počítače. Grafická podpora obrazových adaptérů včetně VGA je při tomto výpočtu nepatrná. Čím vyšší je rozlišení

a barevná škála obrazu, tím více času ztratí procesor na jeho vytvoření a samotná aplikace se prodlužuje. Nový trend spočívá ve vybavení obrazového podsystému specializovaným procesorem, který odlehčí hlavnímu procesoru při převodu souboru příkazů kreslicího souboru (ten je ve vektorové formě nejméně rozsáhlý) na rastrovou, tedy pixelovou formu. V rámci tohoto výpočetního procesu se provádí interpolace úseček, kruhových a eliptických oblouků, interpolace splinovými funkcemi, ale i vyplňování oblastí, ZOOMing, okna, atd.

Neúspěch tohoto adaptéru zřejmě způsobilo utajování implementace jeho technických prostředků. Všichni uživatelé byli odkázáni na programové rozhraní mezi procesorem a adaptérem definovaném jako AI (Adapter Interface). Toto rozhraní však bylo registrově orientováno a jeho jen jednoduché možnosti programování rychlosti příliš neprospěly.

Největší výrobce součástek, firma TI (Texas Instruments), nabídla pro obrazové podsystémy specializované dvatřicetibitové grafické procesory TI 34010 a 34020, které, soudě podle jejich frekvence používání v konkrétních adaptérech, jsou ze všech grafických procesorů nejúspěšnější. Konkurencí jim přitom jsou grafické procesory INTEL 82 786 a HITACHI 63 484. Úspěch grafických procesorů TI zřejmě největší měrou ovlivnil fakt, že jsou volně programovatelné, že existuje dobře definované aplikační SW rozhraní **TIGA** (Texas Instruments Graphics Architecture) a že se dodává programovací prostředek TIGA-DDK (Driver Development Kit), který usnadňuje začlenění adaptéru s tímto grafickým procesorem do stávajícího nebo i vznikajícího programového vybavení. Programy se pro tento grafický procesor píšou v jazyce C nebo assembleru.

Adaptéry typu TIGA mívají rozlišení 1280 x 1024 bodů a vyšší a minimálně 256 barev. Adaptéry tohoto typu se dodávají od roku 1989.

Nejvýkonnější modely řady PS/2 (model 80, 90) vybavuje firma IBM od roku 1990 novým typem adaptéru **XGA** s rozlišením 1024 x 768 bodů a rozsáhlou barevnou škálou 65 536 barev.

11.2 Obrazový adaptér EGA/VGA

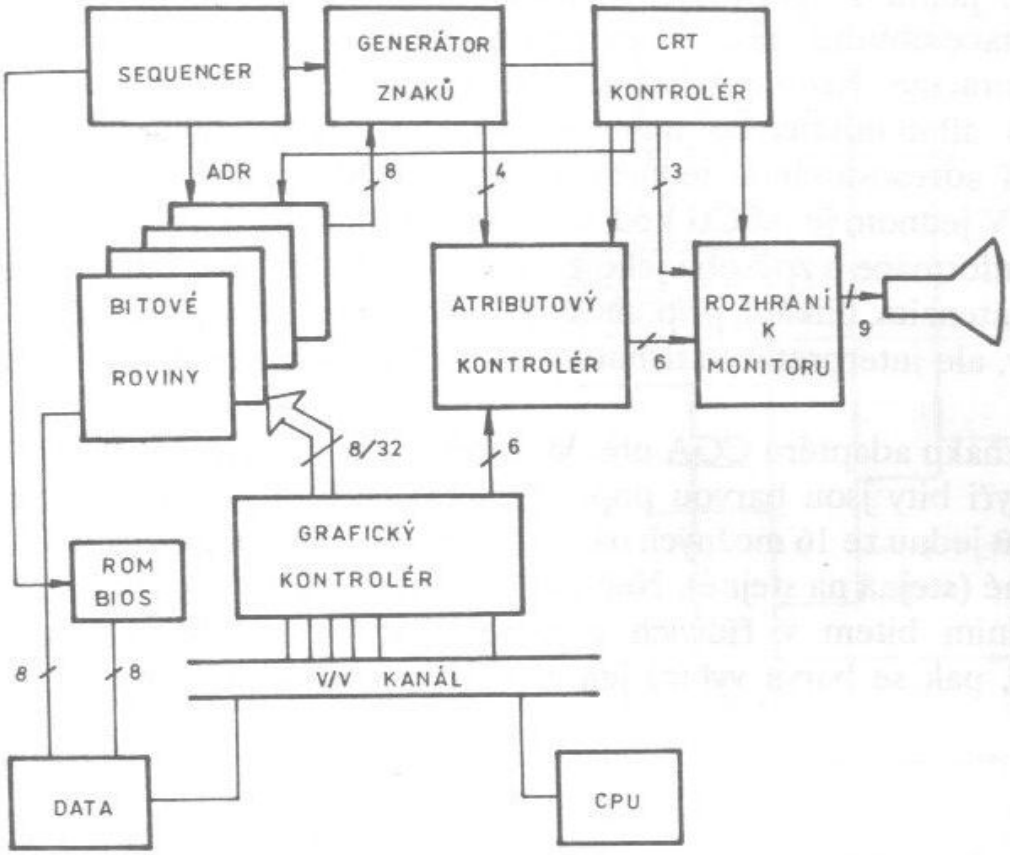
Vzhledem k tomu, že dnešním průmyslovým standardem obrazových adaptérů jsou VGA, resp. EGA, budeme se dále věnovat pouze jim. Ačkoli se liší rozhraním pro připojení monitoru a rozlišovací schopností, vnitřní strukturou jsou si velmi podobné.

Řadič těchto adaptérů tvoří čtyři hlavní bloky:

- CRT kontrolér, jehož hlavní funkcí je synchronizace monitoru, podpora kurzoru a (pouze u EGA) i podpora světelného pera
- SEQUENCER, který v závislosti na video režimu adresuje obrazovou paměť
- ATRIBUTOVÝ kontrolér podporující vytváření barev a ČA převodníky
- GRAFICKÝ kontrolér řídící přenos dat mezi mikroprocesorem, obrazovou pamětí a atributovým kontrolérem

Skupinové schéma VGA/EGA adaptéru je na obr. 11.2. Barevným adaptérům je u IBM PC XT/AT přiřazen interval V/V adres 3D0H - 3DFH a využívají se ještě některé adresy z rezervního intervalu 3C0H - 3CFH. I tak však počet vyhrazených adres nestačí; programový model EGA adaptéru obsahuje 63 registrů, VGA jich potřebuje ještě více. V obrazových adaptérech se tedy adresuje dvouúrovňově, jak jsme popsali v kapitole 8. Každému z výše uvedených hlavních bloků řadiče přísluší (nejméně) dvě adresy: Jedna je adresou brány, do které se nahrává hodnota tzv. indexu, vlastně adresy 2. řádu ovládající vnitřní multiplexor. Druhá je adresou pro zápis hodnot do indexem určeného konkrétního registru. Hodnoty obsazených adres uvádí tab. 11.1.

Činnost CRT kontroléru spočívá zejména v periodickém obnovování obrazu, neboť luminofor stínítka pohasíná. Obnovovací frekvence bývá 50 - 70 Hz, standard dnešních špičkových adaptérů je 72 Hz. Obraz se vytváří postupně po mikrořádcích zleva doprava a shora dolů, podobně jako v televizním přijímači. Rozdíl je jen v tom, že monitory počítačů nepoužívají prokládání řádků, takže jeden snímek se tvoří najednou, nikoli nadvakrát ze dvou půlsnímků. Informaci pro zobrazování čte CRT kontrolér z obrazové paměti.



Obr. 11.2 Skupinové schéma adaptéru EGA/VGA

Adresa	Význam
3D4H	Adresový registr CRT kontroléru (index)
3D5H	27 datových registrů CRT kontroléru
3CCH	Registry grafického kontroléru
3CEH	Adresový registr grafického kontroléru
3CFH	9 dat. registrů grafického kontroléru
3C4H	Adresový registr sequenceru
3C5H	5 datových registrů sequenceru
3C0H	Adres. registr atributového kontroléru
3C0H	Datové registry atributového kontroléru

Tab. 11.1 Obsazení V/V adres VGA/EGA adaptéru

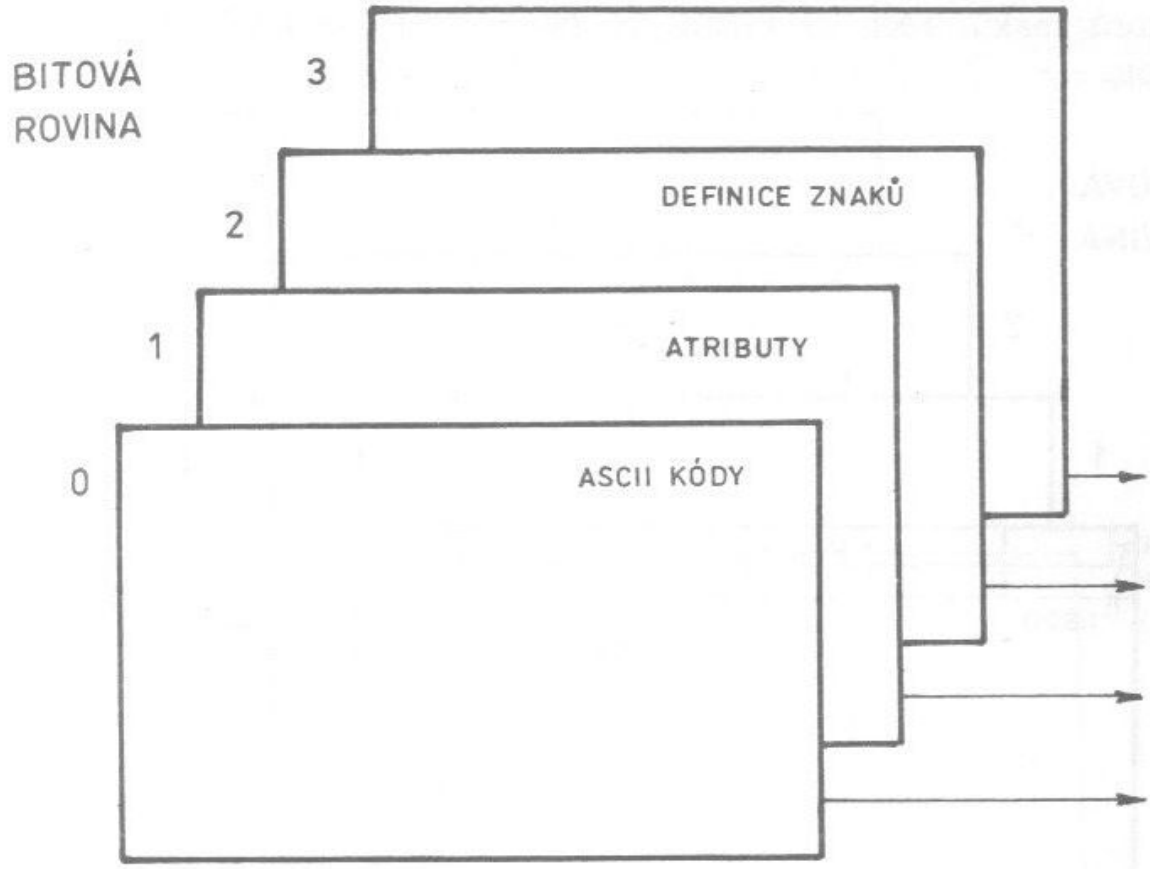
Adresu aktuálně čtené buňky udává čítač v sequenceru čítající stejnou rychlostí, jakou se pohybuje paprsek po obrazovém řádku zleva doprava. Interpretace obsahu obrazové paměti záleží na typu adaptéru i na režimu, ve kterém pracuje. Kromě MDA mohou všechny obrazové adaptéry pracovat v režimu alfanumerickém nebo grafickém. V alfanumerickém režimu je nejmenší adresovatelnou jednotkou znak. Každý je přitom uložen ve dvou bajtech. V jednom je ASCII kód znaku, ve druhém jeho atribut. Atributem se rozumí informace o způsobu jeho zobrazování, tj. udává se barva znaku, barva pozadí, intenzita, blikání, příp. další. Schéma kód-atribut je stejné pro všechny adaptéry, ale interpretace atributu se pro různé adaptéry liší.

Atribut znaku adaptéru CGA obsahuje informaci o barvách přímo (obr. 11.3). Dolní čtyři bity jsou barvou popředí, horní čtyři bity barvou pozadí. Obojí může mít jednu ze 16 možných barev, ale některé kombinace jsou samozřejmě nesmyslné (stejná na stejné). Nejvyšší bit pozadí může však mít i jiný význam. Je-li jedním bitem v řídicích registrech povoleno blikání (implicitní po RESET), pak se barva vybírá jen z osmi kombinací a 1 znamená blikající znak.

BL	R	G	B	I	R	G	B

POZADÍ		POPŘEDÍ	
BARVA	**KÓD**	**BARVA**	**KÓD**
červená	00	šedá	08
modrá	01	světle modrá	09
zelená	02	světle zelená	0A
azurová	03	světle azurová	0B
fialová	04	světle fialová	0C
nachová	05	světle nachová	0D
hnědá	06	žlutá	0E
bílá	07	zvýrazněná bílá	0F

Obr. 11.3 Atribut znaku v adaptéru CGA; ve vyšších typech adaptérů je formát stejný, jen výsledné barvy mohou být jiné

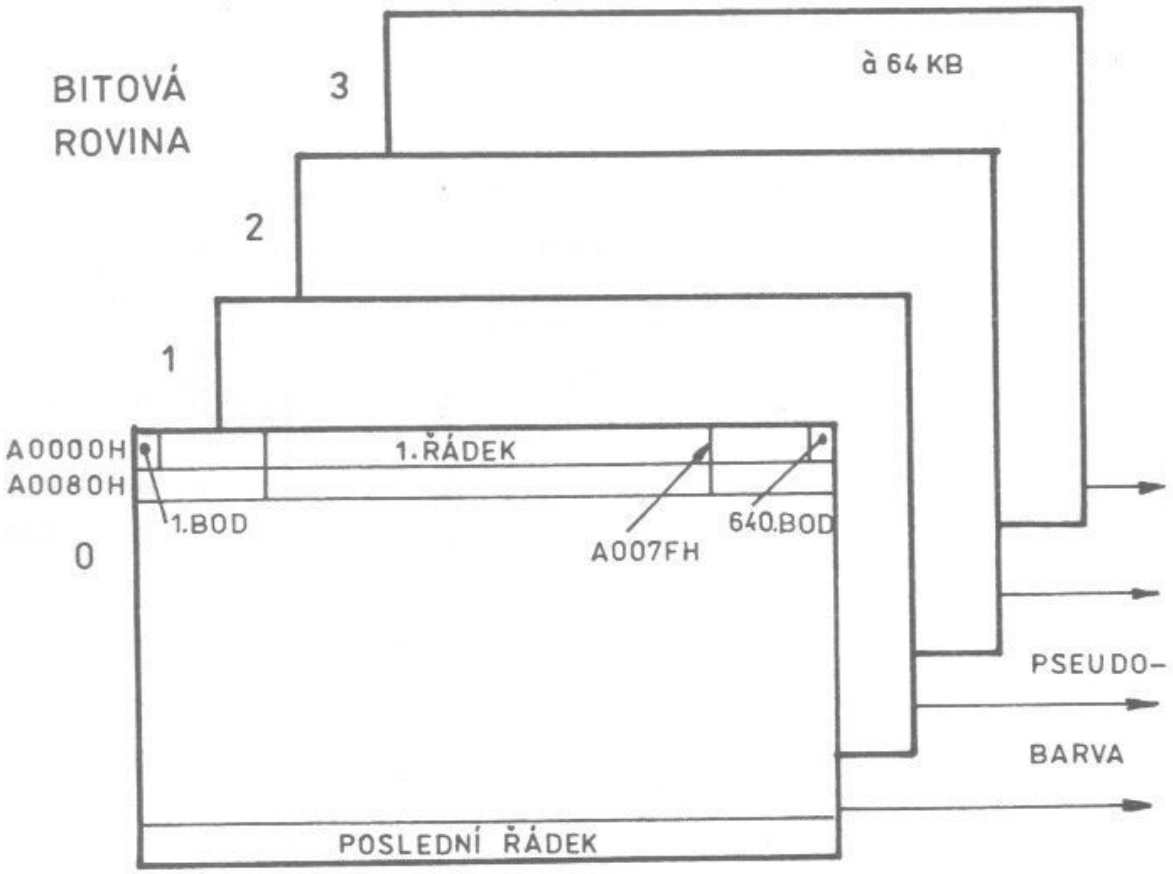


Obr. 11.4 Bitové roviny adaptérů EGA/VGA v alfanumerickém režimu

Adaptér EGA interpretuje atribut znaku stejně, avšak čtyřbitové kódy barev popředí a pozadí výsledným barvám neodpovídají. Kód barvy v atributu jen adresuje jeden ze 16 registrů barevné palety. Množina současně zobrazitelných barev se nazývá **barevná paleta**. Registry barvy palety jsou nastavitelné; lze to provést přímo zápisem, nebo pomocí obrazové služby ROM-BIOS. Implicitně jsou nastaveny kódy barev odpovídající CGA.

I adaptér VGA pracuje s atributy podobně. Vzhledem k tomu, že je jeho součástí i ČA převodník, jsou jeho barevné možnosti větší. Lze například naprogramovat místo blikání postupnou změnu barvy písmen. Obecně je platné jen to, že dolní čtveřice bitů určuje vlastnosti popředí a horní čtveřice udává vlastnosti pozadí. V tomto režimu mívají adaptéry obvykle více obrazové paměti, než je potřeba pro uložení informací zobrazitelných na jedné obrazovce. Obrazová paměť proto obsahuje i více stránek - obrazovek. Přepínání mezi aktuálně zobrazovanými stránkami je pak velmi jednoduché

a rychlé. Místo je obvykle i pro umístění uživatelem definovatelných generátorů znaků. Těch lze využít pro zavedení znakových řezů s národní abecedou.

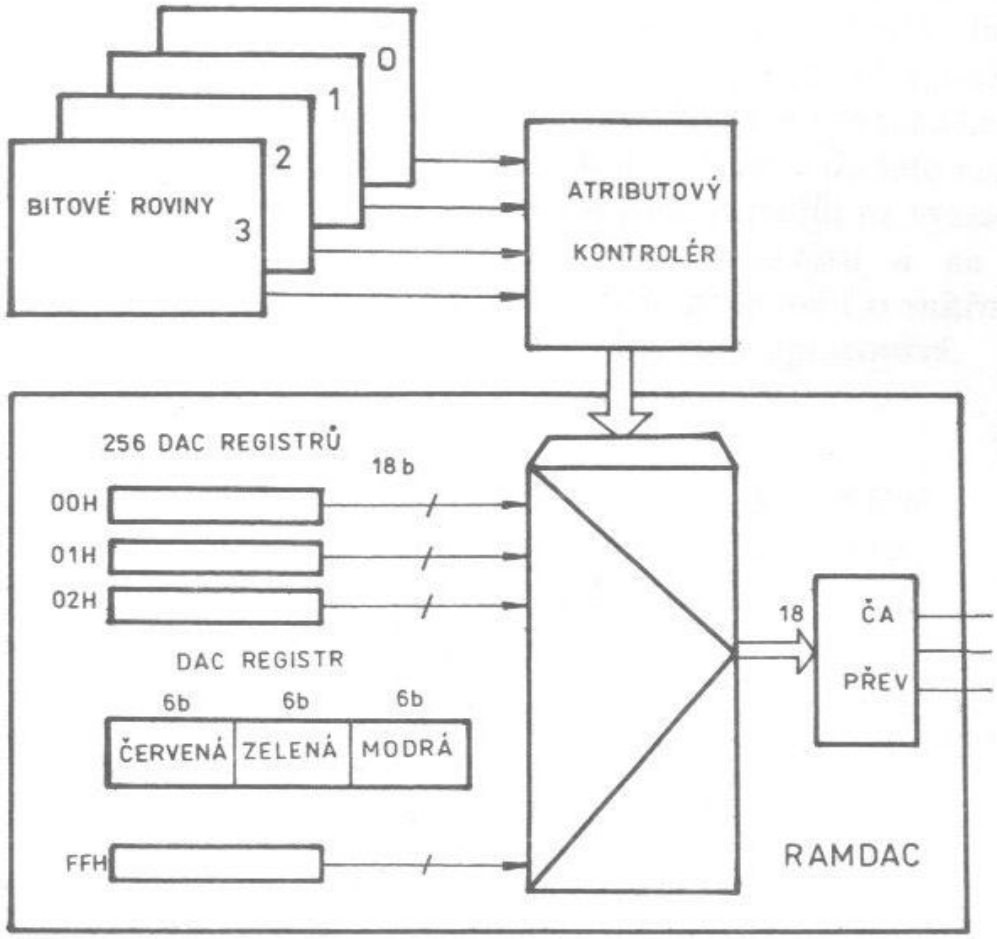


Obr. 11.5 Bitové roviny adaptérů EGA/VGA v grafickém režimu

Obrazová paměť adaptérů EGA a VGA má podobu čtyř stínových rovin stejné velikosti (obr. 11.3). Sudé adresy (kódy znaků) jsou v rovině 0 a liché adresy (atributy) jsou v alfanumerickém režimu v rovině 1. Rovina 2 je k dispozici pro generátor znaků.

V grafickém režimu těchto adaptérů záleží na tom, jak velká paměť je skutečně obsazena. Budeme-li předpokládat nejméně 256 KB (a to je dnes obvyklé), pak je při už popsaném jejím rozdělení na čtyři stínové roviny interpretace následující (obr. 11.4). Každý pixel je reprezentován čtveřicí stejnolehlých bitů a každý z bitů je přitom uložen v jiné rovině. O jednotlivých rovinách mluvíme jako o rovinách barevných (IRGB), ale výsledná skutečná barva jimi ještě určena není. Čtveřice těchto bitů udává jen číslo registru barvy palety, který pak teprve obsahuje kód zobrazované barvy. Principiálně ukazuje

zpracování pseudobarevné informace přečtené z obrazové paměti atributovým kontrolérem a ČA převodníkem s RAM pamětí obrazové palety (RAMDAC) obr. 11.5. Paměťové buňky palety (registry RAMDAC) jsou osmnáctibitové.

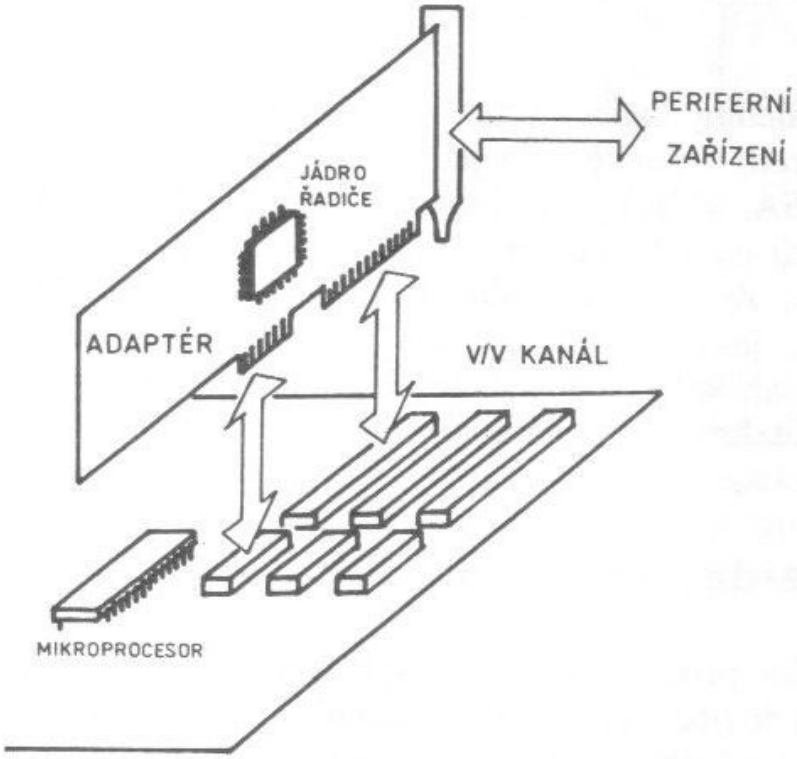


Obr. 11.6 Zpracování pseudobarevné informace z bitových rovin u VGA

Adresování jednotlivých pixelů v obrazové paměti procesoru je dosti komplikované, protože jednotlivé barevné roviny leží za sebou a adresovaná informace je vlastně dvaatřicetibitová. Proto spolu s procesorem spolupracuje při čtení nebo zápisu do obrazové paměti grafický kontrolér. Má celkem čtyři režimy činnosti při zápisu do obrazové paměti a dva režimy při čtení. Programování jednotlivých pixelů využívají metody pro kreslení grafiky. Případnému zájemci o tuto problematiku doporučujeme literaturu [15] nebo [16] s upozorněním, že ho čeká sice zpočátku zajímavá, avšak velmi namáhavá práce.

12. Standardní rozhraní

Dříve, než se jako uživatel rozhodnete pro návrh a realizaci speciálního adaptéru, ujistěte se, zda nelze použít některé z rozhraní standardních. K počítačům třídy IBM PC XT/AT je k dispozici ohromné množství přídavných desek s nejrůznějšími adaptéry a dodávají se v mnoha kombinacích. Abychom usnadnili vaše rozhodování, soustředili jsme do této kapitoly řadu nejběžnějších standardů. Hlavní pozornost jsme zaměřili na výklad významu jednotlivých signálů a jejich rozložení na konektoru a na vysvětlení přenosového protokolu. Ve většině případů se zmíníme i o vnitřní struktuře adaptéru, který signály tohoto rozhraní vyrábí, resp. zpracovává.



Obr 12.1 Adaptér jako mezičlánek mezi periferiferií a mikroprocesorem

Úkolem adaptéru (obr. 12.1) je přizpůsobit signály V/V kanálu konkrétnímu perifernímu zařízení, resp. jeho rozhraní. Prakticky každý druh zařízení vyžaduje, vzhledem ke své podstatě, jiné rozhraní a tak je škála adaptérů velmi široká. Prakticky jedinou výjimkou je sériové rozhraní RS 232 C, ke

kterému se připojuje několik typů zařízení, jako např. modem (včetně nulového), některé tiskárny, myš apod. Toto pravidlo však platí i obráceně. Znamená to, že pro jeden typ zařízení existuje několik různých adaptérů. Příkladem je třeba již zmíněná tiskárna, která se kromě k RS 232 C ještě častěji připojuje k rozhraní CENTRONICS. Pro disk jsou dokonce nejčastější tři rozhraní, ST 506, IDE (též AT bus) nebo SCSI.

Druhým úkolem adaptéru je řízení periferního zařízení; adaptér funguje jako jeho řadič. Velmi záleží na inteligenci vestavěné do konkrétního provedení určitého typu periferie. Čím je složitější, tím je schopnější funkgovat autonomně a povely řadiče mají obecnější charakter. Čím je naopak jednodušší, tím konkrétnější řízení vyžaduje a adaptér je speciálnější, jednoúčelový. Konkrétní příklady uvedeme například v kapitole o diskovém rozhraní.

Stejný je i vzájemný logický vztah mezi řídicí funkcí adaptéru a samotným mikroprocesorem. Fyzické připojení je v tomto případě dáno sběrnicí (PC BUS, ISA, EISA, MCA). Čím složitější je jeho vnitřní struktura, tím spíše je schopen převzít na sebe některé funkce mikroprocesoru a stává se tak jeho akcelerátorem. Za příklad poslouží grafická výstupní zařízení. Je výrazný rozdíl v tom, je-li adaptér grafického rastrového displeje schopen jen zobrazovat obsah VIDEO RAM, nebo samostatně interpretovat pokyny typu nakresli úsečku, kruhový oblouk nebo vybarvi polygon.

12.1 Standardní rozhraní RS 232 C

Nejjednodušším prostředkem pro styk osobního mikropočítače třídy PC XT/AT s jiným počítačem nebo zařízením s obousměrnou komunikací je rozhraní označené podle americké nomenklatury RS 232 C. Jeho evropskou obdobou je sériové rozhraní V.24 provozované s elektrickými parametry podle doporučení V.28.

Spojíme-li dvě místa dvoubodovým datovým spojem a bude-li se přenos dat mezi těmito body vést sériově, tzn. budou-li se jednotlivé informační elementy informační jednotky přenášet postupně, pak hovoříme o **sériovém datovém**

označení vývodu		Konektor CANNON		Varianta		
v.24	RS 232 C	9 kolíků	25 kolíků	malá	střední	velká
101	FG	-	1	*	*	*
102	SG	5	7	*	*	*
103	TD	3	2	*	*	*
104	RD	2	3	*	*	*
105	RTS	7	4		*	*
106	CTS	8	5		*	*
107	DSR	6	6		*	*
108*	DTR	4	20		*	*
109	DCD	1	8		*	*
114	TC	-	15			*
115	RC	-	17			*
118	STD	-	14			*
119	SRD	-	16			*
120	SRTS	-	19			*
121	SCTS	-	13			*
122	SDCD	-	12			*
125	RI	9	22		*	*

Tab.12.1 Rozložení signálů rozhraní RS 232 C na konektoru a varianty

okruhu (obr.12.2). Datový spoj se skládá z **koncových zařízení** přenosu dat (KZD). Stanice A a B si navzájem data vyměňují pomocí **datového okruhu**. Datový okruh tvoří **přenosový okruh** se dvěma **ukončujícími zařízeními** přenosu dat (UZD). Odlehlost míst A a B nepřímo určuje typ ukončujícího

Obr. 12.2 Sériový datový okruh

zařízení a druh přenosového okruhu. Pro velmi malé vzdálenosti (do 15 m) lze datový okruh vynechat a obě koncová zařízení spojit přímo (nulový modem). Mechanické provedení rozhraní používá konektor CANNON s 25 špičkami, v modifikaci CANNON s 9 špičkami. Koncové zařízení KZD má konektor se špičkami, ukončující zařízení UZD konektor s dutinkami. Rozložení signálů na špičkách konektoru a jejich význam uvádí obr.12.3.

V praxi se obvykle nepoužívají všechny signály tohoto rozhraní. Rozlišuje se totiž malá, střední a velká skupina obvodů rozhraní. Všechny mohou zajišťovat přenos obousměrný, ale i jednosměrný střídavý, anebo jen jednosměrný. Vzájemně se liší počtem použitých signálů a hlavně využitím vedlejšího sériového kanálu. Při čtení následujících odstavců sledujte též tab. 12.1.

Malá varianta sériového rozhraní RS 232 C umožňuje jednokanálový asynchronní přenos dat. Neumožňuje však zjistit stav zařízení a nemůže technickými prostředky zajistit kvitování. To se provádí jen programově, na úrovni opakování přenesených znaků, nebo potvrzení vybraným znakem. Používá se většinou k jednosměrnému nebo střídavému přenosu, a to v nejjednoduších aplikacích při propojení mezi dvěma koncovými zařízeními.

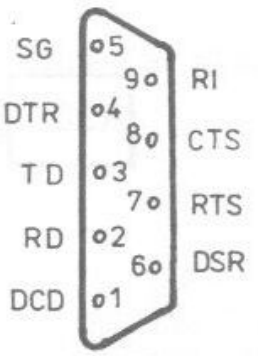
Nejčastěji se toto rozhraní užívá ve střední variantě. Ta je vhodná pro jednokanálový synchronní nebo asynchronní přenos dat. Má prostředky pro zjištění stavu přenosu i ke kvitování. Používá se pro spojení na větší vzdálenosti s modemem i na krátké vzdálenosti přímo mezi dvěma koncovými zařízeními.

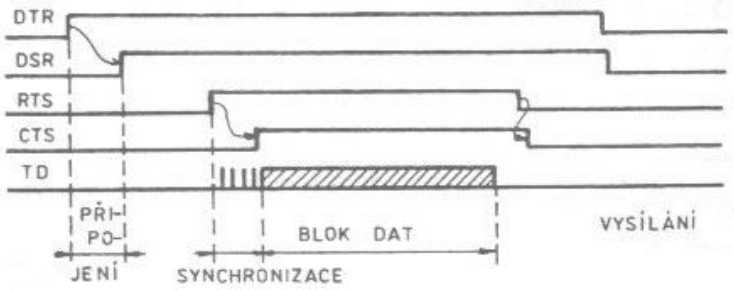
Velká varianta sériového rozhraní RS 232 C má všechny možnosti dané tímto standardním rozhraním a používá ji koncové zařízení typu komunikační procesor pracující s pevným komunikačním protokolem.

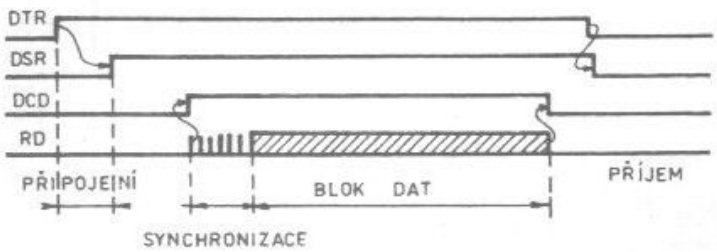
Standardní aplikace sériového rozhraní vychází z výše uvedených doporučení a norem a její nejtypičtější variantu uvádí obr. 12.4. Počet žil kabelů je závislý na použité skupině obvodů. Pro nejběžnější střední skupinu je kabel dvanáctižilový se stíněním. Písmeny K a D u konektoru vyznačujeme, zda je s dutinkami nebo kolíky. Kabel může být složen z několika dílů, ale jeho délka nemá přesáhnout 15 m.

Označení vývodu		Význam
FG	Frame Ground	- ochranná zem
SG	Signal Ground	- signálová zem
TD	Transmit Data	- vysílaná data
RD	Receive Data	- přijímaná data
STD	Secondary Transmitted Data	- data vysílaná vedlejším kanálem
SRD	Secondary Received Data	data přijímaná z vedlejšího kanálu
RTS	Request to Send	- výzva k vysílání
CTS	Clear to Send	- pohotovost k vysílání
DSR	Data Set Ready	- pohotovost ukončujícího zařízení
DTR	Data Terminal Ready	- pohotovost koncového zařízení
DCD	Data Carrier Detect	- detektor nosného signálu
SRTS	Secondary Request to Send	- výzva k vysílání vedlejšího kanálu
SCTS	Secondary Clear to Send	- pohotovost k vysílání vedlejšího kanálu
SDCD	Secondary Data Carrier Detect	- detektor nosného signálu vedlejšího kanálu
RI	Ring Indicator	- indikátor volání
TC	Transmitted Clock	- vysílací časová základna
RC	Received Clock	- přijímací časová základna

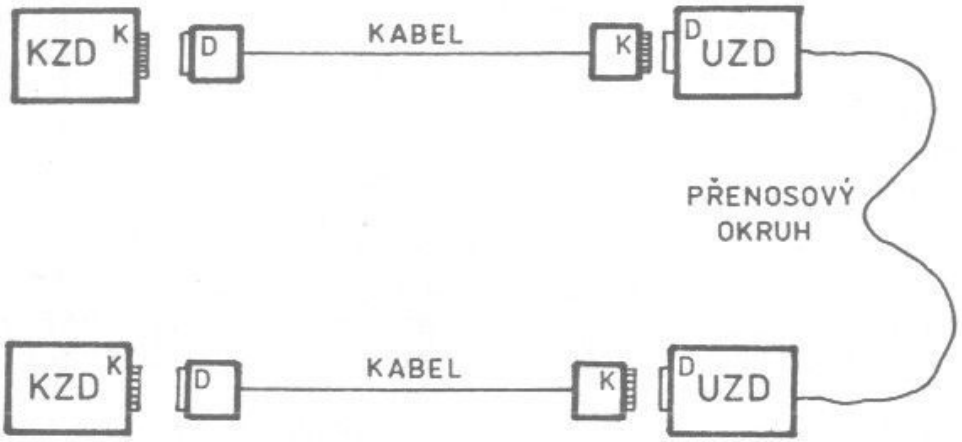
Špičky







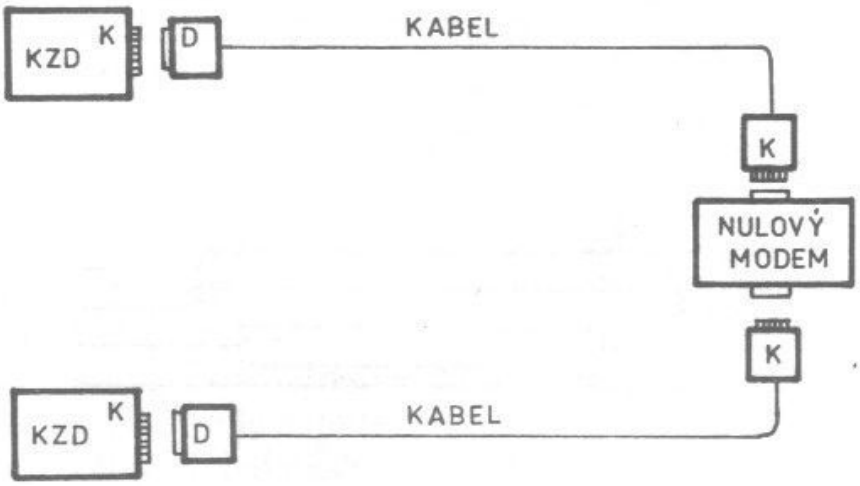
Obr. 12.3 Význam signálů a výkres konektoru rozhraní RS 232 C



Obr. 12.4 Standardní provedení sériového rozhranní

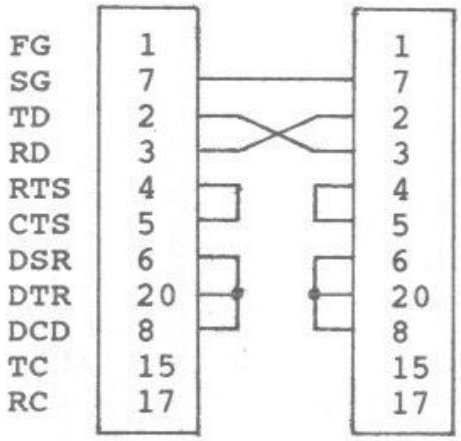
Při jeho počítačové aplikaci musíme nejprve stanovit charakter (KZD,UZD) zařízení. Řídíme se zásadou, že zařízení, které přijímá nebo vysílá data přenosu, je zařízením **typu KZD**. Zařízení, které podle dat mění parametry signálů přenášených přenosovým okruhem, je zařízením **typu UZD**. Charakteru zařízení musí vyhovovat druh konektoru (dutinky, kolíky).

Protože většina počítačových aplikací sériového rozhraní vystačí s propojovacím kabelem do 15 m délky, je zbytečné sestavovat celý datový okruh. Obě zařízení je možno spojit přímo - opět standardními kabely a tzv. nulovým modemem. Ten adaptuje datové a řídicí obvody mezi dvěma KZD (viz obr. 12.5).

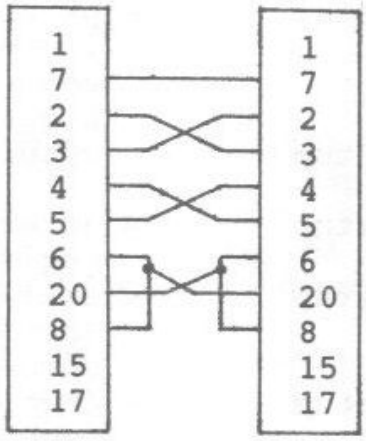


Obr. 12.5 Realizace přímého propojení zařízení typu KZD-KZD

Nulový modem má dvě základní provedení. Třídrátové zapojení ukazuje obr. 12.6, úplné zapojení je pak na obr. 12.7.



Obr. 12.6 Třídrátový nulový modem



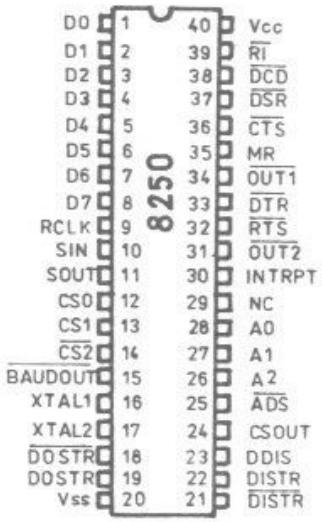
Obr. 12.7 Úplný nulový modem

Základním stavebním kamenem adaptéru sériového rozhraní je obvod 8250. Tento UART (Universal Asynchronous Receiver Transmitter) zajišťuje základní funkce asynchronního komunikačního obvodu, jako jsou serializace a deserializace dat, doplnění datových bitů o asynchronní rámec (start bit, příslušný počet stop bitů a eventuální paritní bit). Význam signálů a jejich rozložení uvádí obr. 12.8.

Obvod obsahuje celkem deset osmibitových uživateli přístupných registrů. Některé z nich jsou určeny pouze pro zápis, jiné pouze pro čtení. Zápisem hodnoty do řídicích registrů může uživatel konfigurovat obvod podle konkrétních požadavků aplikace (počet přenášených bitů, počet stop bitů, povolení parity, nastavení přenosové rychlosti, povolení přerušovacího zdroje). Čtením stavových registrů zase zjišťuje aktuální stav přenosu (stav linky, případné chyby, stav modemu). Přehled o významu jednotlivých bitů v registrech uvádí obr. 12.9.

Operační systém počítačů PC XT/AT umožňuje bez dalších programových a technických zásahů využít dvou sériových rozhraní, kterým jsou přiřazena logická jména COM1 (AUX) a COM2. Technické prostředky jsou zapojeny takto:

Označení vývodu		Význam
D0 - D7	obousměrné	- datová sběrnice
MR	vstup	- nulování obvodu
XTAL1,2	vstup	- připojení krystalového rezonátoru nebo hodinového signálu
CS0, CS1, $\overline{CS2}$	vstup	- výběr obvodu
A0 - A2	vstup	- adresace vnitřních registrů obvodu
$\overline{ADS}$	vstup	- aktivní úroveň L značí platnou adresu
DISTR, $\overline{DISTR}$	vstup	- čtení dat nebo stavového slova
DOSTR, $\overline{DOSTR}$	vstup	- zápis dat nebo stavového slova
CSOUT	výstup	- indikace výběru obvodu
DDIS	výstup	- indikace čtení dat
$\overline{DSR}$	vstup	- indikace připravenosti k provozu
$\overline{CTS}$	vstup	- připravenost k vysílání
$\overline{RESD}$	vstup	- data přijata
$\overline{RI}$	vstup	- předcházející volání
$\overline{DTR}$	výstup	- koncové zařízení připraveno
$\overline{RTS}$	výstup	- pohotovost k vysílání
OUT1, OUT2	výstup	- programovatelné výstupy
SOUT	výstup	- sériový výstup dat
BAUDOUT	výstup	- hodinová frekvence vysílaných dat
SIN	vstup	- sériový vstup dat
RCLR	vstup	- hodiny vstupního signálu
INTRPT	výstup	- žádost o přerušení



Obr. 12.8 Rozložení a význam signálů obvodu 8250

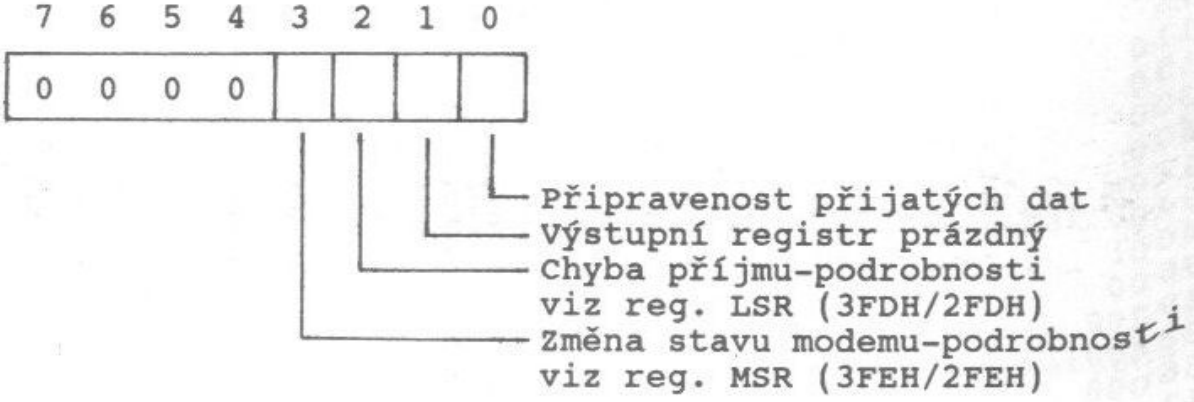
sériové rozhraní	Přerušovací vstup	Typ přerušení	Bázová adresa
COM1	IRQ4	0CH	3F8H
COM2	IRQ3	0BH	2F8H

COM1	COM2	DLAB	Význam vnitřních registrů při čtení	zápisu
3F8H	2F8H	0	Přijatá data	Vyslaná data
3F8H	2F8H	1	Dělitel hodinové frekvence(LSB)	
3F9H	2F9H	0	Maska přerušení	
3F9H	2F9H	1	Dělitel hodinové frekvence(MSB)	
3FAH	2FAH		Identif.přeruš.	
3FBH	2FBH		Řízení linky	
3FCH	2FCH		Řízení modemu	
3FDH	2FDH		Stav linky	
3FEH	2FEH		Stav modemu	

Pozn.: DLAB je bit, který je součástí řídicího registru a slouží k rozlišení vnitřních registrů podle uvedené tabulky

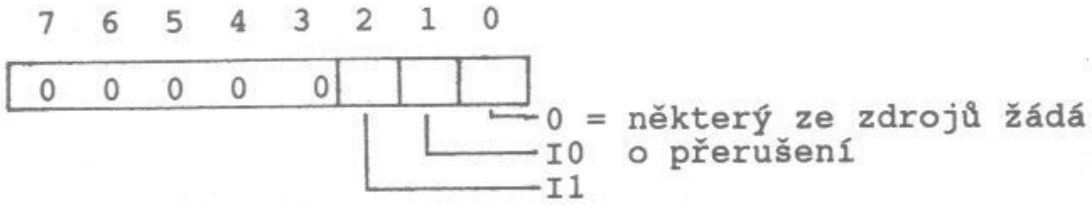
Tab. 12.2 V/V adresy registrů asynchronních adaptérů RS 232 C linek COM1 a COM2

3F9H/2F9H Maska přerušení - povolení přerušovacích zdrojů
Čtení/zápis (DLAB=0)



Obr. 12.9 - pokračuje

3FAH/2FAH Identifikace přerušení
Čtení



I1	I0	Zdroj přerušení
0	0	Změna stavu modemu
0	1	Vysílací reg.je prázdný
1	0	Reg.přijatých dat je plný
1	1	Chyba příjmu

3F8H/2F8H Přijatá data
Čtení (DLAB = 0)

3F8H/2F8H Vysílaná data
Zápis (DLAB = 0)

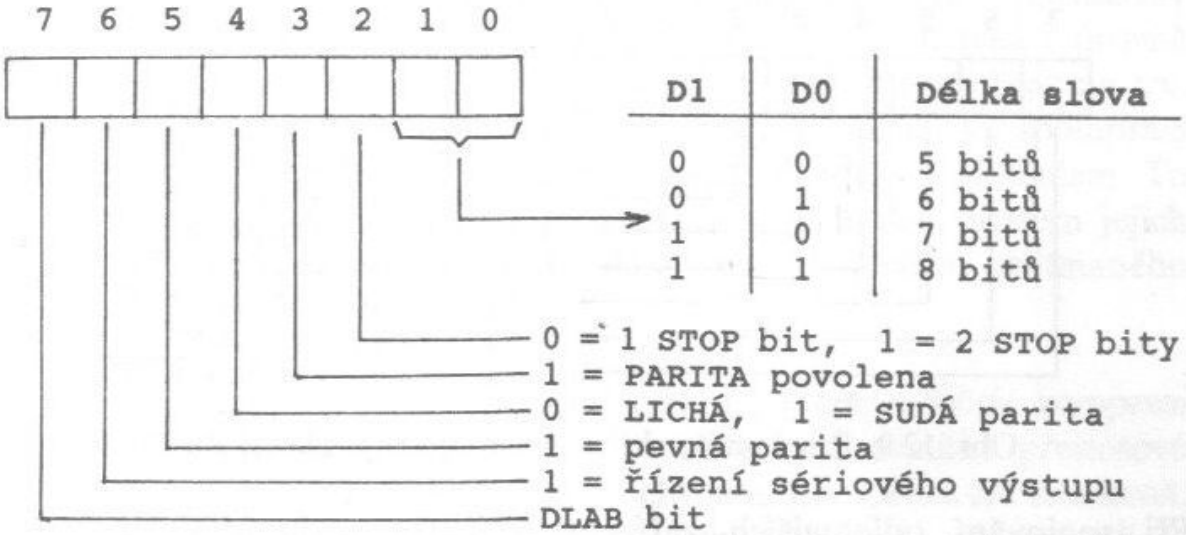
3F8H/2F8H LSB dělitele hodinové frekvence
- tabulka hodnot viz dále
Čtení/Zápis (DLAB = 1)

3F9H/2F9H MSB dělitele hodinové frekvence
Čtení/Zápis (DLAB = 1)

Rychlost [Bd]	MSB dělitele	LSB dělitele
50	09	00
75	06	00
110	04	17H
150	03	00
300	01	80H
600	00	0C0H
1200	00	60H
2400	00	30H
4800	00	18H
9600	00	0CH
19200	00	06
38400	00	03
56000	00	02
115000	00	01

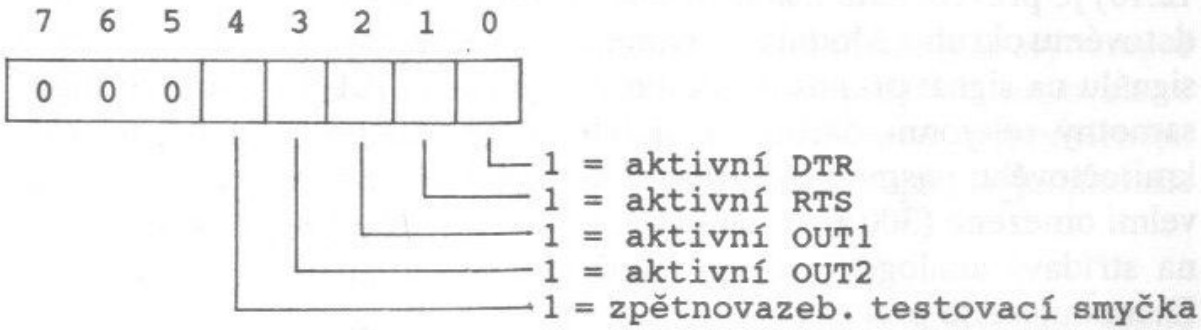
Obr. 12.9 - pokračuje

3FBH/2FBH Registr řízení linky LCR

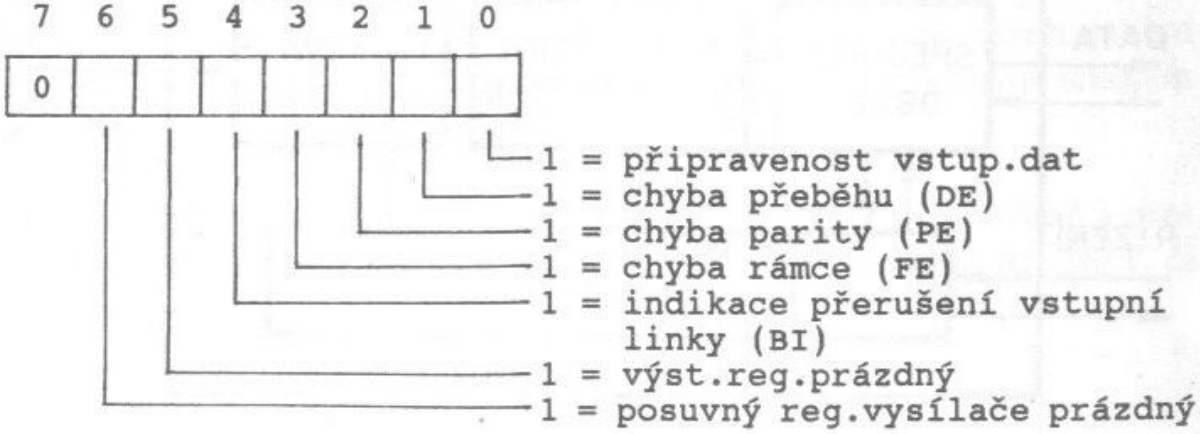


D1	D0	Délka slova
0	0	5 bitů
0	1	6 bitů
1	0	7 bitů
1	1	8 bitů

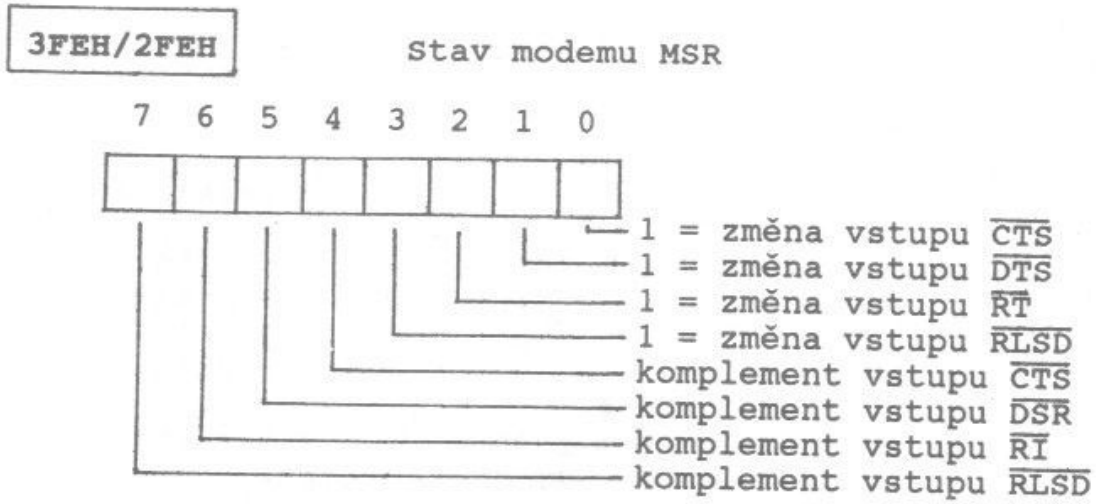
3FCH/2FCH Registr řízení modemu MCR



3FDH/2FDH Stav linky LSR

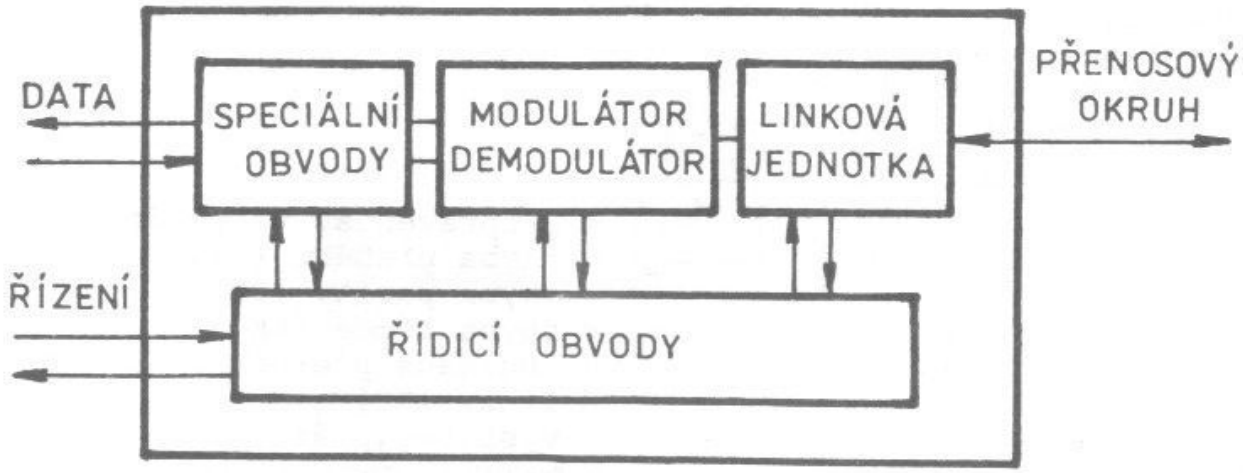


Obr. 12.9 - pokračuje



Obr. 12.9 Programátorský model adaptéru rozhraní RS 232 C

Při spojování odlehlejších zařízení sériovým rozhraním RS 232 C se neobejdeme bez UZD zařízení zvaného **modem**. Toto slovo vzniklo původně spojením slov modulátor a demodulátor. Základním úkolem modemu (obr. 12.10) je převést data z koncového zařízení na takovou formu, která vyhovuje datovému okruhu. Modulace znamená převedení dvouhodnotového číslicového signálu na signál přenosný telefonním kanálem. Zde nemáme na mysli pouze samotný telefonní okruh, ale i jeho další vlastnosti, jako jsou šířka jeho kmitočtového pásma, chybovost atd. Kmitočtové pásmo telefonního kanálu je velmi omezené (300 Hz - 3,4 kHz). Modulací se tedy signál z počítače převádí na střídavý analogový signál, jehož kmitočty spadají do uvedeného pásma. Demodulace je proces přesně opačný.



Obr. 12.10 Blokové schéma modemu

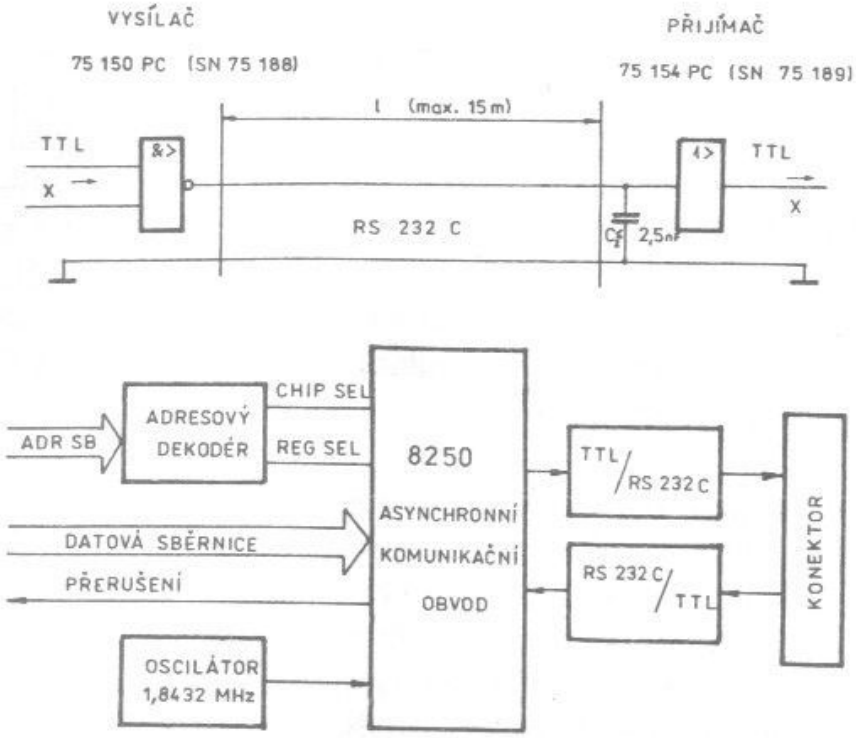
Modemem se, jinak řečeno, přizpůsobí výstup počítače tak, aby se z hlediska telefonní sítě jevil jako telefonní přístroj. Nestačí jen splnit požadavky vyplývající ze šířky kmitočtového pásma, ale přizpůsobení se týká i úrovně výstupních signálů a impedance na rozhraní S1. Modem proto obsahuje tzv. linkovou jednotku, která toto zajišťuje. Obvody řízení slouží ke spolupráci modemu s koncovým zařízením, v našem případě nejčastěji s počítačem. To předává s jejich pomocí modemu požadavek na přenos dat, modem jejich prostřednictvím hlásí připravenost k vysílání, indikuje kvalitu přijímaného signálu nebo indikuje příchozí volání.

Součástí modemu mohou být i speciální obvody, které zajišťují kompresi (stlačení za účelem zvýšení účinnosti přenosu při nezměněné přenosové rychlosti datového okruhu) a odolnost proti chybám. Komprese dat znamená, že se delší posloupnost nul nebo jedniček nepřenáší celá, ale nahradí se informací o stavu a délce jeho trvání. Chybovou odolnost zabezpečují cyklické kódy mající schopnost detekce i korekce chyb.

V bloku speciálních obvodů někdy najdeme i skrambler (kodér), který vstupní data kóduje do pseudonáhodné posloupnosti, a tak znemožňuje nepovolané osobě zjistit obsah přenášené zprávy. Kromě toho způsobí rovnoměrnější rozdělení výkonového spektra přenášeného signálu a zajistí i jednodušší synchronizaci na přijímací straně.

Modemy pro vyšší rychlosti přenosu dat obsahují i korektor. Ten umožňuje kompenzovat nedokonalosti telefonních okruhů. Může být buď pevný, případně ručně nastavitelný, nebo adaptivní. Pevný korektor se používá u pronajatých telefonních okruhů, jejichž parametry se nemění. Používáme-li pro přenos dat komutovanou telefonní síť, nemáme pokaždé k dispozici stejný okruh a mění se tudíž i jeho parametry. Zde používáme adaptivní korektor, který je schopen nastavit své parametry podle konkrétních vlastností.

Modem samozřejmě obsahuje i obvody rozhraní S2. Přes ně si počítač a modem vyměňují data a řídicí informace. Tímto rozhraním je právě RS 232 C či kombinace doporučení V.24 a V.28.



Obr. 12.11 Schéma zapojení obvodů rozhraní RS 232 C a blokové schema adaptéru

Modemy se vyrábějí jako samostatná zařízení a k počítači se připojují deseti nebo pětadvacetižilovým kabelem. Pro aplikaci s PC jsou k dispozici i tzv. modemové karty, tedy adaptéry, které se zasouvají přímo do V/V kanálu a mají přímo rozhraní S1 pro připojení do telefonní zásuvky.

Všechny vývody obvodu 8250 jsou TTL kompatibilní. Vzhledem k tomu, že jsou normou RS 232 C i V.28 stanoveny napěťové úrovně pro zobrazení logických úrovní jinak (úroveň H představuje napětí v rozmezí -3 V až -15 V, úroveň L napětí v rozmezí +3 V až +15 V), je součástí adaptéru konvertor mezi TTL a zobrazením na tomto rozhraní. Doporučováno je zapojení podle obr. 12.11.

12.2 Rozhraní CENTRONICS

Paralelní jednosměrné rozhraní CENTRONICS je příkladem rozhraní, které se stalo "de facto" průmyslovým standardem. Zavedla ho u svých výrobků firma na výrobu tiskáren. Protože se všeobecně osvědčilo, vybavují se jím tato výstupní zařízení nejčastěji. U mikropočítačů třídy IBM PC XT/AT se ale nepoužívá původní konektor Amphenol, ale 25nožový CANNON. Význam signálů tohoto rozhraní a jejich rozložení na konektoru uvádí obr.12.12. V obrázku je také uveden signálový sled při přenosu dat.

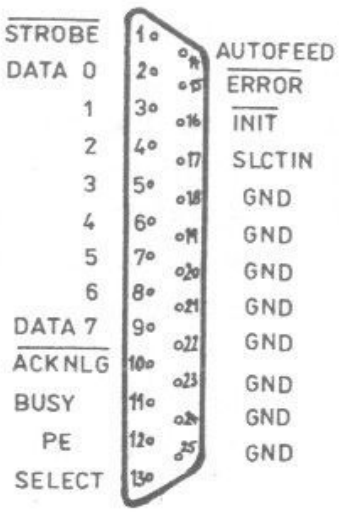
Přenos dat je na tomto rozhraní osmibitový, asynchronní, s oboustranným kvitováním. Funkčně můžeme jeho signály rozdělit do tří skupin:

- datové signály,
- řídicí a stavové signály rozhraní ($\overline{\text{STROBE}}$, resp. BUSY, $\overline{\text{ACKNLG}}$),
- řídicí a stavové signály pro připojené zařízení (AUTOFEED, $\overline{\text{INIT}}$, SLCTIN, resp. PE, $\overline{\text{ERROR}}$,SELECT).

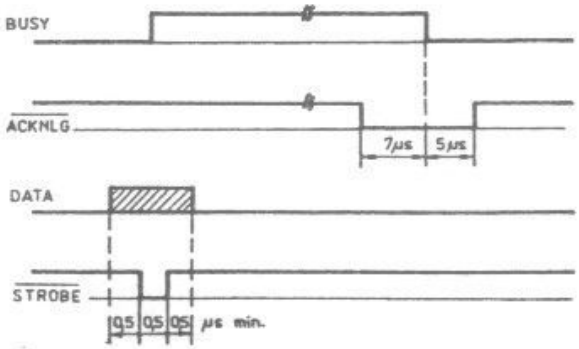
Význam signálů a jejich aktivní úroveň jsou z obr. 12.12 rovněž patrny.

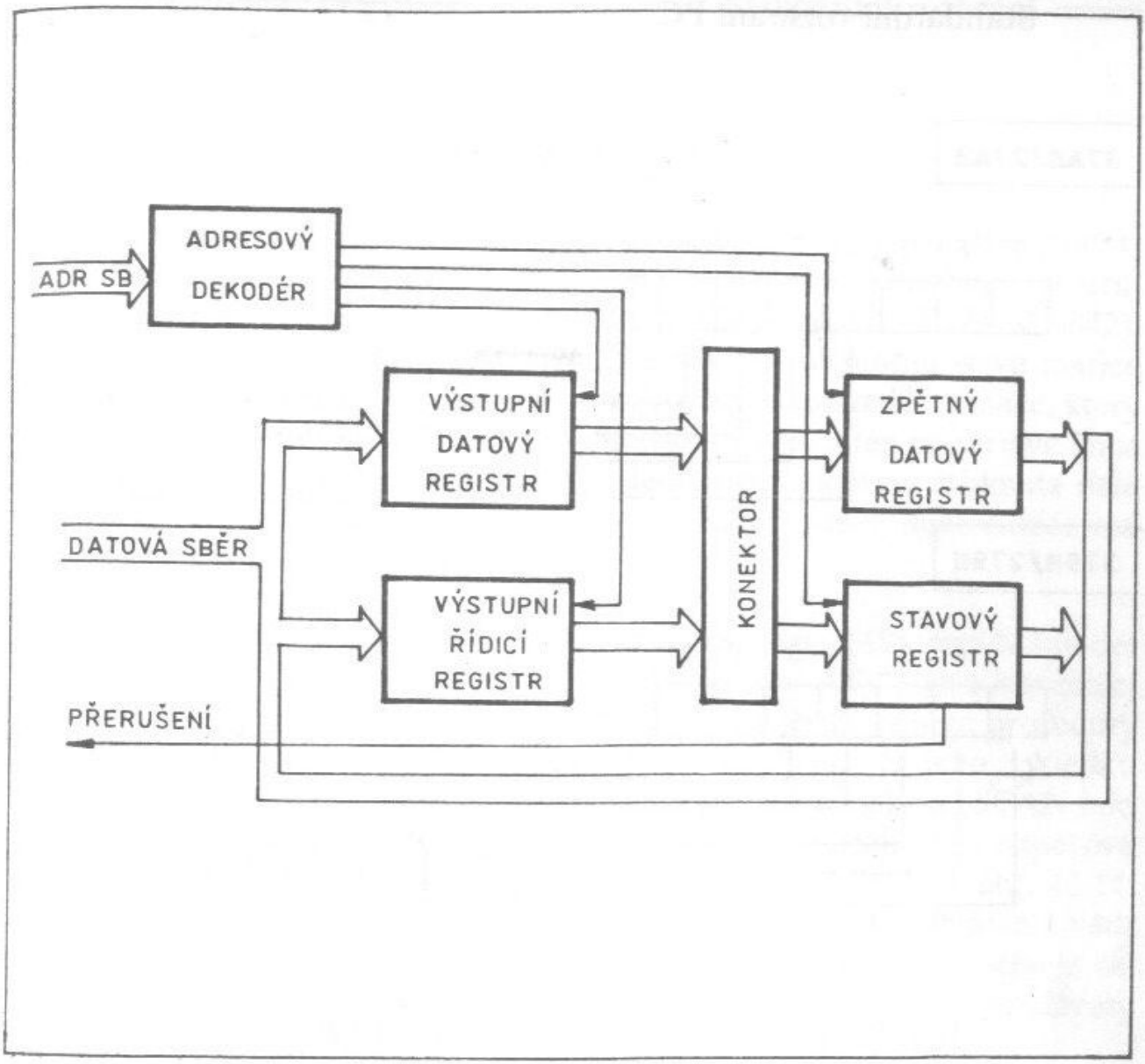
Tento adaptér bývá jen výjimečně realizován na samostatné desce. Mnohem častěji je součástí některého jiného adaptéru, například displeje. Ačkoli se jedná o velmi jednoduché paralelní rozhraní s oboustranným kvitováním ($\overline{\text{DATA STROBE}}$, BUSY), nehodí se k jeho realizaci žádný z kvitovacích režimů základních paralelních připojovacích obvodů (8255, Z80 PIO atd.). Model XT předpokládá jednu tiskárnu, k modelu AT lze připojit tiskárny dvě.

Označení		Význam
$\overline{\text{STROBE}}$	výstup	- řídicí signál rozhraní; aktivní úroveň je L, šířka max 0,5 μs
BUSY	vstup	- stavový signál rozhraní; aktivní je H a oznamuje, že zařízení není k přenosu připraveno
$\overline{\text{ACKNLG}}$	vstup	- stavový signál rozhraní;aktivní je L, šířka max 12 μs a předávají se jím případné stavové signály zařízení
DATA 0-7	výstup	- stavové signály
AUTOFEED	výstup	- řídicí signál pro zařízení; aktivní je L a tiskárna po přijatém znaku <CR> doplňuje tiskárna automaticky <LF>
$\overline{\text{INIT}}$	výstup	- řídicí signál pro připojené zařízení; aktivní úroveň L trvající minimálně 50 μs uvádí tiskárnu do počátečního stavu
SLCTIN	výstup	- řídicí signál pro připojené zařízení aktivní úrovní se žádá uvedení do stavu ON-LINE
PE	vstup	- stavový signál připojeného zařízení; aktivní úroveň H oznamuje konec papíru
$\overline{\text{ERROR}}$	vstup	- stavový signál připojeného zařízení; aktivní úroveň L oznamuje odpojení, nebo jinou chybu
SELECT	vstup	- stavový signál připojeného zařízení; aktivní úroveň H oznamuje,že tiskárna je ON-LINE



DUTINKY



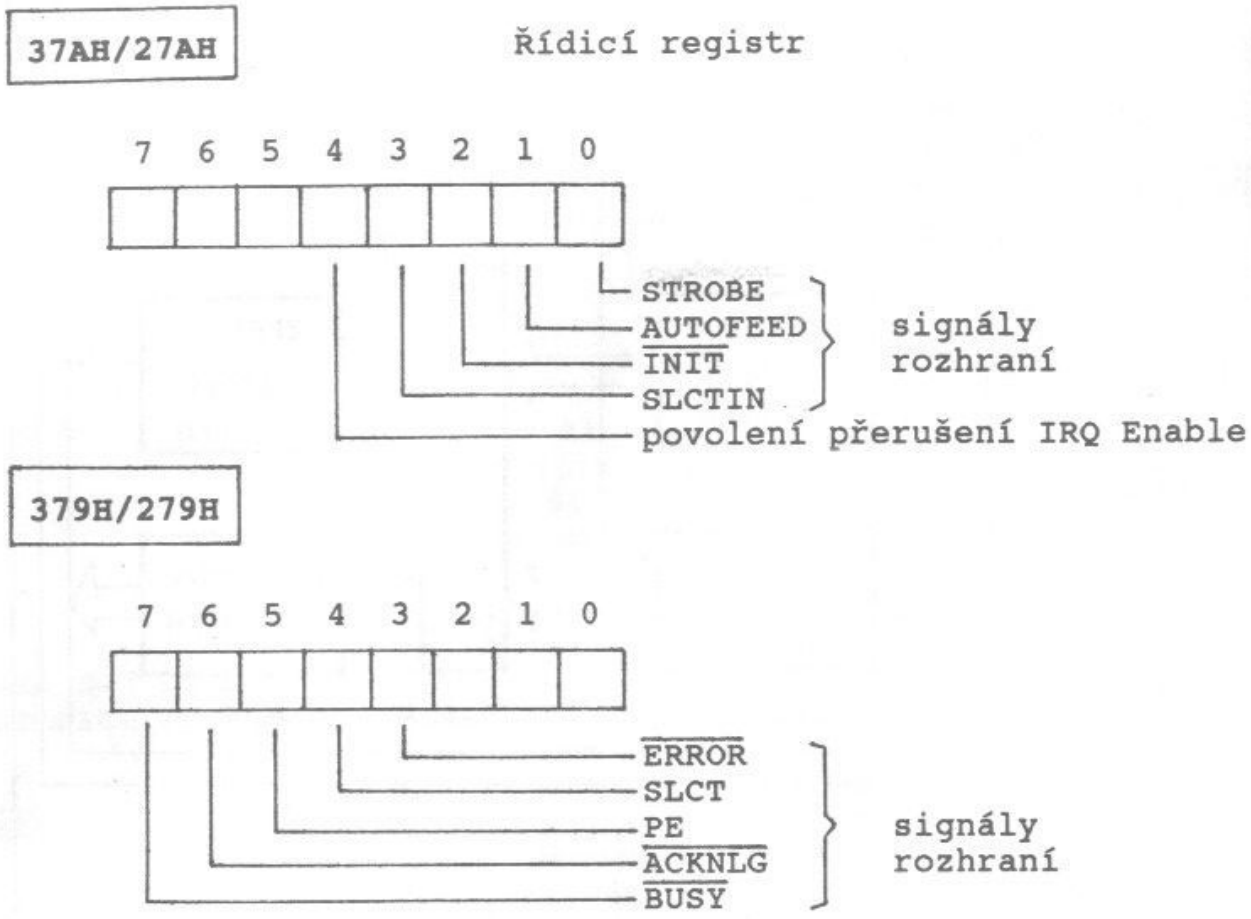


Obr.12.12 Rozhraní CENTRONICS

Brány adaptéru pro připojení tiskáren se adresují takto:

1.tiskárna	2.tiskárna	Význam při čtení	Význam při zápisu
378H	278H	Datový registr	
379H 37AH	279H 27AH	stavový registr	řídicí registr

Tab. 12.3 V/V adresy adaptéru rozhraní CENTRONICS



Obr. 12.13 Programátorský model rozhraní CENTRONICS

I když se už používají i speciální integrované obvody, nejběžnější je realizace s obvody 74LS374, LS174 a LS244. Signály rozhraní pracují s napěťovými úrovněmi logiky TTL s otevřeným konektorem a délka připojovacího vedení proto nesmí přesáhnout 2 m. Každé signálové vedení má svůj vlastní zemnící spoj a doporučuje se, aby každá dvojice vodičů (signálový a odpovídající zemnicí vodič) byla zkroucena (twisted pair).

12.3 Rozhraní pro klávesnici

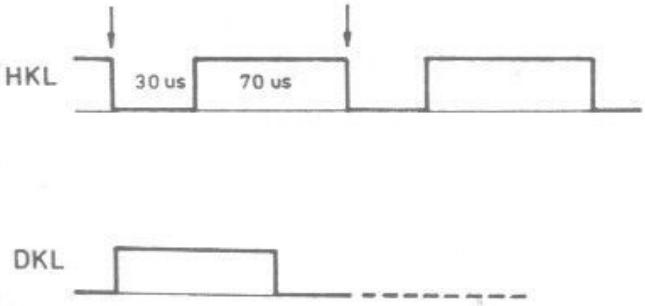
Klávesnici najdete v samostatném konstrukčním celku se systémovou jednotkou, spojeném pružným čtyřvodičovým kabelem. Obsahuje vlastní jednoobvodový mikrořadič (model XT obvod 8048, model AT obvod 8042), který vykonává řadu funkcí. Tou hlavní je neustálé sledování stavu matice spínačů. V případě jakékoli změny zjistí mikrořadič souřadnice spínače, který ji způsobil, vybere této situaci odpovídající SCAN kód, a ten po sériové lince DATA vyšle směrem k systémové desce. Je-li některá klávesa stisknuta déle než 0,5 s, vysílá její kód automaticky znovu. RAM paměť mikrořadiče má vyrovnávací paměť na 20 znaků.

Adaptér klávesnice na systémové desce je buď postaven z MSI obvodů (model XT), nebo též na bázi mikrořadiče 8042, 8748 (model AT). Styk s klávesnicí u modelu XT je jednosměrný, u modelu AT obousměrný. Během procedury POST provádí mikrořadič klávesnice automatický test. O jeho výsledku informuje systémovou jednotku, resp. BIOS kontrolním znakem (SCAN kód 99H). Komunikace mezi klávesnicí a základní jednotkou probíhá na napěťové úrovni TTL a rozložení, význam a časování signálů uvádíme na obr. 12.14. Přenášená bitová posloupnost příslušející jednomu znaku je devítibitová. Uvádí ji vždy bit s hodnotou 1 a po něm se vysílají bity SCAN kódu, počínaje od nejnižšího. Jako poslední se vysílá bit indikující stisk (0) nebo puštění klávesy (1). Napájení klávesnicových obvodů zajišťuje systémová jednotka.

Původní, tzv. XT klávesnice, měly 83 kláves. Novější počítače mívají nejčastěji tzv. AT klávesnici s 85, 101 nebo 102 klávesami. Rozložení znaků se liší podle národních abeced a konkrétních zvyklostí. Ve všech případech však má klávesnice tři základní části:

alfanumerickou (podobnou klávesnici psacího stroje),
funkční,
numerickou a editační.

Označení vývodu	Konektor XT	Konektor AT	Význam
RESET	3	-	- nevyužívá se
DATA	2	1	- výstup; u modelu AT obousměrné; sériová data přenášená mezi klávesnicí a systémovou deskou
HODINY	1	5	- výstup; hodinová frekvence synchronizující přenos dat generovaná mikrořadičem klávesnice
ZEM	4	3	- společný napájecí vývod
+5 V	5	4	- napájení klávesnice



SCAN KÓD

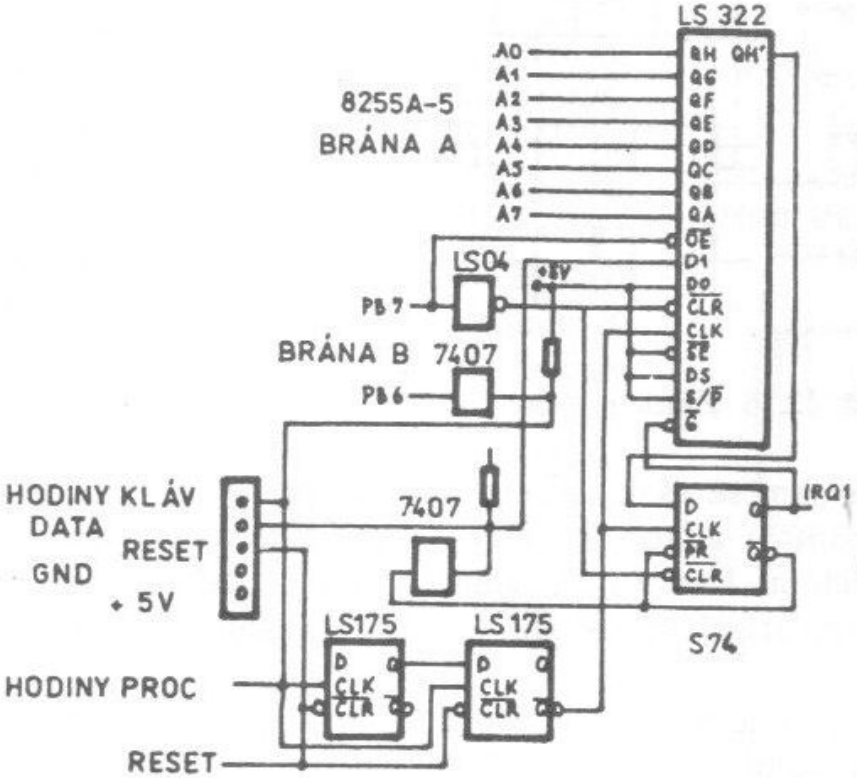
Např. písmeno r 13

Vysílaná sekvence

1 1100 1000 STISK
1 1100 1001 PUŠTĚNÍ

Obr.12.14 Význam a rozložení vývodů adaptéru klávesnice

Většina kláves má více významů, než je uvedeno na jejím hmatníku. Jejich funkci rozšiřuje prefix, tedy bezprostředně předtím stisknutá klávesa (SHIFT, DEL, CTRL). Některé mimořádné akce se vyvolávají stiskem trojice kláves. Význam funkčních kláves F1 - 10 (F1 - 12) se mění podle toho, který aplikační program uživatel spustil. Obvodové řešení adaptéru klávesnice uvádí obr. 12.15.

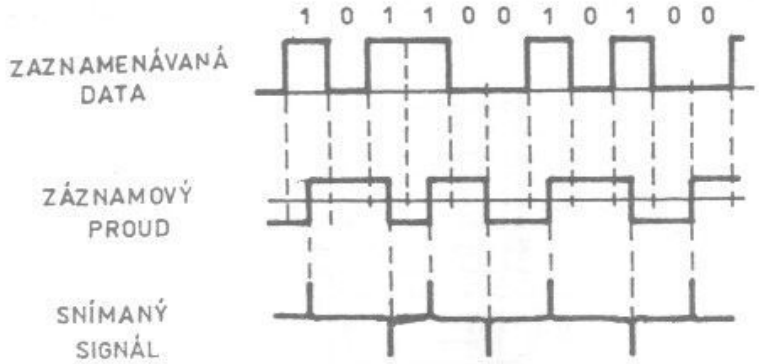


Obr. 12.15 Adaptér pro připojení klávesnice modelu XT

12.4 Rozhraní pro disketu

Standardními vnějšími pamětmi prvního modelu IBM PC byly jednostranné diskety firmy TANDON Magnetics, Inc. s velikostí média 5,25" a kapacitou 160 KB. Záhy však byly nahraženy disketovými jednotkami s oboustranným (tzv. DS - double sided, na rozdíl od SS - single sided) záznamem. Ty měly kapacitu 360 KB a udržely se poměrně dlouho. Záznam se na tyto diskety provádí s kódováním **MFM** (viz obr. 12.16) do soustředných kružnic zvaných stopy, kterých je na každé straně 40, a dále se dělí na sektory. Sektorů obsahuje při této hustotě záznamu každá stopa devět. Pro uživatele to však

není informace až tak důležitá, protože operační systém při formátování diskety na ni zaznamenává mimo jiné i její formát a touto informací se řídí i při každé další spolupráci.



Obr. 12.16 Záznam technikou MFM

Pokrok ve výzkumu magnetických materiálů umožnil další zvyšování hustoty záznamu, kterého se dosáhlo zvýšením počtu stop na 80. Takováto disketa má tedy v režimu DS kapacitu 720 KB.

Pro tento záznam se však musely vyvinout přesnější vystavovací mechaniky a menší záznamové a čtecí hlavičky. Ty ale zase dovolily na kvalitním médiu zvýšit i podélnou hustotu záznamu a tím i počet stop, takže dnešním minidisketovým standardem (obr. 12.17) je záznamová kapacita 1,2 MB.

Pro všechna provedení záznamového i čtecího mechanismu platí požadavek kompatibility médií, i když se mění šířka stop. Teoreticky by tedy mělo být možné přečíst na mechanice pro záznam s kapacitou 1,2 MB disketu pořízenou na počítači s mechanikou pro 360 KB, nebo na ni zapsat s menší hustotou data, která by pak bylo možné na druhém počítači přečíst. Při praktických pokusech se však zřejmě dostanete do problémů způsobených tím, že magnetizační proud, resp. zmagnetování média je vzhledem k hustotě záznamu na kapacitnějších médiích menší a při čtení nebo zápisu uvedeným způsobem dochází k chybám. Kompatibilita dat při přenosu disket mezi mechanikami stejné třídy však zachována být musí.

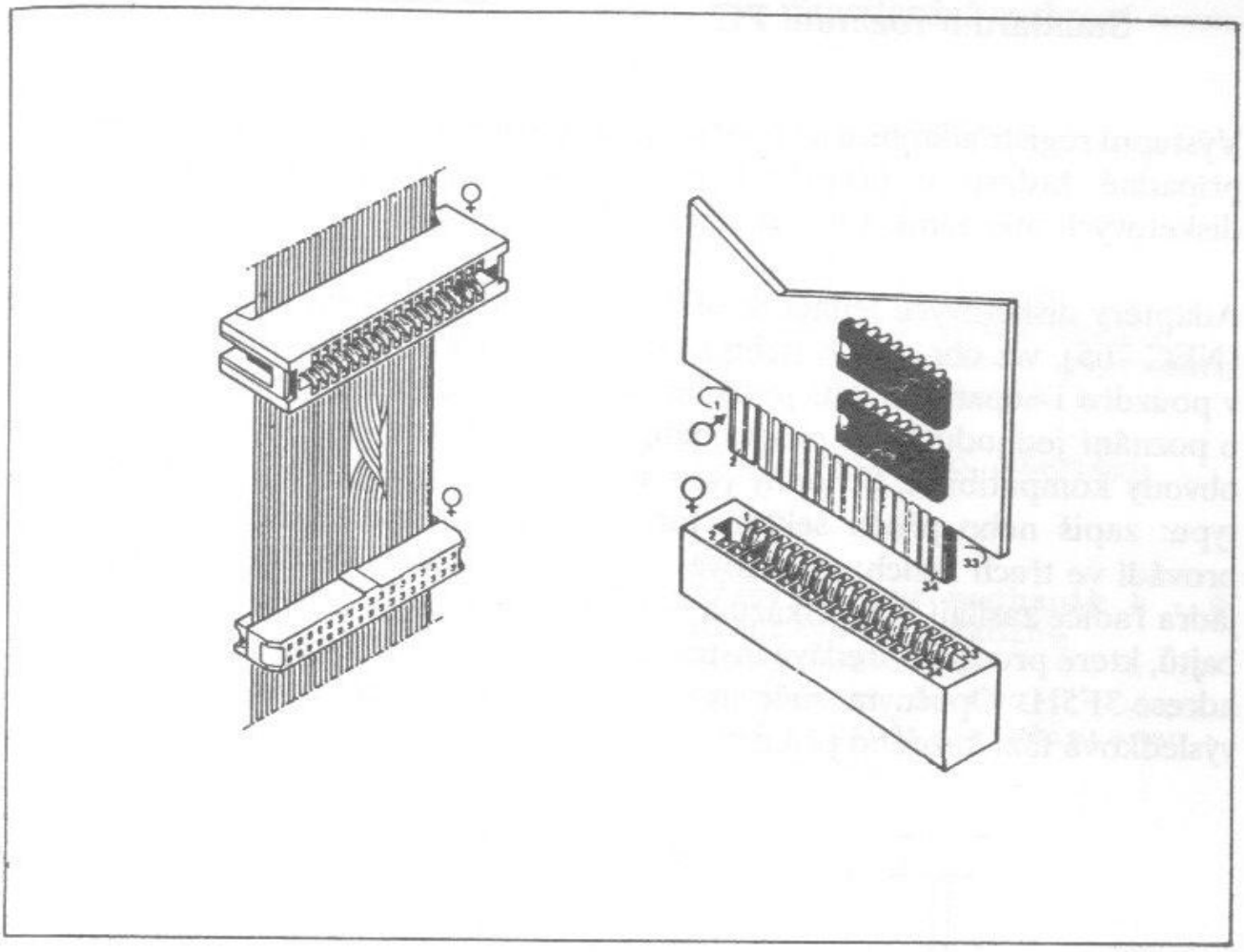
Modely PS/2 mikropočítače IBM přinesly novinku i v rozměru média vnější disketové paměti. Standardem se staly mikrodiskety s rozměrem média 3,5" (obr. 12.17). Přes menší rozměry mají vyšší záznamovou kapacitu 1,44 MB a dodávají se s nimi i některé ISA kompatibilní počítače.

Vzhledem ke kompatibilitě operačních systémů není výjimkou, že počítač standardu AT obsahuje dvě mechaniky s různým rozměrem. Z hlediska našich úvah o míře inteligence adaptéru a periferního zařízení představuje disketa právě ten dolní konec. Vnitřní strukturu adaptéru ukazuje obr. 12.19. Z nadřazeného počítače dostává řadič, obvykle realizovaný některým VLSI obvodů, pokyny typu: Vystav hlavičku na stopu 00, vystav hlavičku na stopu i, čti sektor, zapiš sektor, atd., takže o správu sektorů a o fyzické umístění se musí starat mikropočítač sám. Rovněž tak disketová jednotka umí vykonávat jen nejjednodušší příkazy typu: Spusť motor, vyber povrch, povol zápis, přemísti vystavovací mechanismus o jednu stopu daným směrem, atd. Většinou jde o jednovodičové příkazy, takže veškeré řízení záznamu a čtení musí na sebe, vedle serializace a deserializace dat a vytvoření a kontroly znaků cyklické kontroly, převzít řadič v adaptéru.

Obr. 12.17 Příklady disket

K jednomu adaptéru se může připojit několik disketových mechanik, obvykle maximálně čtyři. Rozhraní mini i mikrodisketových jednotek bývají stejná. Je třeba říci bývají, protože i mezi stejně velkými mechanikami různých výrobců jsou rozdíly (zvláště se to týká vývodů 2 - 8 (viz obr. 12.18)), které sice lze překlenout jiným zapojením konektoru, někdy však je zapotřebí drobné MSI logiky. Příklad rozhraní pro připojení diskety uvádí zmíněný obrázek. Disketové jednotky se s adaptérem spojují plochým kabelem, ve kterém se střídají aktivní vodiče (přenášejí konkrétní signály) s jejich zeměmi, nebo kabelem složeným z kroucených párů. Konektor není volně na zadní straně počítače přístupný, není to třeba. Disketová jednotka se připojuje plochým kabelem se 34nožovým konektorem přímo uvnitř systémové jednotky.

Označení	Vývod	Význam	
DRIVE SELECT 1-3	10,12,14	výstup	- k jednomu řadiči můžeme obvykle připojit několik mechanik; tento signál má význam výběru
MOTOR ON	16	výstup	- spuštění motoru pohonu diskety
DIRECTION SELECT	18	výstup	- výběr směru pohybu vystavovacího mechanismu s hlavičkami
STEP	20	výstup	- krok vystavovacího mechanismu, přesun na další stopu; směr pohybu určuje DIRECTION SELECT
WRITE DATA	22	výstup	- data zapisovaná na disketu
WRITE GATE	24	výstup	- povolení zápisu dat na disketu
SIDE SELECT	32	výstup	- výběr strany diskety
TRACK 00	26	vstup	- indikace polohy vystavovacího mechanismu na vnější stopě
INDEX	8	vstup	- začátek stopy
WRITE PROTECT	28	vstup	- ochrana zápisu; indikace odvozená z detektoru na obálce diskety
READ DATA	30	vstup	- čtená data z diskety
READY	6	vstup	- mechanika připravena
DISK CHANGE	34	vstup	- výměna diskety, alternativní vstupní signál odvozený z kličky otevírající mechaniku a umožňující vyjmutí diskety



Obr.12.18 Rozhraní pro disketu 5,25 " a 3,5"

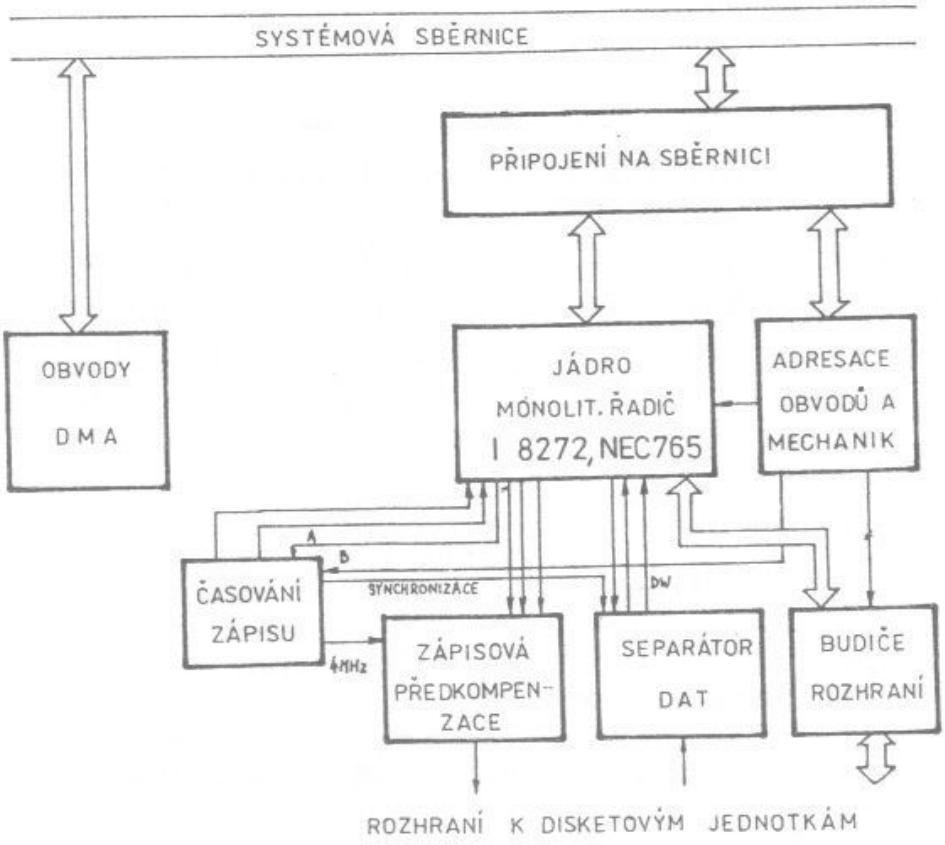
Disketový adaptér je ve V/V prostoru umístěn na adresách 3F0H - 3F7H. Pro datové přenosy využívá 2.kanálu DMA a v případě potřeby generuje žádost o přerušení IRQ6. Tato žádost signalizuje ukončení probíhající operace a procesor na ni reaguje přečtením stavového slova jádra řadiče. Jednotlivé brány adaptéru mají tento význam:

Brána	Význam při čtení	Význam při zápisu
3F2H 3F4H	hlavní stavový reg.	výstupní reg.adaptéru
3F5H	datový registr jádra adaptéru	

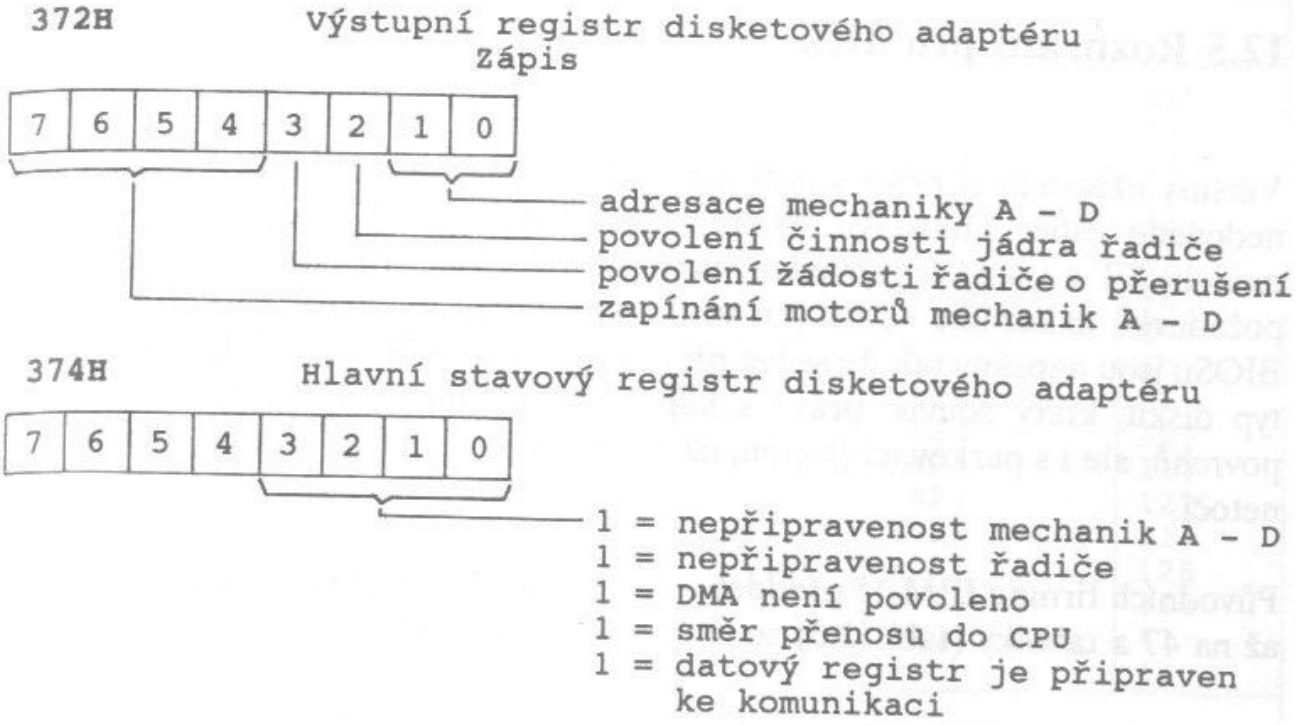
Tab. 12.4 V/V adresy disketového adaptéru

Výstupní registr adaptéru se používá k povolení činnosti adaptéru a k povolení případné žádosti o přerušení, pro výběr některé ze čtyř připojitelných disketových mechanik a pro spuštění jejich motoru.

Adaptéry disketových jednotek se vyrábějí s integrovaným obvodem I 8272A (NEC 765), viz obr. 12.19, nebo s obvody WD37C65B. Protože tyto obsahují v pouzdře i separátor dat, je technické řešení adaptéru ve druhém případě o poznání jednodušší. Z programátorského hlediska jsou však všechny tyto obvody kompatibilní. Schopny jsou samostatně provádět celkem 15 příkazů typu: zapiš nebo přečti sektor, formátuj stopu apod. Každý z příkazů se provádí ve třech fázích: příkazové, výkonné a výsledkové. V první fázi se do jádra řadiče zasílají kód příkazu a potřebné parametry; většinou jde o několik bajtů, které procesor předává instrukcí OUT do datového registru adaptéru na adrese 3F5H. Opačným směrem se přenášejí podrobné stavové informace ve výsledkové fázi každého příkazu.



Obr. 12.19 Struktura řadiče diskety



Obr. 12.20 Programátorský model adaptéru diskety

I tento přenos probíhá přes datový registr. Využívají ho ve výkonné fázi i ty příkazy, které během ní přenášejí data. Hlavní stavový registr na vyžádání z mikroprocesoru poskytuje informace souhrnně uvedené v obr. 12.20. Toho ze čtenářů, kdo bude potřebovat programovat disketový adaptér na nejnižší úrovni a bude k tomu potřebovat znát i formát příkazů a podrobné stavové informace, odkazujeme na popis v konkrétním případě použitých integrovaných obvodů.

Spolupráci s operačním systémem podporují příslušné rutiny BIOSu, některé "exotické" adaptéry mají příslušné části BIOSu přímo v EPROM paměti na desce. K obsluze disketové jednotky slouží programové přerušení INT 13H. Přenos dat se uskutečňuje pomocí DMA; protože rychlost 250 kb/s (250 x 1024 bitů za sekundu) sériové posloupnosti dat mezi mechanikou a adaptérem není příliš veliká, nemusí být na desce žádná další vyrovnávací paměť. Jeden bajt se mezi deskou a pamětí přenáší každých (zhruba) 30 strojových cyklů.

12.5 Rozhraní pro disk

Většina uživatelů si práci s osobním počítačem třídy IBM PC AT bez disku nedovede vůbec představit. Diskem se vybavovala už i pozdější provedení modelu XT a všechna provedení modelu AT s ním přirozeně počítají. Podle požadavků zákazníka se liší jen velikostí a dobou přístupu. Obslužné rutiny BIOSu jsou napsány tak, že se jen při konfiguraci systému (SET-UP) uvádí tzv. typ disku, který souvisí právě s kapacitou, počtem stop, počtem datových povrchů, ale i s parkovací stopou, na níž hlavičky spočívají v době, kdy se disk netočí.

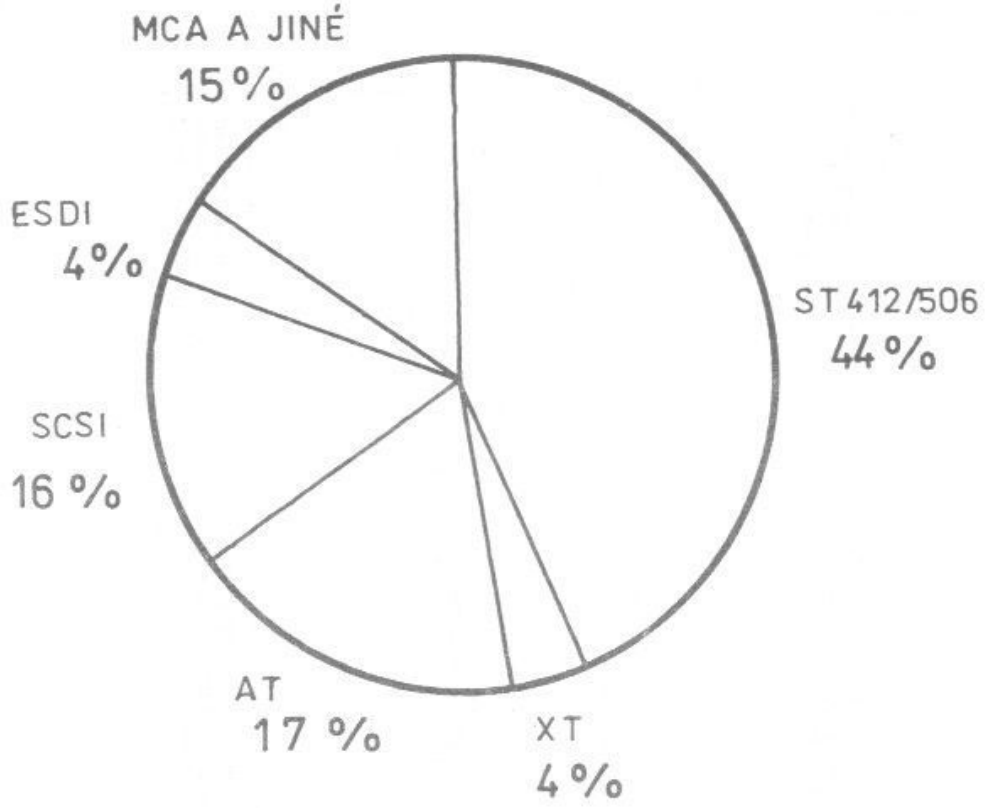
Původních firmou IBM 15 předdefinovaných typů disků bylo později rozšířeno až na 47 a tabulky (tab. 12.5) se liší podle verze BIOSu.

Typ	Počet stop	Počet hlav	Předkomp	Parkovací stopa	Kapacita v MB
1	306	4	128	305	10
2	615	4	300	614	20
3	615	6	300	615	30
4	940	8	512	940	62
5	940	6	512	940	47
6	614	4	-	615	20
7	462	8	256	511	31
8	733	5	-	733	30
9	900	15	-	901	112
10	820	3	-	820	20
11	855	5	-	855	35
12	855	7	-	855	50
13	306	4	128	319	20
14	733	7	-	733	43
15	rezerva				
16	612	4	-	663	20
17	997	5	300	997	41
18	997	7	-	997	57
19	1024	7	512	1023	60
20	733	5	300	732	20
21	733	7	300	732	41
22	733	5	300	733	30
23	306	4	-	306	10

Award-BIOS 3.01					
24	977	5	–	977	41
25	1024	9	–	1023	77
26	1224	7	–	1223	75
27	1224	11	–	1223	117
28	1224	15	–	1223	152
29	1024	8	–	1023	68
30	1024	11	–	1023	94
31	918	11	–	1023	88
32	925	9	–	926	69
33	1024	10	–	1023	87
34	1024	12	–	1023	103
35	1024	13	–	1023	113
36	1024	14	–	1023	122
37	1024	2	–	1023	21
38	1024	15	–	1023	128
39	918	15	–	1023	114
40	820	6	–	820	41
41	989	5	–	–	42
AMI-BIOS					
24	925	7	–	925	54
25	925	9	–	925	69
26	754	7	–	754	44
27	754	11	–	754	69
28	699	7	256	699	41
29	823	10	–	823	68
30	918	7	918	918	53
31	1024	11	–	1024	94
32	1024	15	–	1024	128
33	1024	5	–	1024	43
34	612	2	128	615	10
35	1024	9	–	1024	77
36	1024	8	512	1023	68
37	615	8	128	615	41
38	987	3	987	987	25
39	987	7	987	987	57
40	820	6	820	820	41
41	977	5	977	977	41
42	981	5	981	981	41
43	830	7	512	830	48
44	830	10	–	830	69
45	917	15	–	918	114
46	1224	15	–	1223	152
47	uživatelský disk				

Tab. 12.5 Přehled typů předdefinovaných disků (podle verze BIOSu)

Obsluhu disku vyvolávají společné prostředky operačního systému (výjimečně přímo uživatel) pomocí programového přerušení INT 13H. V tom se obsluha disku a diskety principiálně shoduje. Liší se však v organizaci a provedení přenosu dat. Vzhledem k podstatně vyšší rychlosti toku sériových dat mezi diskem a adaptérem je součástí diskového adaptéru vyrovnávací paměť na jeden sektor (512 B) a přenos mezi pamětí a adaptérem uskutečňuje procesor v REP INSW módu. Škála diskových rozhraní je poměrně velká (obr. 12.21). Dosud je nejčastější rozhraní **ST506/412**; tomuto standardu posloužil jako vzor úspěšný výrobek firmy SEAGATE Technology. Jeho popis uvádíme na obr. 12.22. K připojení slouží dva konektory. Jeden, širší (R) je pro přenos řídicích signálů, druhý, užší (D) pro signály datové. Toto rozhraní představuje filozoficky týž přístup jako rozhraní disketové. Disk je v tomto případě zařízení bez vlastní inteligence a k práci vyžaduje podporu řadiče.



Obr. 12.21 Zastoupení diskových rozhraní

Data se po tomto rozhraní přenášejí sériově. Kvůli odolnosti proti rušení jsou zobrazena diferenciálně a jedné magnetické reverzaci odpovídá právě jeden impuls. Úkolem řadiče je z této posloupnosti impulsů znovu při čtení sestavit

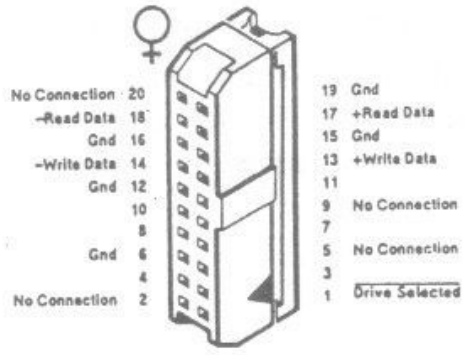
data, která při zápisu doplnil o synchronizační složku. Dílčím problémem, který se tedy při čtení musí vyřešit, je oddělení synchronizační složky. U MFM způsobu kódování, který je zde případem nejčastějším, totiž posloupnost bitů obsahuje nejen reverzace představující datové jedničky, ale i reverzace synchronizační, které se vkládají mezi zapisované datové nuly. K oddělení datové a synchronizační složky slouží datový separátor řadiče.

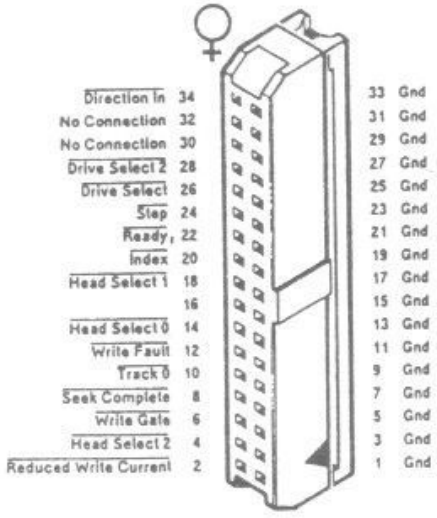
Ani takto oddělená binární data však ještě nejsou tou informací, která se přímo zpracovává mikroprocesorem. Obsahují totiž stále ještě redundantní informaci, která slouží k jejich přesné identifikaci a k zabezpečení proti chybám. Kromě synchronizačních bajtů v nich řadič najde i adresu válce, číslo hlavičky, adresu sektoru i zabezpečovací bajty cyklické kontroly.

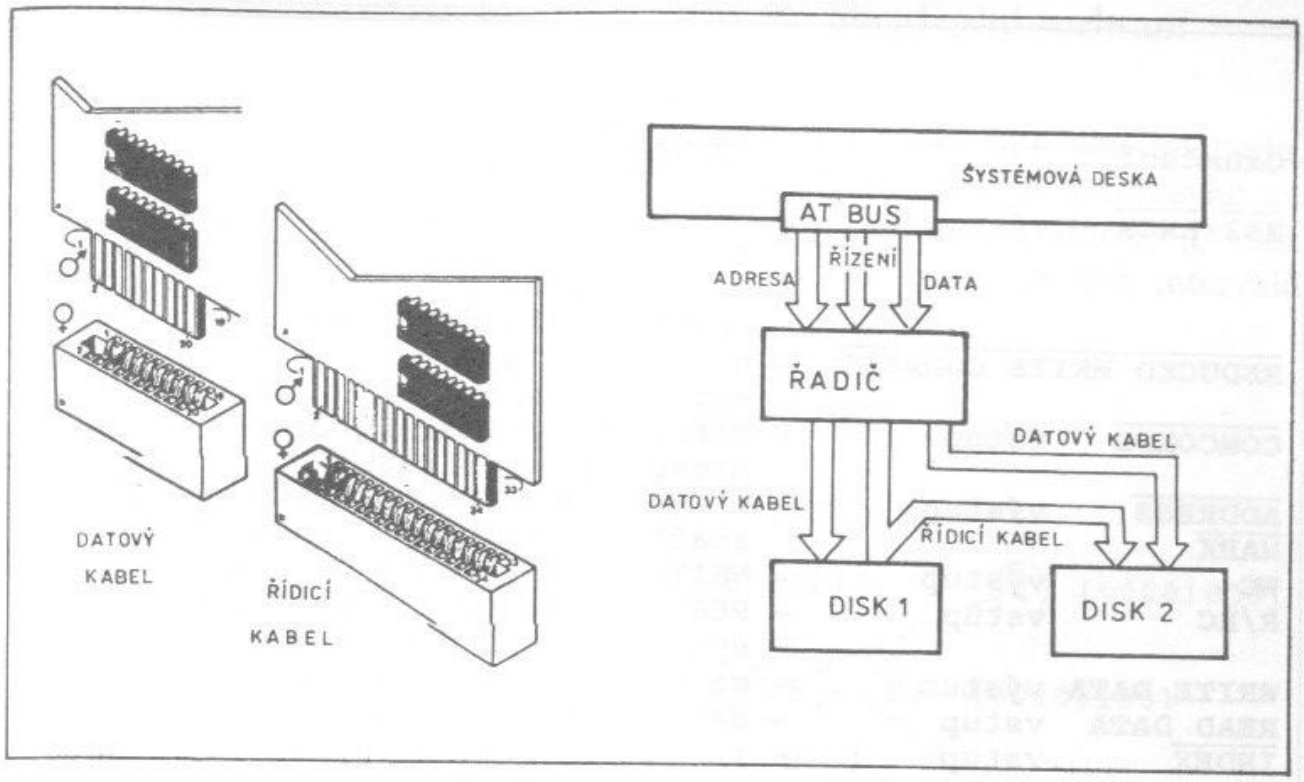
Jeden řadič obvykle stihne obsloužit diskových mechanik několik. Zatímco kabel pro přenos řídicích signálů má sběrnicovou architekturu (propojuje řadič postupně se všemi mechanikami), je pro každou mechaniku zvláštní datový kabel (obr. 12.22). Rozdíl mezi variantami 506 a 412 se na kabelu nepozná. Spočívá v tom, že disky 412 mají přece jen trochu větší inteligenci a umějí zpracovat takzvané několikanásobné přesuny vystavovacího mechanismu (BUFFERED SEEK). Řadič do disku zašle požadovaný počet kroků ve formě rychlé posloupnosti sériových pulsů a disk je pak svou rychlostí zpracovává. Ukončení vystavení hlásí jako SEEK COMPLETE.

Přenosová rychlost sériového datového proudu je 5 Mb/s (megabitů za sekundu) při způsobu kódování MFM, 7,5 Mb/s při kódování RLL (vysvětlení tohoto způsobu kódování viz dále). Řídicím kabelem se přenášejí signály, kterými se vybírá konkrétní mechanika, čtecí/zápisová hlava, ovládá pohyb jejího vystavovacího mechanismu a získává se informace o stavu mechaniky.

Označení		Význam
$\overline{\text{RWC}}$	výstup	- REDUCED WRITE CURRENT, zápis sníženým proudem
$\overline{\text{HS2 - 0}}$	výstup	- HEAD SELECT 2; část lineární adresy zpracovávaného povrchu
$\overline{\text{WG}}$	vstup	- WRITE GATE; povolení zápisu dat na disk
$\overline{\text{SC}}$	vstup	- SEEK COMPLETE; hlášení z mechaniky, že hlavičky dosáhly žádaného válce a jsou ustáleny
$\overline{\text{TK000}}$	vstup	- TRACK 000; indikace polohy vystavovacího mechanismu na vnějším válci
$\overline{\text{WF}}$	vstup	- WRITE FAULT; hlášení z mechaniky, že zápis není možné pro chybu uskutečnit. Diskovou operaci řadič ukončí
$\overline{\text{INDEX}}$	vstup	- počátek válce
$\overline{\text{READY}}$	vstup	- DRIVE READY; motor diskové mechaniky dosáhl jmenovitých otáček
$\overline{\text{STEP}}$	výstup	- proveď krok vystavovacího mechanismu
$\overline{\text{DIRIN}}$	výstup	- DIRECTION IN; signál určuje směr kroku vystavovacího mechanismu
$\overline{\text{DS0, 1}}$	výstup	- DRIVE SELECT; výběr mechaniky
MFMD WRITE DATA		- datové signály; data zapisovaná na disk
MFMRD READ DATA		- datové signály; data čtená z disku
$\overline{\text{DSELECTED}}$	vstup	- DRIVE SELECTED; signál indikující vybranou mechaniku







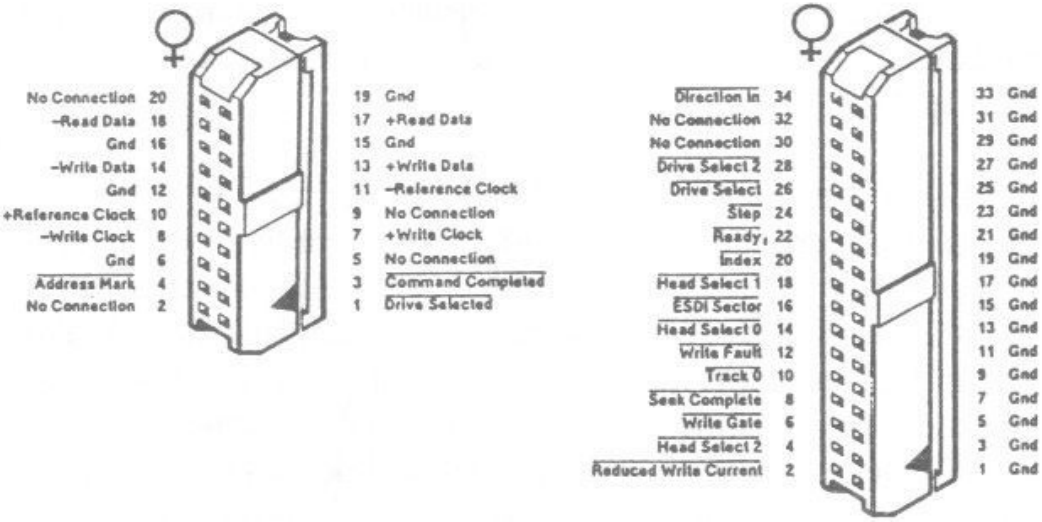
Obr. 12.22 Rozhraní pro disk ST 506/412

Podle zkušeností s tímto vzniklo nové rozhraní **ESDI** - obr. 12.23 - (Enhanced Small Device Interface), které, už podle označení, některé možnosti dřívějšího standardu rozšiřuje. Konektory pro připojení mají stejné rozměry i shodný význam většiny signálů. Hlavní rozdíl je v tom, že mechanika ESDI disku obsahuje datový separátor a kodér dat. Nejčastější je v současné době záznam technikou RLL 2,7 a s tímto rozhraním je možné dosáhnout až dvojnásobné záznamové kapacity.

Kódování RLL (run - length - limited codes) nepracuje se synchronizačními a datovými reverzacemi. V těchto kódech se převádějí tzv. binární vzory na RLL obrazy. Obrazy sice na první pohled vypadají delší (co do počtu nul a jedniček), ale obsahují menší počet jedniček. Kódování probíhá takto: Každý bitový řetězec můžeme rozložit na posloupnost dvou, tří, nebo čtyřbitových vzorů. Pro každý vzor existuje RLL obraz (obr. 12.24) končící dvěma či třemi nulami a začínající žádnou až čtyřmi nulami. Jakákoli kombinace vzorů se takhle zobrazí jako bitová posloupnost obrazů obsahující mezi dvěma následujícími jedničkami od dvou do sedmi nul - odtud označení této varianty RLL kódu jako RLL 2,7. I zde se jedničky zapisují na disk jako magnetické reverzace, zatímco nuly se nezapisují. Nejkratší bitová vzdálenost dvou po sobě jdoucích reverzací je tedy 2, nejdelší 7. To umožňuje při stejných fyzikálních

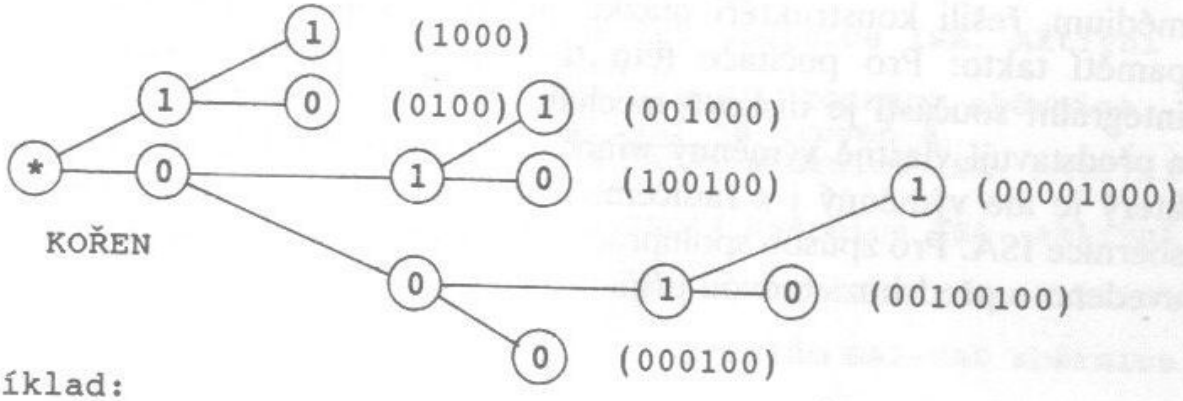
Označení		Význam
$\overline{\text{HS3}}/\overline{\text{RWCR}}$	výstup	- HEAD SELECT 3; jeden ze signálů lineární adresy určující právě zpracovávaný povrch. Při méně než 16 povrchách má signál význam
$\overline{\text{REDUCED WRITE CURRENT}}$		- sníženého zápisového proudu (na vnitřních stopách)
$\overline{\text{COMCOMPD}}$	vstup	- COMMAND COMPLETE; indikace ukončení provedeného příkazu
$\overline{\text{ADDRESS MARK}}$	výstup	- ADDRESS MARK ENABLE; příznak adresové značky. Aktivní je úroveň L
WC	výstup	- WRITE CLOCK; hodiny zápisu
R/RC	vstup	- READ/REFERENCE CLOCK; hodiny pro synchronizaci čtení
WRITE DATA	výstup	- data zapisovaná na disk
READ DATA	vstup	- data čtená z disku
$\overline{\text{INDEX}}$	vstup	- indikace počátku válce
GND	napájení	- společný vodič

Ostatní řídicí signály jsou totožné se signály rozhraní ST 506/412



Obr. 12.23 Rozhraní ESDI pro disk

vlastnostech záznamové vrstvy zkrátit na polovinu délky bitového intervalu, čímž se dosáhne dvojnásobného zvýšení kapacity bez zvýšení požadavků na vlastnosti média. Řadič RLL, zvláště pak jeho datový separátor, je však podstatně složitější, neboť musí bezchybně rozlišit, kolik bitových intervalů mezi dvěma reverzacemi proběhlo.



Příklad:

Bitová posloupnost

10110011 se zakóduje jako 0100100000001000

Obr. 12.24 Kódování vstupní posloupnosti v kódu RLL(2,7)

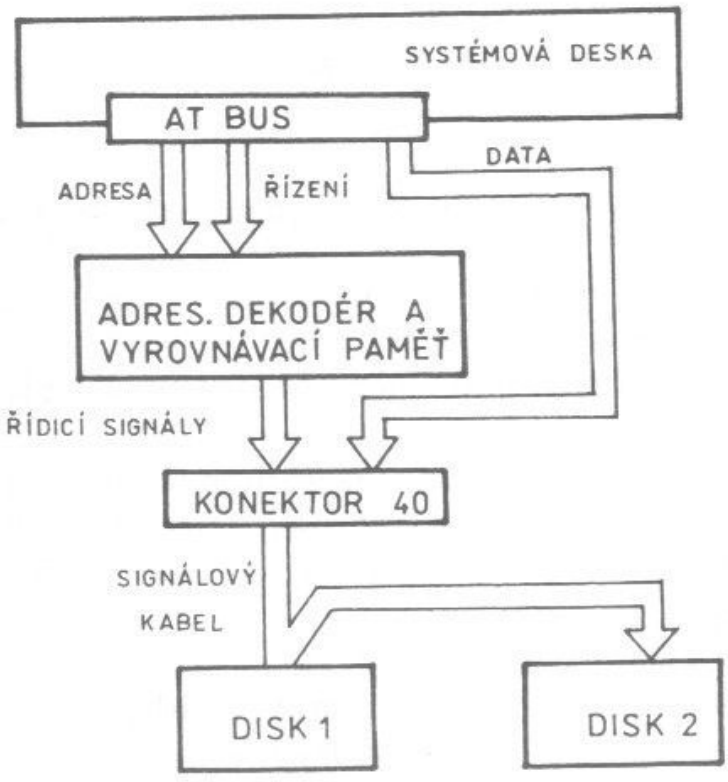
I v tomto případě však ještě probíhá přenos na rozhraní adaptér x mechanika sériově, avšak synchronně. Řadiči jsou i zde k dispozici z hlediska mikroprocesoru redundantní informace o válci, povrchu a sektoru.

Přenosová rychlost dat je v tomto případě vyšší, pohybuje se v intervalu 2 - 3 MB/s (megabajtů za sekundu). Programovou obsluhu tohoto rozhraní nejčastěji zajišťují ROM BIOS rutiny, které jsou obsahem ROM paměti přímo na desce adaptéru.

Přestože je kabelový propojovací systém mezi adaptérem a diskem na rozhraních ST 506/412 a ESDI velmi podobný (dvojice plochých kabelů 34 + 20 vodičů, stejné konektory), kombinovat zařízení s těmito rozhraními v žádném případě nelze! V některých případech by totiž mohlo dojít i k jejich technickému poškození.

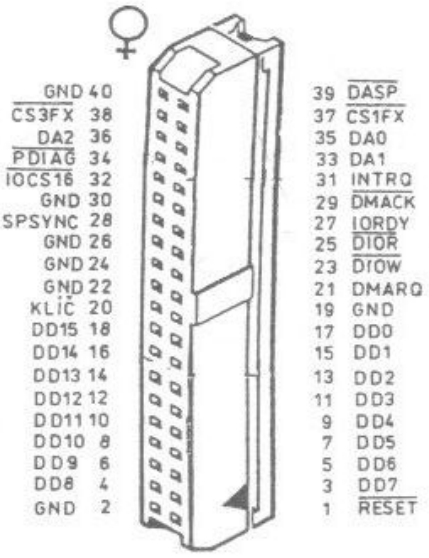
Disky s tímto rozhraním patří k relativně dražším a nasazují se hlavně do modelů horní části výkonového spektra řady PS/2.

Vzhledem k tomu, že všechny disky jsou typu Winchester, a tedy (až na výjimky, které však v souvislosti s osobními mikropočítači třídy IBM PC XT/AT pro příliš vysokou cenu nepřicházejí v úvahu) nemají výměnné médium, řešili konstruktéři otázku omezené kapacity použitých diskových pamětí takto: Pro počítače této třídy jsou k dispozici adaptéry, jejichž integrální součástí je disková mechanika. Označují se termínem **hard card** a představují vlastně výměnný winchestrovský disk s kapacitou cca 20 MB, který je ale výměnný i s řadičem. Rozhraním pro jeho připojení je přímo sběrnice ISA. Pro způsob spolupráce s mikroprocesorem platí ale vše, co bylo uvedeno u předchozích dvou případů.



Obr. 12.25 Připojení disků s rozhraním IDE

označení		Význam signálů vzhledem k diskové jednotce
$\overline{\text{RESET}}$	vstup	- odpovídá invertovanému signálu $\overline{\text{RESET}}$ DRV sběrnice ISA. Aktivní je úroveň L
DD0-DD15	obousměrné	- odpovídá signálům SD0-SD15 datové sběrnice ISA
DMARQ	výstup	- odpovídá DRQx sběrnice ISA. Aktivní je úroveň H
$\overline{\text{DIOW}}$	vstup	- odpovídá $\overline{\text{IOW}}$ sběrnice ISA. Aktivní je úroveň L
$\overline{\text{DIOR}}$	vstup	- odpovídá $\overline{\text{IOR}}$ sběrnice ISA. Aktivní je úroveň L
IORDY	výstup	- odpovídá signálu IOCHRDY sběrnice ISA. Aktivní je úroveň H
$\overline{\text{DMACK}}$	vstup	- odpovídá $\overline{\text{DACKx}}$ sběrnice ISA. Aktivní je úroveň L
INTRQ	výstup	- odpovídá IRQ14 sběrnice ISA. Aktivní je úroveň H
$\overline{\text{IOCS16}}$	výstup	- odpovídá $\overline{\text{IOCS16}}$ sběrnice ISA. Aktivní je úroveň L
DA2-DA0	vstup	- odpovídají signálům SA2-SA0 sběrnice ISA
SPSYNC	obousměrný	- mezi diskovými jednotkami; synchronizace rychlosti otáčení více připojených disků
$\overline{\text{PDIAG}}$	obousměrný	- mezi diskovými jednotkami - informace o úspěšně provedeném diagnostickém testu v rámci POST
$\overline{\text{CS1FX}}$, $\overline{\text{CS3FX}}$	vstup	- výběr diskové jednotky
$\overline{\text{DASP}}$	výstup	informace pro nadřízenou diskovou jednotku, že existuje i podřízená



Obr. 12.26 Význam signálů rozhraní IDE (AT bus)

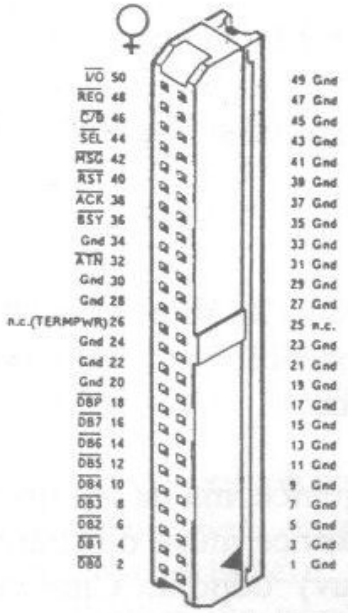
Zdá se, že rozhraní ST 506/412 má od roku 1988 vážnou konkurenci v rozhraní **IDE** (známém též pod označením AT bus). IDE je zkratka od Integrated Drive Electronics. Je příkladem toho, jak zvýšení inteligence periferního zařízení posunulo úroveň rozhraní z přístrojově orientovaného na logické. Tím se nové rozhraní podobá rozhraní SCSI. Podle toho se změnil i typ příkazů, které předává nadřazený mikropočítač (formátuj stopu, čti sektor, atd.).

Rozhraní IDE vyžaduje na PC straně jen jednoduchý adaptér (obr. 12.25) zajišťující adresaci mechanik, ukládání dat do vyrovnávací paměti a výkonové přizpůsobení některých signálů ISA sběrnice, aby je bylo možné přenášet kabelem na vzdálenost do cca 0,5 m. Spojení mezi adaptérem a periferním zařízením obstarává čtyřicetivodičový plochý kabel, který má na konektoru k adaptéru místo 20. nože klíč vylučující chybné zasunutí. Většina signálů, až na $\overline{\text{CS1FX}}$, $\overline{\text{CS3FX}}$, SPSYNC, $\overline{\text{DASP}}$ a $\overline{\text{PDIAG}}$, odpovídá, jak je vidět z obr. 12.26, signálům sběrnice ISA. Jejich význam a rozložení na konektoru je též z tohoto obrázku patrné.

Rozhraní IDE dovoluje připojit dvě diskové jednotky, z nichž jedna má pak funkci jednotky řídicí (MASTER), druhá jednotky podřízené (SLAVE). Z uživatelského hlediska je IDE rozhraní navrženo tak, že ho podporuje standardní BIOS úplně stejně jako rozhraní ST 506/412.

Poslední, čtvrté a stále častěji používané rozhraní, je rozhraní **SCSI** (Small Computer System Interface). Oproti ST 506/412 představuje velmi výraznou změnu ve filozofii spolupráce. Elektrické obvody diskové jednotky jsou v tomto případě schopny autonomně zajistit činnost na mnohem vyšší úrovni. SCSI je specializovaná vnější sběrnice pro připojení inteligentních periferních zařízení, zejména vnějších pamětí. Zvlášť vhodné je pro zařízení vyžadující přímý přístup do paměti. Adaptér rozhraní na sebe přebírá velkou část inteligence, takže u tohoto rozhraní např. odpadá starý způsob adresování na discích ve formě tříslożkové adresy (sektor, stopa, povrch). V případě SCSI je adresa jen jednosložková, protože na zařízení se nahlíží jako na logicky uspořádané jednorozměrné pole bloků a adresa je vlastně relativní adresou bloku v zařízení. Tento způsob vyhovuje všem typům vnějších pamětí, včetně WORM disků, CD ROM disků i disket a kazetových pásek.

označení		Význam z hlediska připojené jednotky
$\overline{DB0}$ - $\overline{DB7}$	obousměrné	- Data bus; vodiče představují datovou sběrnici obousměrně přenášející údaje mezi iniciátorem a příjemcem
$\overline{DBP}$	obousměrný	- Data bus parity; paritní bit datové sběrnice
$\overline{BSY}$	obousměrný	- Busy; signál indikuje, že sběrnice přenáší údaje
$\overline{SEL}$	obousměrný	- Select; signál využívá iniciátor k výběru příjemce, nebo naopak příjemce k novému výběru iniciátora
$\overline{RST}$	vstup	- Reset; aktivní úroveň (L) nuluje všechna zařízení na sběrnici připojená
$\overline{C/D}$		- Control/Data; signál generuje příjemce, který určuje, zda se po datové sběrnici přenášejí data, nebo příkazy
$\overline{I/O}$		- Input/Output; signál generuje příjemce a určuje jím směr přenosu
$\overline{REQ}$		- Request; kvitovací signál generovaný příjemcem při přenosu dat
$\overline{ACK}$		- Acknowledge; kvitovací signál přenosu dat generovaný iniciátorem
$\overline{ATN}$		- Attention; iniciátor indikuje přenos údajů
$\overline{MSG}$		- Message; nastavuje příjemce během přenosu údajů



Obr. 12.27 Význam signálů sběrnice SCSI

Na sběrnici SCSI (obr.12.27) mohou v daném okamžiku komunikovat jen dvě z osmi připojitelných zařízení. Každému je přiřazen jeden z identifikačních ID bitů. Iniciátorem komunikace je jedno, příjemcem druhé zařízení. Nejen v tom je toto rozhraní podobné rozhraní IEEE 488 (mluvčí-posluchač).

Sběrnice SCSI se může nacházet v jedné z osmi fází:

Sběrnice volná (Bus Free). V této fázi žádné připojené zařízení sběrnici nevyužívá.

Arbitrace (Arbitration). Tato fáze umožňuje jednomu ze zařízení řízení sběrnice získat.

Výběr (Selection). Během této fáze vybírá iniciátor příjemce.

Nový výběr (Reselection). Příjemce se během této fáze znovu připojuje k iniciátorovi.

Data (Data). Přenáší se data mezi iniciátorem a příjemcem.

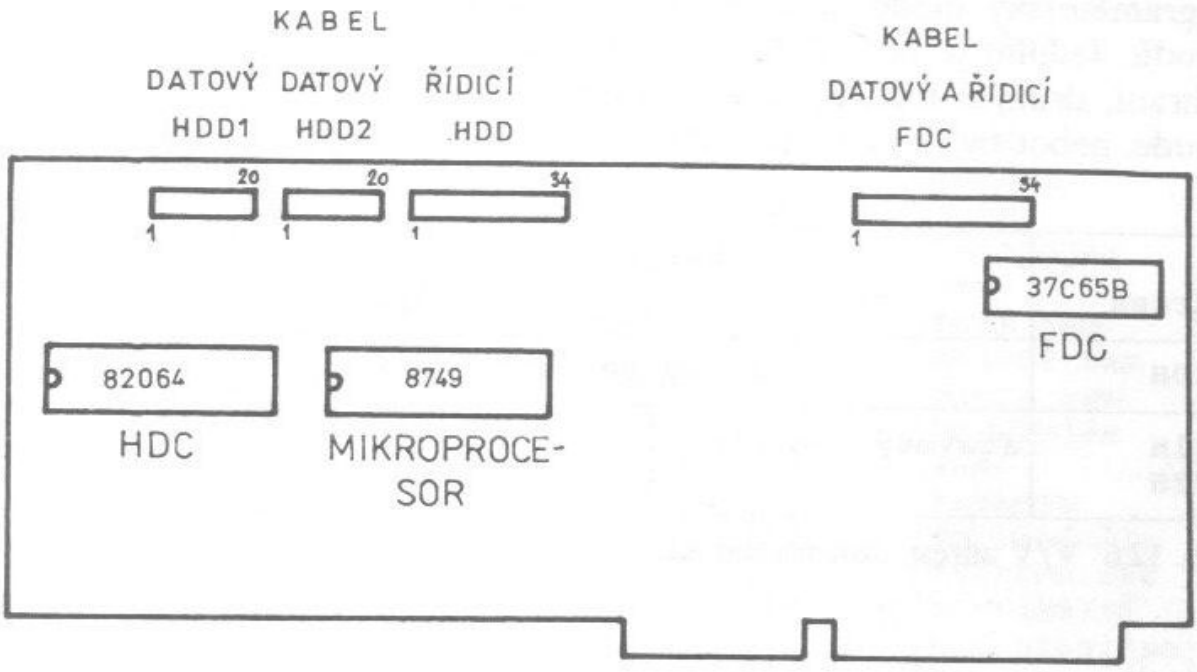
Příkaz (Command). Příjemce si od iniciátora vyžádá informaci o tom, co má dělat.

Stav (Status). Příjemce zasílá iniciátorovi stavovou informaci.

Zpráva (Message). Fáze umožňuje přenos zprávy mezi iniciátorem a příjemcem.

První čtyři fáze umožňují přístup ke sběrnici a vytvoření komunikační cesty. Druhé čtyři fáze jsou fázemi přenosovými; během nich se přenášejí buď data, nebo řídicí a stavové informace.

Fakt, že fáze sběrnice řídí příjemce, má na její přenosovou kapacitu nesporně pozitivní vliv. Příjemce se dokonce může od sběrnice na dobu nějaké vnitřní činnosti (např. vystavení hlav) odpojit. Činí tak proto, aby ji zbytečně neblokoval v době, když se data nepřenášejí.



Obr.12.28 Deska s adaptérem disku a diskety

V modelu XT je obvykle adaptér disku na zvláštní desce, adaptér disků modelu AT se obvykle kombinuje s adaptérem disket na desku jedinou. Příklad takové desky uvádíme na obr. 12.28. Tento adaptér obsahuje prostředky podporující připojení dvou winchestrovských disků s rozhraním ST 506 a dvou mechanik disket se záznamem 360 KB, 1,2 MB, 720 KB i 1,44 MB. Jako jádra řadičů jsou v tomto případě použity průmyslové standardy I 82064 a WD37C65B. Vlastní inteligenci desky podporuje jednoobvodový mikrořadič I 8748, který přijímá všechny příkazy z nadřazeného mikropočítače a řídí činnost podsystému pevného disku. Adaptér je navržen tak, že spolupracuje s jedním z libovolných procesorů 80286, 80386. Konektory pro připojení mechanik jsou přístupné na horní (dlouhé) straně desky, takže se snadno připojují mechaniky zamontované uvnitř systémové jednotky.

Diskový adaptér je z hlediska procesoru adresovatelný V/V adresami 320H - 32FH. Z nich jsou však využity jen adresy některé - viz tab. 12.6. Programátorský model diskového adaptéru tentokrát neuvádíme ze dvou důvodů. Jedním je fakt, že se přece jen poněkud liší podle použitého typu

Programátorský model diskového adaptéru tentokrát neuvádíme ze dvou důvodů. Jedním je fakt, že se přece jen poněkud liší podle použitého typu rozhraní, druhým fakt, že programovat disk na této úrovni žádný uživatel nebude, neboť by se musel postarat o celou správu souborů sám.

Adresa	Význam při čtení	Význam při zápisu
320H	datový registr adaptéru	
321H 322H	stavový registr	řídicí registr

Tab. 12.6 V/V adresy disketového adaptéru

12.6 Rozhraní pro monitor

Každý obrazový adaptér (podrobnosti viz kapitola 11) má jiné vlastnosti zobrazení zejména pokud jde o rozlišovací schopnost, znakový či grafický provoz, počet barev škály atd. Z toho vyplývají i jiné požadavky na spolupracující monitor; hlavně jde o kmitočet řádkové a snímkové synchronizace, šířku přenášeného pásma a počet a charakter modulačních vstupů. Některé standardy přehledně uvádí následující tabulka.

Standard	Frekvence H [kHz]	Frekvence V [Hz]	Šířka pásma [MHz]	Modulační vstupy
MDA	18,43	50	16,25	I
CGA	15,75	50-60	14,3	RGBI
EGA	21,85	50-60	16,25	RrGgBb
Super VGA	35,2	45-75	35	analog

Tab. 12.7 Charakteristika některých standardních displejů osobních počítačů třídy XT/AT

Vzhledem k různým hodnotám horizontální i vertikální synchronizační frekvence a formám ovládání modulačních vstupů vyžaduje každý displejový standard zvláštní monitor. V poslední době jsou ale k dispozici tzv. monitory

Číslo nože	Význam
1	Zem
2	Sekundární rudá
3	Primární rudá
4	Primární zelená
5	Primární modrá
6	Sekundární zelená/Intenzita
7	Sekundární modrá/Mono Video
8	Horizontální synchronizace
9	Vertikální synchronizace

Obr. 12.29 Rozložení a význam signálů na 9nožovém konektoru adaptéru displeje (číslicový konektor)

Číslo nože	Význam
1	Rudá
2	Zelená
3	Modrá
4	Nezapojen
5	Zem
6	Rudá zem
7	Zelená zem
8	Modrá zem
9	Nezapojen
10	Zem
11,12	Rezerva
13	Horizontáln sychronizac
14	Vertikální synchronizae
15	Rezerva

Obr. 12.30 Rozložení a význam signálů na 15nožovém konektoru adaptéru displeje (analogový konektor)

Modulační vstupy monochromatických i některých jednodušších barevných monitorů jsou číslicové. Pro barevnou škálu větší než osm barev je zapotřebí dalšího modulačního vstupu (Intensity), případně vstupů (Secondary RGB). Nejnovější grafické adaptéry však mají barevnou škálu ještě rozsáhlejší, protože používají analogové modulační vstupy. Ty ale vyžadují v adaptéru rychlé číslicově - analogové převodníky (35 MHz). Konektory pro připojení monitorů jsou 9 nebo 15nožové a jsou přístupné na zadní straně počítače (krátká hrana adaptéru). Konektor na adaptéru má dutinky. Rozložení a význam jednotlivých signálů je pro 9nožovou variantu na obr. 12.29, pro 15nožovou variantu na obr. 12.30. Rozložení platí pro monitory typu IBM EGA, CGA, MDA a 8512, 13, 14, 8503, Mutisync a kompatibilní.

12.7 Síťové rozhraní

Lokální počítačové sítě (LAN - Local Area Networks) jsou velmi výhodné tam, kde více pracovišť používá stejný program, velký objem dat, stejnou databázi, nebo sdílí jednu tiskárnu, fax, modem, zapisovač, či řídí výrobu nebo i jen provozuje elektronickou poštu. Aplikací je mnoho a všechny prognózy signalizují, že se sítě ještě více rozšíří.

Typické úlohy pro využití sítě jsou následující:

- Textové editory, databáze, tabulkové procesory. Tato aplikační oblast představuje základní využití sítí, se kterým se začínalo už v minulosti.

- Standardní uživatelské programy. Tyto programy nemusí mít každý pracovník na svém disku, což vede k úspoře místa a usnadňuje údržbu programů.

- Uživatelské programy. Podobně jako v předchozím bodě, avšak programy pro tento účel byly vytvořeny pro konkrétní aplikaci uživatele.

- CAD, CAM. Konstruktér zpracovává dílčí část pomocí CAD systému. Když je s prací hotov, zasílá podklady sítí do CAM střediska, které ve zpracování pokračuje.

- DTP. Jednotlivá pracoviště používají DTP systémy, ale mají společnou tiskárnu a fotosázecí stroj.

- Sdílení faxu, modemu. V podniku (pracovišti) je centrální modem nebo fax, který odesílá a přijímá poštu.

Typická LAN síť se skládá z jednohé či více stanic pro správu souborů FS (File Servers) či společných periferních zařízení (tiskárna, zapisovač, atd.) a několika pracovních stanic WS (Work Stations), z hlediska uživatele normálních pracovišť, tvořených třeba právě mikropočítačem kompatibilním s IBM PC.

FS tvoří spolehlivý a výkonný počítač s velkými pevnými disky. Typickým představitelem je systém s procesorem alespoň 80386 a pamětí RAM nejméně 4 MB (doporučuje se 8 MB). Pevný disk musí mít zaručenu dlouhou životnost (např. MAXTOR - 24 hodin denně, 7 dnů v týdnu). FS se nevypíná, protože největší pravděpodobnost poškození pevného disku (kolize hlav s magnetickou vrstvou) je právě při rozbíhání a doběhu.

WS jsou mezi sebou a s FS propojeny podle topologie buď hvězdou, sběrnicí nebo kruhem. Podle typu adaptéru je spojení realizováno kroucenou dvoulinkou, koaxiálním kabelem nebo kabelem optickým.

Oblast LAN komerčně ovládla firma NOVELL. Patří jí zhruba 60 %, zatímco druhá IBM má asi 21 % a na třetí 3COM zbylo asi 10 % trhu. Zbývající část je rozdělena mezi dalších přibližně 10 firem, které však nemají žádný velký význam.

Sítě firmy NOVELL mohou pracovat s několika různými adaptéry, které vlastní přenos dat podporují. Jsou to:

ARCNET

- topologie (většinou) typu hvězda
- rychlost přenosu 2,5 Mb/s
- přístup s pověřováním (token - passing)
- koaxiální kabel nebo kroucená dvoulinka
- rozbočování pasivní pomocí P-HUB, aktivní pomocí A-HUB
- determinovaný způsob šíření dat - podle zapnutí stanic
- max. vzdálenost 6,5 km mezi nejvzdálenějšími stanicemi

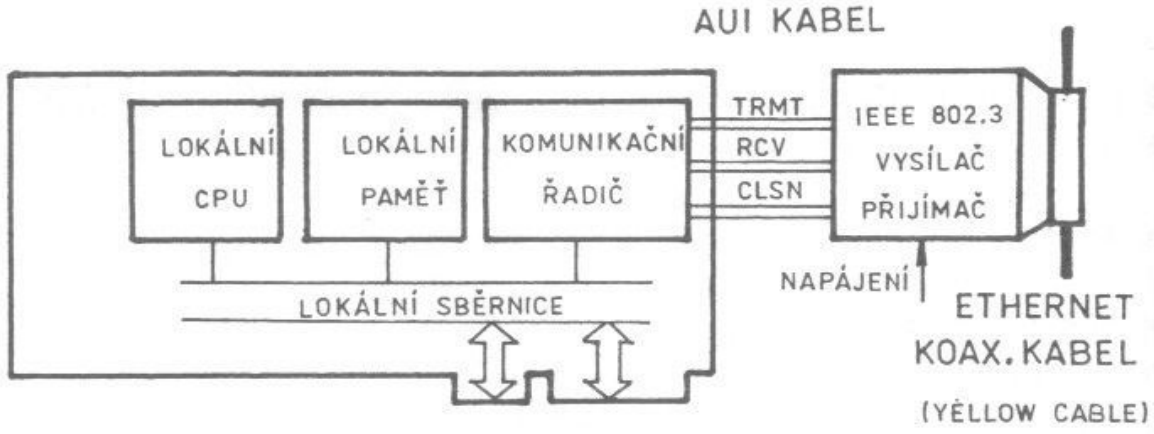
ETHERNET

- topologie typu sběrnice
- rychlost přenosu 10 Mb/s
- přístup CSMA/CD
- koaxiální kabel nebo optický kabel
- snadné napojení stanice na koaxiální kabel
- zesilování pomocí TCR (transceiver)
- nedeterminovaný způsob šíření dat

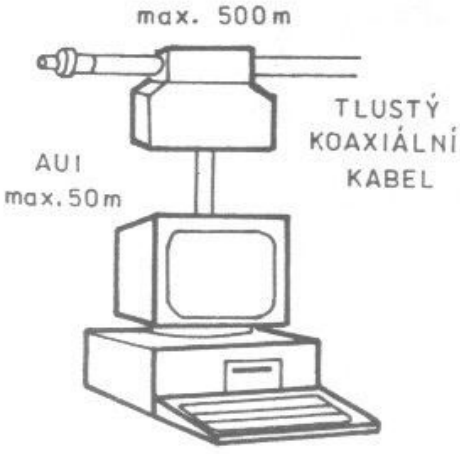
TOKEN RING (IBM)

- topologie typu kruh
- rychlost 4 Mb/s
- přístup s pověřováním (token - passing)
- kroucená dvoulinka
- stanovená doba přenosu
- značná cena
- determinovaný způsob šíření dat

Karty ARCNET jsou levnější než ETHERNET. Síťe TOKEN RING jsou velice drahé, ale mají stanovenu dobu přenosu, což je důležité při řízení technologických procesů. V této aplikaci se též používají sítě ARCNET. Nejperspektivnější se zdají být sítě ETHERNET.



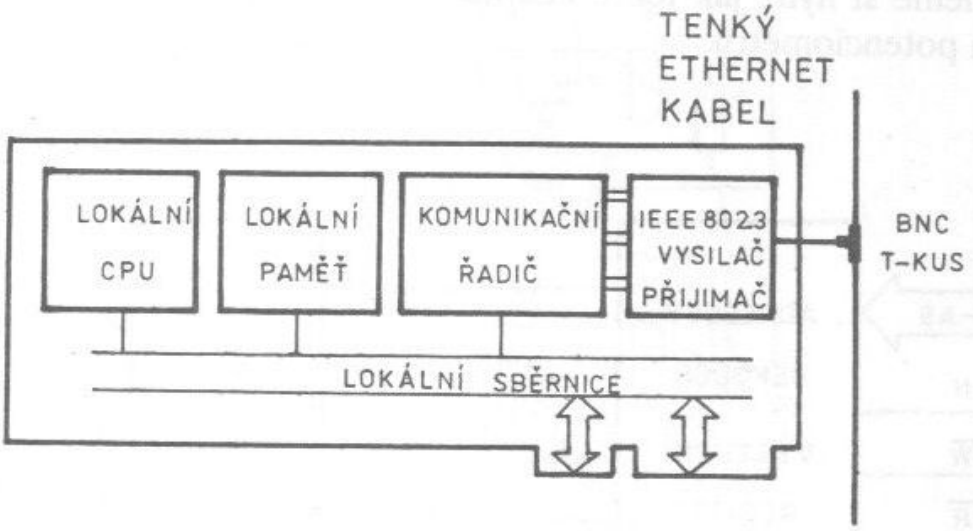
Obr. 12.31 Připojení na tlustý ETHERNET



Existuje několik desítek výrobců desek zvláště z Dálného východu, které jsou kompatibilní, ale bez značky "NOVELL tested" mohou způsobit problémy. Podle tvrzení firmy NOVELL se nevyplácí kupovat levné karty, ale pouze kvalitní od známých firem, z důvodu spolehlivosti.

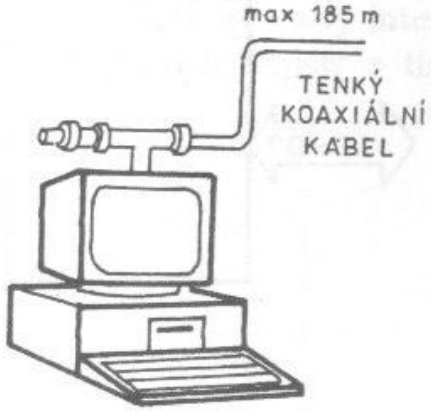
Karty ETHERNET se dodávají v několika provedeních podle typu přenosového média, ke kterému se připojují. Základním typem je tlustý ETHERNET koaxiální kabel, podle barvy ozna-

čený jako žlutý kabel (YELLOW CABLE). Ten může mít maximální délku 500 m a zařízení se k němu připojují pomocí speciálního vysílače - přijímače, přičemž vzdálenost sousedních připojení nesmí být menší než 2,5 m. Z tohoto důvodu jsou na kabelu už z výroby uvedeny příslušné značky. K vysílači - přijímači se konkrétní zařízení, např. pracovní stanice, připojuje kabelem AUI (Attachment Unit Interface), jehož délka nesmí přesáhnout 50 m (obr.12.31). Vzhledem k tomu, že přenosovým médiem ETHERNETu může být i tenký koaxiální kabel (obr.12.32), jsou na trhu i desky vybavené příslušným vysílačem a přijímačem a k připojení do sítě stačí T bus konektor BNC.



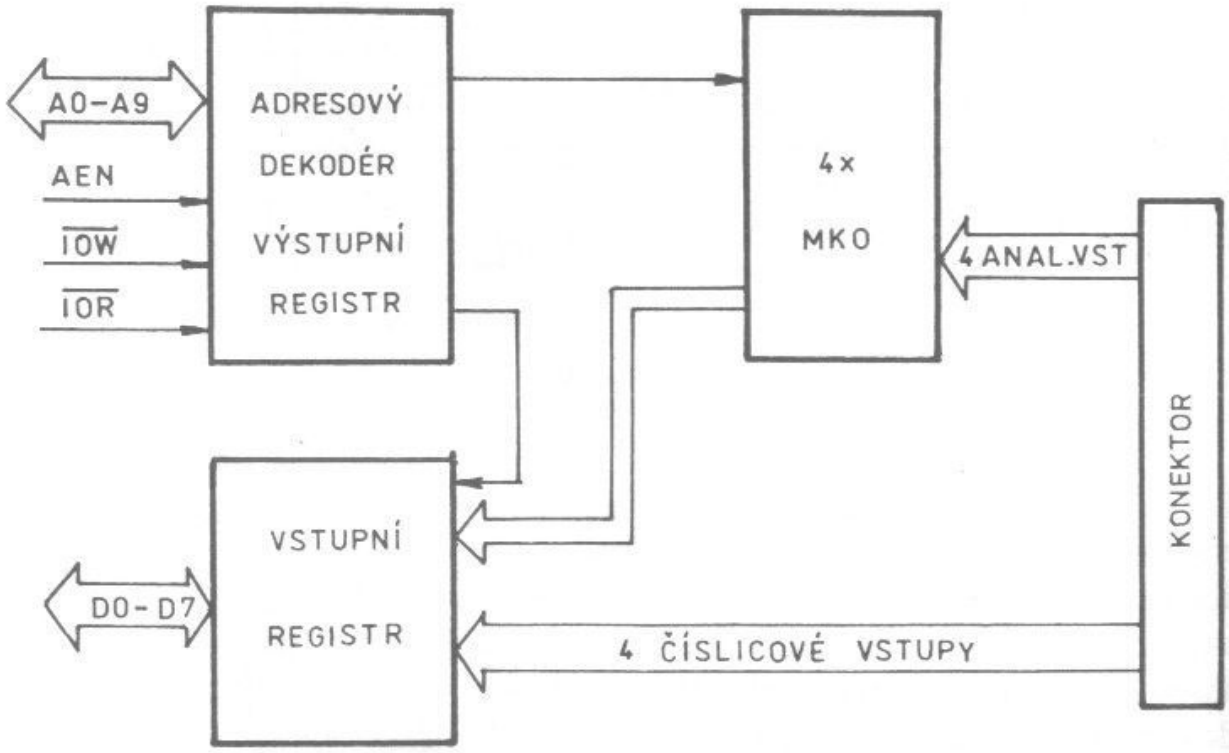
Obr. 12.32 Připojení na tenký ETHERNET

Ještě jednoduššími jsou desky, které jako přenosové médium pro připojení k síti používají kroucenou dvoulinku. Její délka nesmí přesáhnout 100 m ke koncentrátoru; ten obsluhuje několik pracovních stanic dvoubodovým spojem a má vazební ETHERNET obvody. Speciální vysílač - přijímač umožňuje i přenos po optických vláknech.



12.8 Rozhraní pro hry

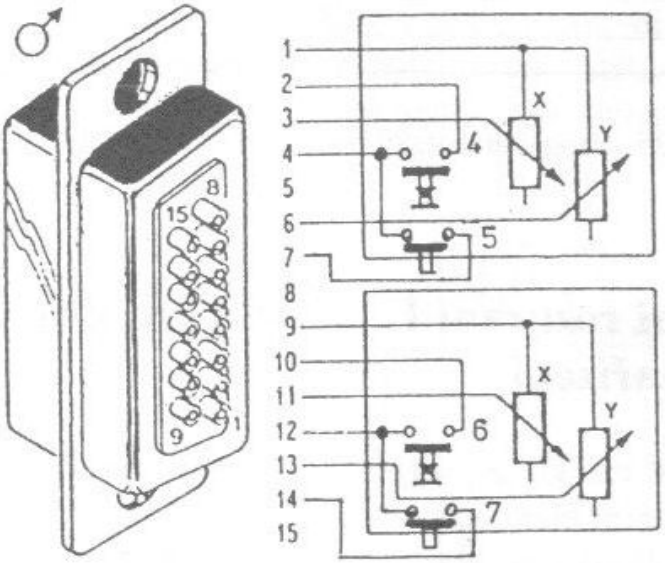
Adaptér pro hry připojuje k mikropočítači pákový ovladač (joystick). Žádný důvod však nestojí v cestě tomu, aby tento adaptér uživatel po přizpůsobení programového vybavení využil i pro vstup dat z jiného periferního zařízení. Pomocí tohoto adaptéru lze však uskutečnit pouze vstup dat. Nabízí možnost připojit max. čtyři číslicové a čtyři analogové vstupy. V původně plánované variantě se jimi připojují dvě tlačítka pákového ovladače ovládaná prsty a dále i jeho 4 polohové rezistory. Blokové schema tohoto adaptéru je na obr.12.33. Vysvětleme si nyní, jak tento adaptér vyhodnocuje analogové vstupy z polohových potenciometrů.



Obr. 12.33 Blokové schéma adaptéru pro hry

Ke čtyřem nižším bitům zmíněného datového registru jsou připojeny monostabilní obvody, které se spouštějí instrukcí OUT 0201H (s libovolnými daty). Délku pulsu každého z těchto monostabilních obvodů určuje časová

konstanta RC obvodu složeného z kondenzátoru, který je v adaptéru, a rezistoru, který je součástí pákového ovladače a je tedy vně mikropočítače a je připojen kabelem; zapojení je uvedeno na obr.12.34. Změříme-li dobu trvání pulsu, můžeme ze známé hodnoty kondenzátoru velikost rezistoru vypočítat a odtud už jednoznačně vyplývá okamžitá poloha páky ovladače. Pro správnou funkci analogového vstupu musí být rezistor svým pevným koncem připojen na napětí +5 V, což je v adaptéru provedeno.

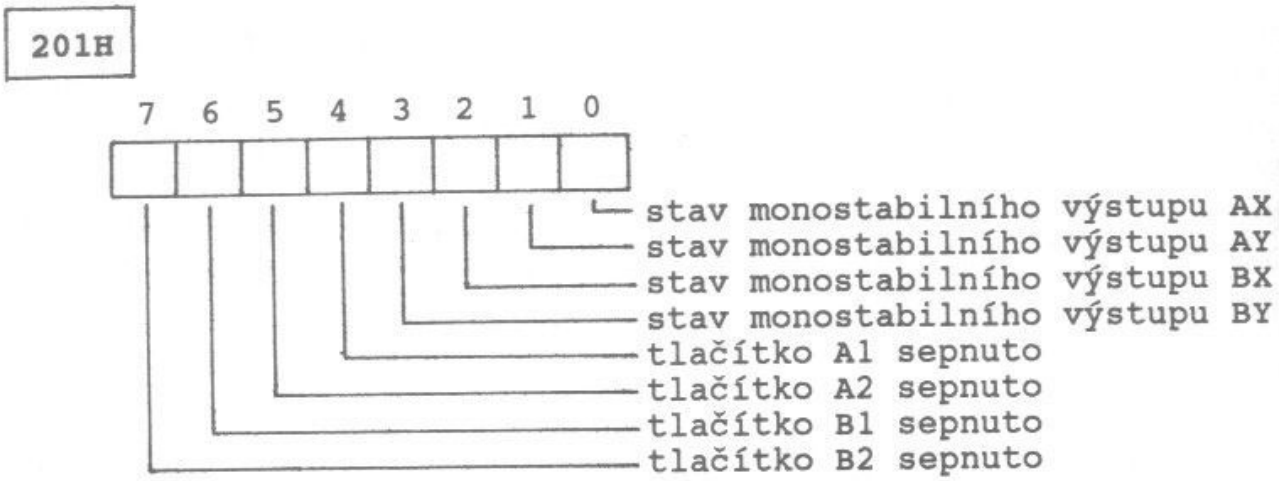


Obr. 12.34 Význam a rozložení signálů konektoru rozhraní pro hry

Pro herní adaptér je ve V/V prostoru IBM PC rezervován adresový interval 200H - 20FH. Programově je přístupný jeden osmibitový registr s tímto významem.

Adresa	Význam při čtení	Význam při zápisu
201H	registr číslicových vstupů a stavu MKO	spuštění MKO

Tab. 12.8 V/V adresy adaptéru pro hry



Obr. 12.35 Programátorský model registru adaptéru pro hry

12.9 Standardní rozhraní IEEE 488 pro připojování měřicích zařízení

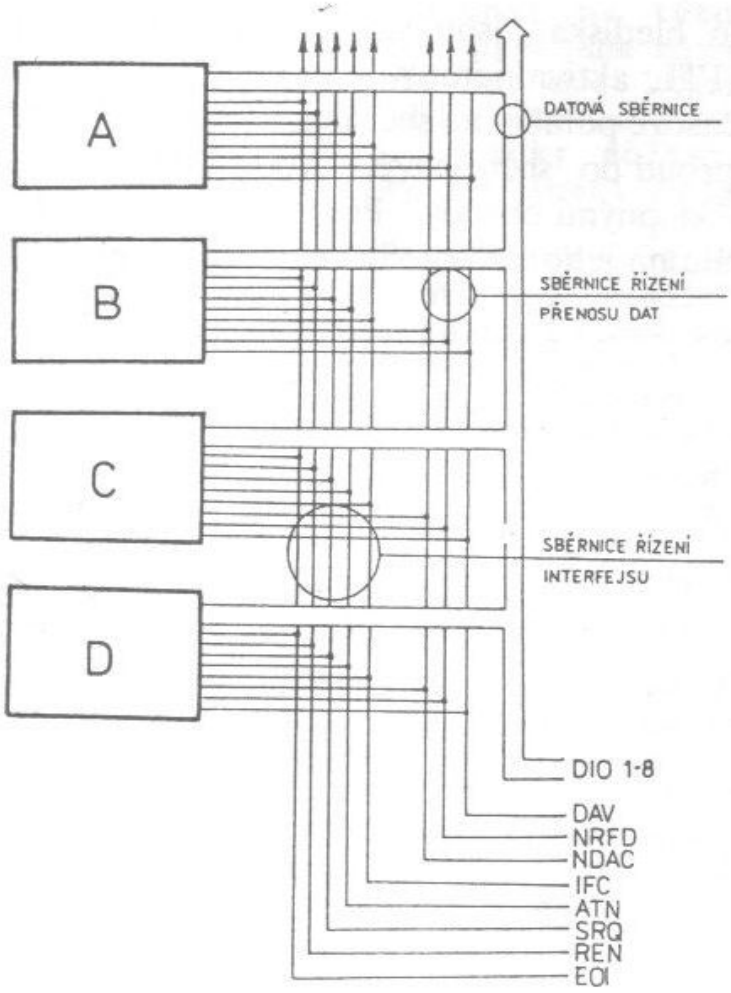
Rozhraní IEEE 488 vzniklo z potřeby vytvářet automatická měřicí pracoviště vzájemným propojením elektrických měřicích přístrojů a prostředků výpočetní techniky. Tato myšlenka je stará stejně tak dlouho, jako číslicová měřicí technika sama. Jedním z průkopníků v této oblasti je firma Hewlett-Packard, která začala vyrábět počítače i měřicí zařízení s interfejsem GP-IB. Ten se stal později základem po doporučení IEEE 488.

Hlavní charakteristiky systému

Maximální rychlost přenosu	- 500 (dokonce až 1000) kB/s
Počet připojitelných přístrojů	- max. 15 (elektrický limit), typicky 8 (použitý přerušovací systém)
Délka sběrnice	- max. 20 m, typicky 2 m na zařízení
Organizace přenosu	- osmibitové příkazy osmibitová data bajty sériově; automatické přizpůsobení přenosové rychlosti nejpomalejší funkční jednotce v systému

Sběrnice	- 8 datových vodičů pro obousměrnou komunikaci 8 řídicích vodičů (8 zpětných vodičů) 1 stínění
Adresovací možnosti	- 31 adres pro přístroje typu mluvčí a 31 adres pro přístroje typu posluchač

Užití sběrnice IEEE 488 je ale v současné době velmi široké a perspektivní. Zařízení na sběrnici připojená nemusí být jen typu měřicí přístroj. Výrobci dodávají i se sběrnicí kompatibilní typická přídavná zařízení, jako jsou tiskárny, barevné grafické terminály atp.



Obr. 12.36 Struktura systému IEEE 488

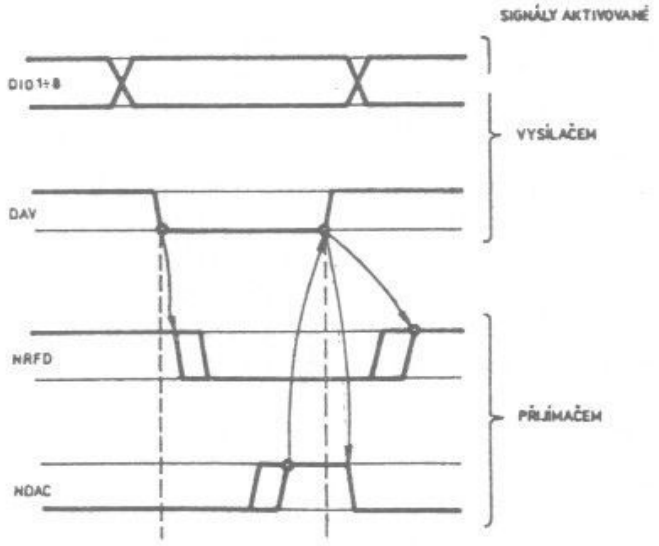
V systému IEEE 488 může pracovat mnoho různých zařízení, ale každé pracuje v jednom ze tří základních režimů nebo v jejich kombinaci. Tyto režimy označujeme názvy ovladač, mluvčí a posluchač. Jak vyplývá z obr. 12.36, některá zařízení mohou pracovat ve všech těchto režimech, škála jiných režimů je omezená. Posluchač přijímá data ze sběrnice. Mluvčí data na sběrnici vysílá. Ovladač realizuje dohled nad adresací ostatních zařízení nebo uděluje povolení pro mluvčí k vysílání na sběrnici.

V systému může v daném okamžiku pracovat pouze jediný ovladač a jediný mluvčí. Připojeným zařízením jsou přiřazeny různé adresy. Ovladač adresuje tolik posluchačů, kolik je třeba; typicky je samozřejmě přenášena informace od jednoho mluvčího k jednomu posluchači.

Z elektrického hlediska jsou signály na sběrnici IEEE 488 přenášeny s napěťovými TTL; aktivní je úroveň L. Omezení maximální délky kabelů je s ohledem na časové poměry na sběrnici. Výstupní obvody připojovacích desek mají dodávat proud do sběrnicových vodičů 48 mA, vstupy jsou realizovány Schmittovými klopnými obvody. Předepsán je typ konektoru a samozřejmě rozložení signálu na jeho nožích. Struktura systému IEEE 488 je uvedena na obr. 12.36.

Označení	Význam
DIO1-8	- Obousměrná datová sběrnice
DAV	- Data platí; používá se pro označení platnosti nebo neplatnosti informace na vodičích DIO1-DIO8. Tento signál vysílá na sběrnici mluvčí
NRFD	- Nepřipraven na data; používá se k hlášení připravenosti funkční jednotky přijmout data. Tento signál vysílá posluchač. Jelikož posluchačů může být více, příslušné signály se logicky sčítají
NDAC	- Data nepřijata; používá se k hlášení, zda jednotka přijala data. Tento signál opět vysílá posluchač. Přejde-li signál na této lince na úroveň H (data přijata), přestane mluvčí vysílat zprávu. Posluchačů může být opět více; vzhledem k tomu, že se signály od jednotlivých posluchačů na příslušném vodiči logicky sčítají, probíhá přenos dat automaticky rychlostí nejpomalejšího z nich
ATN	- Pozor; používá se k určení, jak mají být údaje na datové sběrnici interpretovány. Vysílá-li ovladač úroveň L, znamená to, že na datové sběrnici je právě adresa zařízení nebo příkaz
IFC	- Nulování interfejsu; uvádí interfejsové jednotky jednotlivých zařízení do klidového stavu
SRQ	- Vyžádání obsluhy; úrovní L na tomto vodiči na sebe mohou funkční jednotky upoutat pozornost ovladače
REN	- Umožnění dálkového ovládání; ve spojení s dalšími zprávami umožňuje přechod do režimu dálkového ovládání
EOI	- Konec nebo identifikace; používá mluvčí k označení konce posloupnosti slabik značící nějakou zprávu nebo jako příkaz ovladače odpovídající na žádost zařízení SRQ. Ovladač tímto vyzývá žádající funkční jednotku, aby se identifikovala svou adresou, kterou umístí na datovou sběrnici

Obr. 12.37 Význam signálů a výkres konektoru rozhraní IEEE 488



Obr. 12.38 Komunikace s třívodičovým kvitováním

Z toho, co již bylo řečeno, vyplývá, že se v systému mohou vyskytovat funkční jednotky (přístroje - zachováme zde terminologii IEEE 488) čtyř typů:

Typ A - Funkční jednotka (přístroj) mající funkce: ovladač, mluvčí, posluchač. Typickým příkladem jednotky tohoto typu je počítač.

Typ B - Funkční jednotka (přístroj) mající funkce: mluvčí, posluchač (např. číslicový voltmetr).

Typ C - Funkční jednotka (přístroj) mající funkci: posluchač (např. tiskárna, programovatelný generátor spojitých průběhů nebo pulsů).

Typ D - Funkční jednotka (přístroj) mající funkci: mluvčí (např. snímač děrné pásky).

Sběrnice systému je tvořena třemi skupinami vodičů: (zpětné vodiče neuvažujeme). Osm vodičů datové sběrnice, tři vodiče řízení přenosu dat (DAV, NRFD, NDAC) a konečně zbývajících pět vodičů slouží k ovládání systému (ATN, IFC, SRQ, REN, EOI) - viz obr. 12.37.

Sběrnice řízení přenosu dat zajišťuje asynchronní předávání bajtů po datové sběrnici. Pro tento systém je charakteristické kvitování na třech vodičích

(3 wire handshaking). Tato organizace dovoluje paralelní propojování funkčních jednotek s velmi rozdílnými operačními rychlostmi. Postup přenosu jedné zprávy je patrný z obr. 12.38. Jsou v něm vyznačeny kvitovací signály od dvou posluchačů s výrazně různou operační rychlostí.

Když se mluvčí ujistí, že posluchači jsou připraveni, uvede signál DAV na úroveň L. Tím všem oznamuje, že na linkách DIO je platná informace. Odpověď na signál DAV zašle nejprve nejrychlejší posluchač. Převede svůj výstup NRFD na úroveň L. Tím oznámí, že danou slabiku zpracovává. V okamžiku, kdy nejpomalejší posluchač přestane držet NDAC na úrovni L (signál NDAC přejde na úroveň H), je jasné, že všichni posluchači převzali slabiku. To mluvčí zjistí testem přechodu NDAC L - H a zruší platnost vysílaných dat úrovní H signálu DAV.

Všichni posluchači zjistí tento přechod a připraví se k převzetí nových dat. Převedou svoje výstupy NDAC do stavu L a NRFD do stavu H. Současně s touto činností může mluvčí připravovat další slabiku k přenosu.

Sběrnice řízení interfejsu slouží k řízení a dohledu nad provozem celého měřicího systému. Převážně jednovodičové interfejsové zprávy přenášené touto sběrnicí jsou určeny pro nastavení stavů připojených zařízení a pro speciální komunikaci mezi ovladačem a ostatními jednotkami. Vodiče ovládání systému jsou uvedeny v obr. 12.37.

Funkční jednotky spolu v systému IEEE 488 komunikují prostřednictvím interfejsových funkcí. Popis interfejsových funkcí přesahuje rámec tohoto textu. Aby mohla funkční jednotka v systému IEEE 488 fungovat, musí být vybavena příslušným rozhraním.

13. Konstrukce adaptéru nestandardních vstupů a výstupů

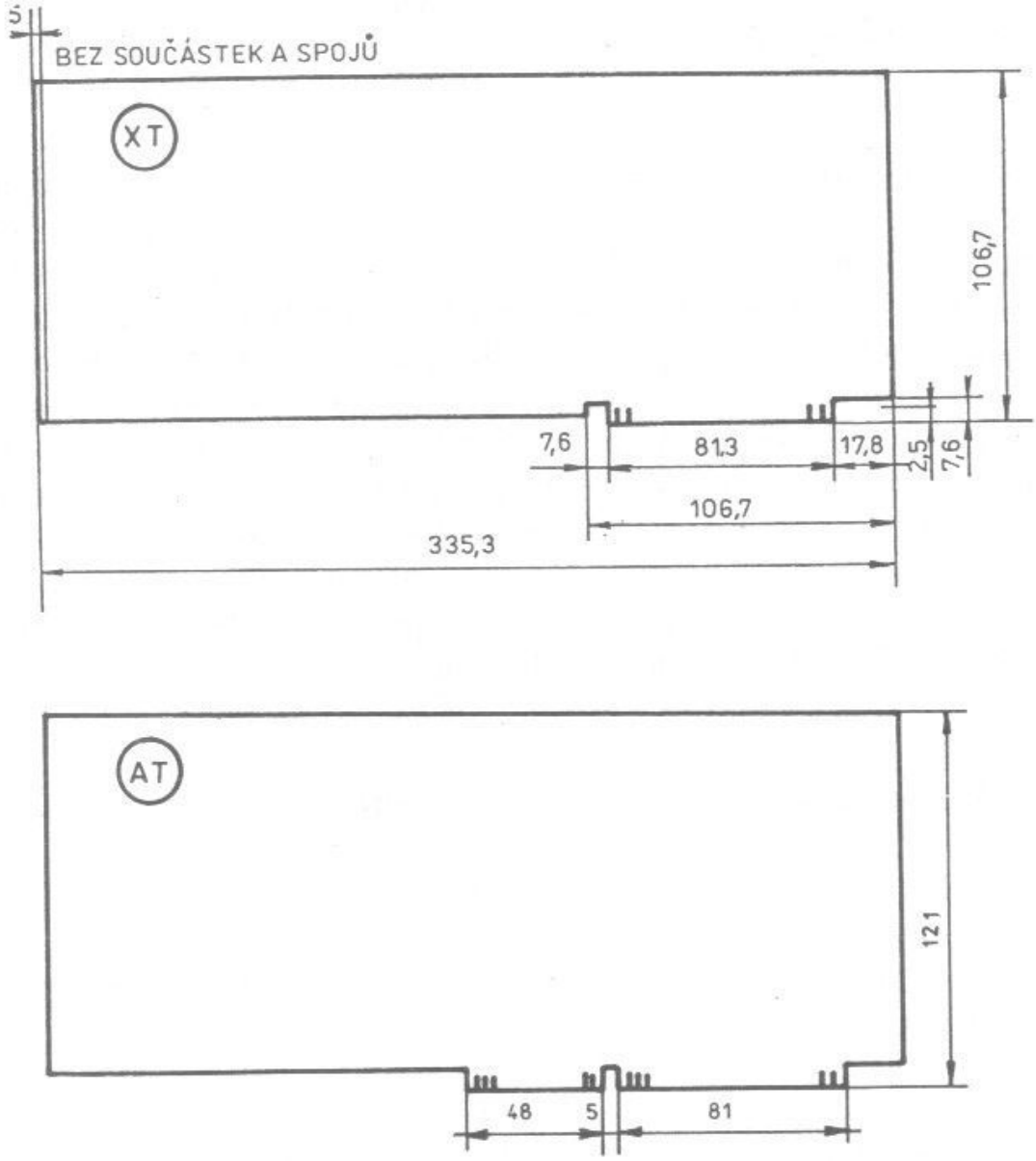
Většina standardních adaptérů zabírá právě jednu pozici ve V/V kanálu systémové desky. Možnosti některých složitých adaptérů lze rozšiřovat přidáním dalších submodulů, které se zasouvají do lokálních konektorů na samotné desce, takže jejich tloušťka roste a zabírá pak místo pro jiný adaptér. Standardní rozteč desek ve V/V kanálu je 25,4 mm. Konektory pro adaptéry jsou v levé zadní části systémové desky a zasunutý adaptér je v kolmé poloze. Na jeho zadní krátké straně je L úhelníky přišroubováno zadní čelo, které jednak nese případné konektory pro připojení vnějších zařízení jednak slouží k mechanickému upevnění adaptéru. Většina systémových jednotek má i upevnění pro opačnou krátkou stranu adaptéru, která se po zasunutí nachází uprostřed systémové jednotky; proto se doporučuje, aby se součástky a spoje neumísťovaly blíže než 5 mm od této hrany.

13.1 Mechanické vlastnosti adaptéru

Tvar desky adaptéru a rozměry uvádí obr. 13.1. Plocha určená pro rozmístění součástek a vodičů má rozměry cca 104 mm x 330 mm. Konektor modelu XT má 62 kontaktů, modelu AT 98 kontaktů. Vzdálenost středů kontaktních ploch je 2,54 mm.

Řada výrobců nabízí prototypové desky s pokovenými dírami a obrazcem plošných spojů pro adresový dekodér a připojení datové sběrnice podle zapojení, které popíšeme v následujícím odstavci. I když nebývá jejich cena zrovna nízká, domníváme se, že není ekonomické ani rozumné, aby si ji každý uživatel vyráběl vlastními silami.

Vzhledem k přímému konektoru a požadavku na dobrou elektrickou vodivost kontaktních ploch s pery konektoru nesmí tloušťka nosného materiálu klesnout pod 1,5 mm. Kontaktní plošky adaptéru by měly být navíc pozlaceny.



Obr. 13.1 Tvar desky adaptéru

13.2 Příklad sběrnicového rozhraní uživatelského adaptéru

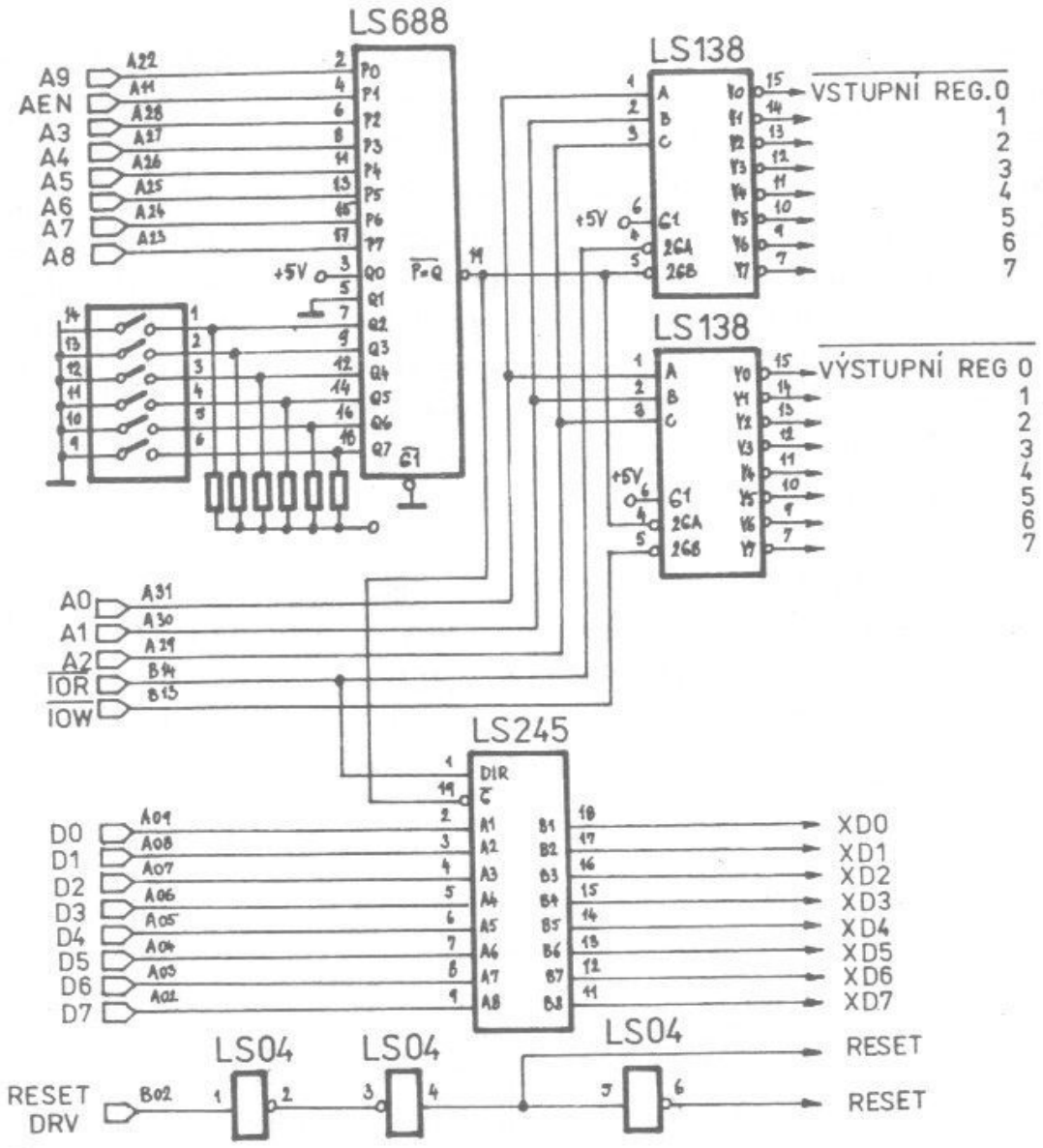
Než přistoupíme ke shrnutí poznatků v tomto textu uvedených a ukážeme příklad sběrnicového rozhraní uživatelského adaptéru, zastavíme se ještě u problematiky blokování napájecích napětí. Nesprávné nebo úplně chybějící

blokovací kondenzátory výrazně přispějí k nespolehlivé funkci adaptéru, která se jen obtížně odhaluje.

Některé elektronické součástky mají v závislosti na režimu činnosti výrazně rozdílné napájecí požadavky. Protože tyto změny nastávají okamžitě, je zapotřebí překlenout je blokovacími obvody, které jsou schopny krátkodobě zajistit zvýšené nároky, dokud nebude k dispozici energie z centrálního napájecího zdroje. Ten totiž samozřejmě nemůže reagovat ihned, protože mu v tom brání indukčnost rozvodu napájecích napětí spolu s jeho vlastní vnitřní indukčností. Řešení tohoto problému spočívá v umístění lokálních blokovacích kondenzátorů do klíčových míst elektronických zařízení; takovýmito místy jsou například vodiče rozvodu napájecích napětí v blízkosti konektoru sběrnicového rozhraní. Vhodným blokovacím obvodem je obvykle tantalový kondenzátor s kapacitou 8 až 20 μF.

Pro blokování vysokofrekvenčních změn a menších energetických přechodových jevů používáme keramické kondenzátory s kapacitou 0,1 až 0,01 μF. Umísťujeme je do bezprostřední blízkosti takových integrovaných obvodů, jako jsou budiče a přijímače sběrnicových signálů, LSI obvody nebo rychlé spínací obvody velkého proudu. Kondenzátory se připojují co nejblíže k vývodům jejich napájení.

Na obr. 13.2 uvádíme příklad zapojení sběrnicového rozhraní uživatelského adaptéru, který je adresován na libovolné místo V/V podsystému a obsahuje osm vstupních a osm výstupních registrů. Jeho adresový dekodér jsme navrhli jako relokovatelný a konečné nastavení se provádí DIP spínači při instalaci do počítače. Vzhledem k tomu, že jsme se jeho rozboru a popisu věnovali v kapitole 8.1, můžeme přejít k podsystému připojení na datovou sběrnici. Připojení na datovou sběrnici zajišťuje obousměrný budič sběrnice 74LS245. V jednom pouzdru obsahuje tento integrovaný obvod 16 antiparalelně zapojených budičů sběrnice. Řízeny jsou společným signálem výběru směru (DIR), který aktivuje vždy jednu polovinu z nich a signálem výběru pouzdra (G), který v neaktivním stavu (H) uvádí do třetího stavu právě ty vybrané. V našem zapojení je obvod zapojen tak, že je většinou na příposlechu datové sběrnice. Pokud není vybrána skupinová adresa desky (P=Q obvodu 688), jsou jeho výstupy B ve 3. stavu. Směr přenosu se mění při čtení z V/V. Signál IOR je pak aktivní (L) a skupinovou adresou se uvolňuje připojení na datovou sběr-



Obr. 13.2 Příklad zapojení adaptéru uživatelského rozhraní

nici pro vstup dat. Další návrh obvodů uživatelského adaptéru už ponecháme samotnému čtenáři. Výstupním registrem může být některý z úrovňových klopných obvodů (např. 74LS273), vstupní brána se může realizovat bez paměti, třeba jen s jednosměrným budičem sběrnice 74LS244.

14. Literatura

[1] Eggbrecht,L.C.: Interfacing to the IBM Personal Computer; Howard W.Sams&Co., Inc., 1983 Indianopolis
[2] Willen,D.C.,Krantz,J.C.: 8088 Assembler Language Programming: The IBP PC; Howard W.Sams&Co., Inc., 1983 Indianopolis
[3] Campbell,G.A.: Inventing the PC'S Future Byte IBM Special Edition, Fall 1989, pp. 229 - 240
[4] Kolektiv: Osobní počítače kompatibilní IBM XT/AT, Ediční středisko VUT Brno, 1989
[5] INTEL: Microsystem Components Handbook, Vol. 1,2, Santa Clara 1984
[6] Lukeš,R.: Rozšířená paměť EMS Lotus/Intel/Microsoft, BAJT 4/90, str. 4 - 9
[7] Dancan, R.: Lotus/Intel/Microsoft Expanded Memory, BYTE 1986, IBM Extra Edition
[8] Šnorek,M.a kol.: Číslicové počítače - cvičení Ediční středisko ČVUT FEL, Praha.
[9] Richta,K.a kol.: Operační systém MS-DOS pro programátory, Ediční středisko ČVUT FEL, Praha 1990
[10] Simrin,S.: MS-DOS Bible, Third Edition, Howard W.Sams&Co., Inc., 1989 Indianopolis
[11] Introduction to the i APX 286, Intel Corporation, Santa Clara 1982
[12] Firemní materiály IBM
[13] Michael,M.: VGA Kompendium, 2.ueberarb.Auflage Markt-u.-Technik-Verl., 1988
[14] Stiller,A.: AT-Bus; Die Busspezifikation des PC/AT gemaess IEEE 996 c't Heft 11,12/1991
[15] Kolektiv: Videosystémy v počítačích I.a II.část software Slušovice, 1989
[16] Wilton,R.: The Programer's Guide to PC and PS/2 video systems Microsoft Press, Redmont, 1987
[17] Šnorek,M.,Bartoš,R.: Připojování k počítačům standardu IBM PC XT/AT, Ediční středisko ČVUT, 1991