

2. Přehľad vlastností jednočipových mikropočítačov

(I-8048, I-8051, I-80196)

Hlavní vlastnosti obvodů řady 8051 a 8052 jsou:

- osmibitová centrální procesorová jednotka (CPU)
- oscilátor a obvody hodin na čipu
- 32 linek V/V
- 64 kB adresový prostor pro vnější paměť programu
- 64 kB adresový prostor pro vnější paměť dat
- dva šestnáctibitové časovače/čítače (tři u 8032/8052)
- pět zdrojů přerušení (šest u 8032/8052) se dvěma úrovněmi priorit
- plně duplexní sériový port
- Booleovský procesor

!!! Tu to ešte nie je kompletne! M.G. !!!

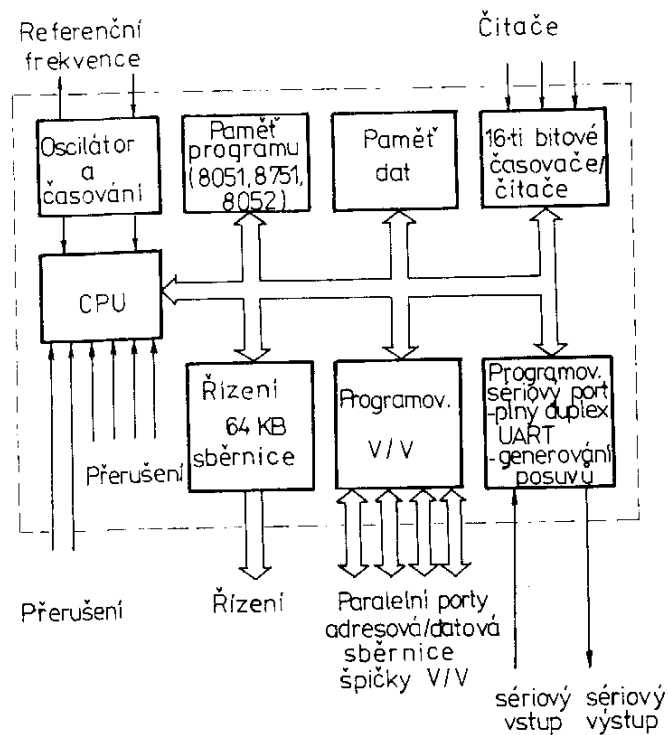
3. Architektúra jednočipového mikropočítača I-8051.

Soubor osmibitových mikrořadičů MCS - 51 tvoří obvody uvedené v tabulce 1. Přehledné blokové schéma obvodů této řady je na obr. 1, podrobnější architektura je na obr. 2.

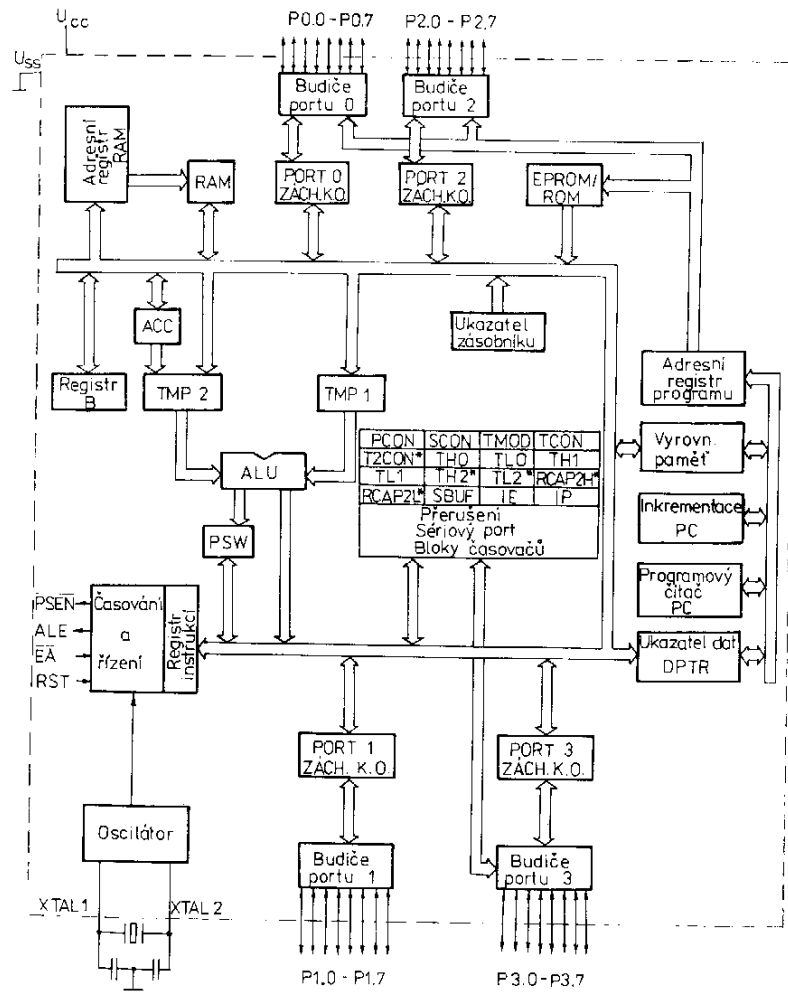
Tabulka 1 Soubor mikrořadičů MCS - 51

Obvod	Výrobní Technologie	Paměť programu Na čipu	Paměť dat na čipu
8031AH	HMOS II	Nemá	128 B
8051AH	HMOS II	4 kB - ROM	128 B
8751H	HMOS I	4 kB - EPROM	128 B
50C31	CHMOS	Nemá	128 B
80C51	CHMOS	4 kB - ROM	128 B
8032AH	HMOS II	Nemá	256 B
8052AH	HMOS II	8 kB - ROM	256 B

Původní obvod 8051 byl vyroben technologií HMOS I. V současné době se tento obvod vyrábí technologií HMOS II a označuje se 8051AH. Termín "8051" se často užívá jako souhrnné označení všech obvodů řady MCS - 51. Podobně jsou souhrnným názvem 8052 označeny obvody 8052 a 8032, není-li výslovně uvedeno jinak. Obvody 8052 mají na čipu integrovanou větší paměť programu a dat a další šestnáctibitový časovač/čítač. Nový časovač lze použít obvyklým způsobem jako časovač nebo čítač vnějších události a nebo jako generátor hodin pro sériový port. Časovač nebo čítač pracuje buď jako šestnáctibitový v režimu, kdy se plní sám, nebo jako šestnáctibitový v tzv. "záchytném režimu".

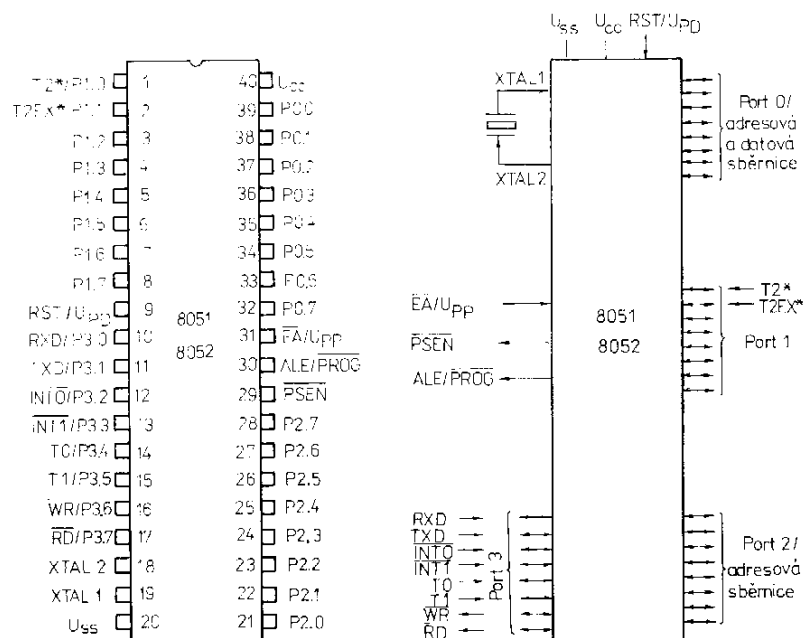


Obr. 1. Přehledné blokové schéma mikrořadičů 8051 a 8052. Rozmístění špiček a symbolické znázornění jednočipových mikrořadičů 8051 a 8052 je na obr. 3. Významy jednotlivých špiček jsou přehledně uspořádány v tabulce 2.



* jen u obvodů 8052

Obr. 2. Vnitřní architektura mikrořadičů 8051 a 8052



* JEN U 8052

Obr. 3. Rozmístění špiček a symbolické znázornění mikrořadičů 8051 s 8052

Tabulka 2 Popis špiček jednočipových mikrořadičů 8051 s 8052

Číslo špičky	Název Signálu	Alternativní Funkce	Význam
1	P1.0	T2*	Port 1. Port 1 je osmibitový obousměrný V/V port a vnitřním posílením. K vstupním vyrovnávacím pamětem portu 1 lze připojit čtyři zátěže TTL-LS. Špičky portu 1, do kterých je zapsána logická hodnota 1, mají tuto hodnotu posílenou vnitřními obvody a mohou se v tomto stavu použít jako vstupy. Takto posílené vstupy jsou v případě připojení logické hodnoty 0 z vnějších obvodů zdrojem proudu. Hvězdičkou označené alternativní funkce špiček P1.0 a P1.1 jsou pouze u obvodů 8052. Jejich význam je uveden v tabulce 3.
2	P1.1	T2EX*	
3	P1.2		
4	P1.3		
5	P1.4		
6	P1.5		
9	P1.6		
8	P1.7		
9	RST	Upd	Vstup pro nulování a nebo napájení v režimu se sníženým příkonem. Při nulování musí být na této špičce logická hodnota 1 po dobu nejméně dvou strojových cyklů v době, kdy již běží oscilátor.
10	P3.0	RXD	Port 3. Port 3 je osmibitový obousměrný V/V port s vnitřním posílením. K výstupním vyrovnávacím pamětem portu 3 lze připojit čtyři zátěže TTL-LS. Významy alternativních funkcí špiček portu 3 jsou uvedeny v tabulce 5.
11	P3.1	TXD	
12	P3.2	INT0	
13	P3.3	INT1	
14	P3.4	TO	
15	P3.5	T1	
16	P3.6	WR	
17	P3.7	RD	
18	XTAL2		Vstup do invertujícího zesilovače oscilátoru.
19	XTAL1		Výstup z invertujícího zesilovače oscilátoru.
20	Uss		Potenciál země.

21	P2.0	Přenos vyššího bytu adresy	Port 2.
22	P2.1		Port 2 je osmibitový obousměrný V/V port a vnitřním posílením. K výstupním vyrovnávacím pamětem portu 2 lze připojit čtyři zátěže TTL-LS. Port 2 rovněž vysílá vyšší byte šestnáctibitové adresy při styku s vnější pamětí. V této aplikaci se při vysílání jedniček užívají silné vnitřní posilovací obvody. Při programování a ověřování obsahu vnitřní paměti programu u obvodu 8051AH se port 2 užívá pro příjem vyšších řádů adresy s řidicích bitů. Tytéž hodnoty se v portu 2 přijímají při ověřování obsahu vnitřní paměti programu u obvodu 8051AH.
23	P2.2		
24	P2.3		
25	P2.4		
26	P2.5		
27	P2.5		
28	P2.7		
29	PSEN		Povolení paměti programu (Program Store Enable). Signál PSEN je čtecí strobovací impuls pro vnější paměť programu. Provádí-li obvod program uložený ve vnější paměti programu, vydává se signál PSEN dvakrát během každého strojového cyklu (výjimku představují dva potlačené impulsy signálu PSEN při styku s vnější pamětí dat). Signál PSEN se nevydává při provádění programu z vnitřní paměti programu.
30	ALE	PROG	Povolení zachycení adresy (Address Latch Enable). Výstupní impuls signálu ALE zachycuje nižší byte adresy při styku s vnější pamětí. Signál ALE se generuje s konstantní rychlostí rovnou 1/6 frekvence oscilátoru, využívá se pro účely vnějšího časování nebo hodin, zvláště když se nepracuje s vnější pamětí. (Při každém styku s vnější pamětí dat se potlačuje jeden impuls Signálu ALE.) Tato špička se také alternativně využívá pro vstup programovacích impulsů při programování vnitřní paměti EPROM.
31	EA	Upp	Přístup do vnější paměti programu (External Access). Je-li na špičce 31 přivedena logická hodnota 1, pak CPU pracuje s vnitřní pamětí programu, pokud programový čítač PC nepřesáhne hodnotu 0FFFh (u obvodu 8051AH a 8751H) nebo 1FFFh (u obvodu 8052AH). Je-li na špičce přivedena logická hodnota 0, pak CPU pracuje jen s vnější pamětí programu bez ohledu na hodnotu v programovém čítači. U obvodu 8031AH a 8032AH musí být na tuto špičku vždy zvnějšku přivedena logická hodnota 0, protože tyto obvody nemají vnitřní paměť programu. U obvodu 8751H se na tuto špičku připojuje při programování vnitřní paměti EPROM programovací napětí Upp (21 V).
32	P0.7	Přenos nižšího bytu adresy nebo bytu dat.	Port 0.
33	P0.6		Port 0 je osmibitový obousměrný V/V port s otevřeným kolektorem. Na výstupy s otevřeným kolektorem lze připojit osm zátěží TTL-LS. Špičky Portu 0, do kterých byla zapsána logická hodnota 1, se chovají jako výstupy s vysokou impedancí. Port 0 je rovněž při styku s vnější pamětí multiplexován pro adresovou (nižší byte adresy) nebo datovou sběrnici, V tomto případě se při vysílání jedniček užívá silné vnitřní posílení. Port 0 také vysílá kódové byty během ověřování programu. Při této aplikaci se musí užít vnější posilovací obvody.
34	P0.5		
35	P0.4		
36	P0.3		
37	P0.2		
38	P0.1		
39	P0.0		
40	Ucc		Napájecí napětí při normálním režimu obvodu (5 V)

4. Popis vnútornej štruktúry obvodu I-8051

4.2 Pamäťový podsystém mikropočítača I-8051, I-8052

Mikrořadiče 8051 a 8052 majú oddelený priestor pro paměť programu a paměť dat. Paměť programu může mít rozsah až do 64 kB, Nejnižší 4 kB (8 kB pro 8052) mohou být umístěny na čipu, paměť dat je typu RWM - RAM a její rozsah vně čipu může být až 64 kB. Kromě vnější paměti dat je přímo na čipu 128 B (256 B pro 8052) vnitřní paměti dat a navíc určitý počet registrů speciálních funkcí (SFRs - Special Function Registers), přehled registrů speciálních funkcí je v tabulce 3.

Tabulka 3 Přehled registrů speciálních funkcí

Označení	Viz. pozn.	Název	Adresa
ACC	*	Střádač (Accumulator)	0E0h
B	*	B registr	0F0h
PSW	*	Stavové slovo programu (Program Status Word)	0D0h
SP		Ukazatel zásobníku (Stack Pointer)	81h
DPTR		Ukazatel dat (Data Pointer) - skládá se z 2 DPH a DPL	83h 82h
P0	*	Port 0	80h
P1	*	Port 1	90h
P2	*	Port 2	0A0h
P3	*	Port 3	0B0h
IP	*	Řízení priority přerušeni (Interrupt Priority Control)	0B8h
IE	*	Řízení povolení přerušeni (Interrupt Enable Control)	0A8h
TMOD		Řízení režimu časovače/čítače (Timer/Counter mode Control)	89h
TCON	*	Řízení časovače/čítače (Timer/Counter Control)	88h
T2CON	* +	Řízení časovače/čítače 2 (Timer/Counter 2 Control)	0C8h
TH0		Časovač/čítač 0 - vyšší byte (Timer/Counter 0 - high byte)	8Ch
TLO		Časovač/čítač 0 - nižší byte (Timer/Counter 0 - low byte)	8Ah
TH1		Časovač/čítač 1 - vyšší byte (Timer/Counter 1 - high byte)	8DH
TL1		Časovač/čítač 1 - nižší byte (Timer/Counter 1 - low byte)	BBh
TH2	+	Časovač/čítač 2 - vyšší byte (Timer/Counter 2 - high byte)	0CDh
TL2	+	Časovač/čítač 2 - nižší byte (Timer/Counter 2 - low byte)	0CCh
RCAP2H	+	Časovač/čítač 2 záchytný registr - vyšší byte (Timer/Counter 2 Capture Register - high byte)	0CBh
RCAP2L	+	Časovač/čítač 2 záchytný registr - Nižší byte (Timer/Counter 2 Capture Register - low byte)	0CAh
SCON	*	Sériové řízení (Serial Control)	98h
SBUF		Vyrovňovací paměť sériových dat (Serial Data Buffer)	99h
PCON		Řízení napájení (Power Control)	87h

Poznámka

Registry speciálních funkcí označené * jsou adresovatelné jako celý byte nebo po jednotlivých bitech. Registry speciálních funkcí označené + jsou pouze u obvodů 8052.

Registry speciálních funkcí

Akumulátor (ACC) (střadač)

ACC je registr, který má obvyklé funkce střadače. V operandových částech instrukcí pro práci se střadačem se mnemonicky označuje písmenem A.

B registr

Tento registr se užívá při aritmetických operacích násobení a dělení. Pro ostatní instrukce se může využít jako jiný registr tzv. zápisníkové paměti.

Ukazatel zásobníku (SP)

Registr ukazatele zásobníku je osmibitový. Jeho obsah se inkrementuje dříve než se uloží data instrukcemi PUSH a CALL. Zásobník může být umístěn kdekoli v vnitřní paměti RWM - RAM na čipu. Provedením funkce RESET se nastaví obsah SP na hodnotu 07H, takže data budou do zásobníku ukládána od adresy 08h.

Ukazatel dat (DPTR)

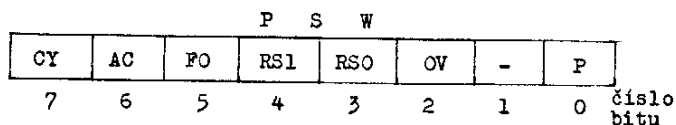
Ukazatel dat tvoří vyšší byte (DPH) a nižší byte (DPL). Registr ukazatele dat uchovává šestnáctibitovou adresu. Může být využíván jako šestnáctibitový registr nebo jako dva nezávislé osmibitové registry.

Porty 0 až 3

P0, P1, P2 a P3 jsou registry speciálních funkcí obsahující záchytné klopné obvody (latche) portů 0, 1, 2 a 3.

Stavové slovo programu (PSW)

Registr stavového slova programu má osm bitů a jeho struktura je podrobně uvedena na obr. 4. Významy jednotlivých bitů stavového slova programu jsou v tabulce 4.



Obr. 4. Registr stavového slova programu

Tabulka 4 Význam bitů stavového slova programu

Symbol	Bit v PSW	Název a význam
CY	7	Příznak přenosu (Carry flag)
AC	6	Příznak pomocného přenosu (Auxiliary Carry flag). Užívá se při operacích s čísly v kódu BCD.
FO	5	Uživatelský příznak 0 (Flag 0). Jeho využití Je ponecháno na úvaze uživatele.

RS1	4	Řídicí bity 1 a 0 pro výběr sady registrů (Register bank Select). Nastavují a nulují se softwarově a určují sadu registrů takto:			
RSO	3	RS1	RSO	Sada	Adresy
		0	0	0	00h-07h
		0	1	1	08h-0Fh
		1	0	2	10h-17h
		1	1	3	18h-1Fh
OV	2	Příznak přetečení (Overflow flag)			
-	1	Rezerva			
P	0	Příznak parity (Parity flag). Nastavuje/nuluje se hardwarově při každém instrukčním cyklu a indikuje lichý/sudý počet bitů ve střadači, které obsahují jedničku. Jinak řečeno - příznak parity doplňuje obsah střadače sudou paritou.			

Vyrovňovací paměť sériových dat (SBUF)

Vyrovňovací paměť sériových dat tvoří ve skutečnosti dva oddělené registry a to vyrovňovací registr pro vysílání a vyrovňovací registr pro příjem. Data přesouvaná do SBUF se ukládají do vysílacího vyrovňovacího registru (přesun bytu do SBUF zahajuje sériový přenos dat). Obdobně data čtená z SBUF jsou odebírána z přijímacího vyrovňovacího registru.

Časovače

Registrové páry (TH0, TL0), (TH1, TL1) a (TH2, TL2) jsou šestnáctibitové čítací registry pro časovače/čítače 0, 1, 2.

Záchytné registry

Registrový pár (RCAP2H, RCAP2L) představuje záchytné registry (Capture Registers) pro časovač 2 pracující v tzv. "záchytném režimu". V tomto režimu se v závislosti na změně na špičce T2EX obvodů 8052 zkopírují obsahy TH2 a TL2 do RCAP2H a RCAP2L. Časovač 2 může pracovat také v šestnáctibitovém samoplňcím režimu, kdy RCAP2H a RCAP2L obsahují hodnotu pro nové naplnění. Podrobněji jsou vlastnosti časovače 2 popsány v článku 2.7.2.

Řídicí registry

Registry speciálních funkcí IP, IE, TMOD, TCON, T2CON, SCON a PCON obsahují řídicí a stavové bity pro přerušovací systém, časovače/čítače a sériový port. Jsou popsány v dalších člancích.

Styk s vnější pamětí

Styk s vnější pamětí je dvojího druhu:

- styk s vnější pamětí programu
- styk s vnější pamětí dat

Při spolupráci s vnější pamětí programu se užívá signál PSEN (Program Store Enable - povolení paměti programu) jako čtecí strobovací impuls. Pro styk s vnější pamětí dat se používá signál RD nebo WR (viz alternativní funkce P3.1 a P3.6) jako čtecí nebo zápisový strobovací impuls. Pro výběr instrukce z vnější paměti programu se využívá vždy šestnáctibitová adresa. Při styku s vnější pamětí dat se může užívat buď šestnáctibitová adresa (MOVX @DPTR) nebo osmibitová adresa (MOVX @R1). Při použití šestnáctibitové adresy se vyšší byte adresy objevuje v portu 2 a je tam po dobu trvání čtecího nebo zápisového cyklu. Během této doby

nemusí záchytné registry portu 2 (registru speciálních funkcí) obsahovat samé jedničky a obsah portu 2 se nemění. Není-li cyklus pro styk s vnější pamětí následován jiným cyklem styku s vnější pamětí, objeví se nepoškozený obsah portu 2 (registru speciálních funkcí) znovu v dalším cyklu, Užívá-li se osmibitová adresa, obsah portu z registru speciálních funkcí zůstává na špičkách portu 2 1 v době cyklu styku s vnější pamětí. To bude umožňovat stránkování paměti. V každém případě je však v portu 0 časově multiplexován nižší byte adresy s datovým bytem. Signál ADRESA/DATA budí oba tranzistory ve výstupní vyrovnávací paměti portu 0. Proto v této aplikaci nemají špičky Portu 0 vlastnosti výstupů s otevřeným kolektorem s nevyžadují vnější posilovací obvody, Signál ALE (Address Latch Enable - povolení zachycení adresy) se může využít pro uložení adresového bytu do vnějšího záchytného registru. Adresový byte je platný při závěrné hraně signálu ALE.

Při zápisovém cyklu se zapisovaný datový byte objevuje v portu 0 těsně před vybuzením signálu WR a zůstává tam ještě po skončení signálu WR. Při čtecím cyklu se přichozí byte v portu 0 akceptuje právě před skončením čtecího strobovacího impulsu RD. Během každého vstupu do vnější paměti zapisuje CPU do záchytných klopných obvodů portu 0 (registru speciálních funkcí) hodnotu 0FFh, To vymaže jakoukoliv informaci, kterou mohl port 0 (registr speciálních funkcí) obsahovat. Přístup do vnější paměti programu lze uskutečnit za dvou podmínek:

- 1) buď je signál EA aktivní nebo
- 2) programový čítač (PC) obsahuje číslo větší než 0FFFh (pro 8052 číslo větší než 1FFFh)

U obvodů bez vnitřní paměti ROM je nutné, aby špička EA, byla připojená ne logickou hodnotu 0. Tím se umožní výběr nižších 4 kB (u 8032 nižších 8 kB) programu z vnější paměti programu. Pracuje-li CPU s vnější pamětí programu, je všech osm bitů portu 2 určeno pro funkce výstupu a port 2 proto nelze užít pro obecné účely V/V, neboť při výběru programu z vnější paměti se do portu 2 vysílá vyšší byte programového čítače. Během součinnosti s vnější pamětí dat se do portu 2 vysílá buď DPH (vyšší řády ukazatele dat) nebo obsah registru speciálních funkcí portu 2 (v závislosti na tom, zda se pro styk s vnější pamětí dat užije instrukce MOVX @DPTR nebo MOVX @R1).

Signál PSEN

Signál PSEN je čtecí strobovací impuls pro výběr instrukce z vnější paměti programu. Tento signál se nevyskytuje při čtení z vnitřní paměti programu. Čte-li CPU z vnější paměti programu, generuje se signál PSEN dvakrát během každého strojového cyklu (výjimka při čtení instrukce MOVX), až je nebo není zapotřebí provést pro danou instrukci výběr z vnější paměti programu. Signál PSEN nemá stejné časování jako signál RD. Úplný cyklus RD (včetně vydání a ukončení signálů ALE a PSEN) trvá 12 period oscilátoru. Úplný cyklus PSEN (včetně vydání a ukončení signálů ALE a PSEN) trvá 6 period oscilátoru. Pro srovnání jsou prováděcí sekvence obou typů čtecích cyklů uvedeny na obr. 11.

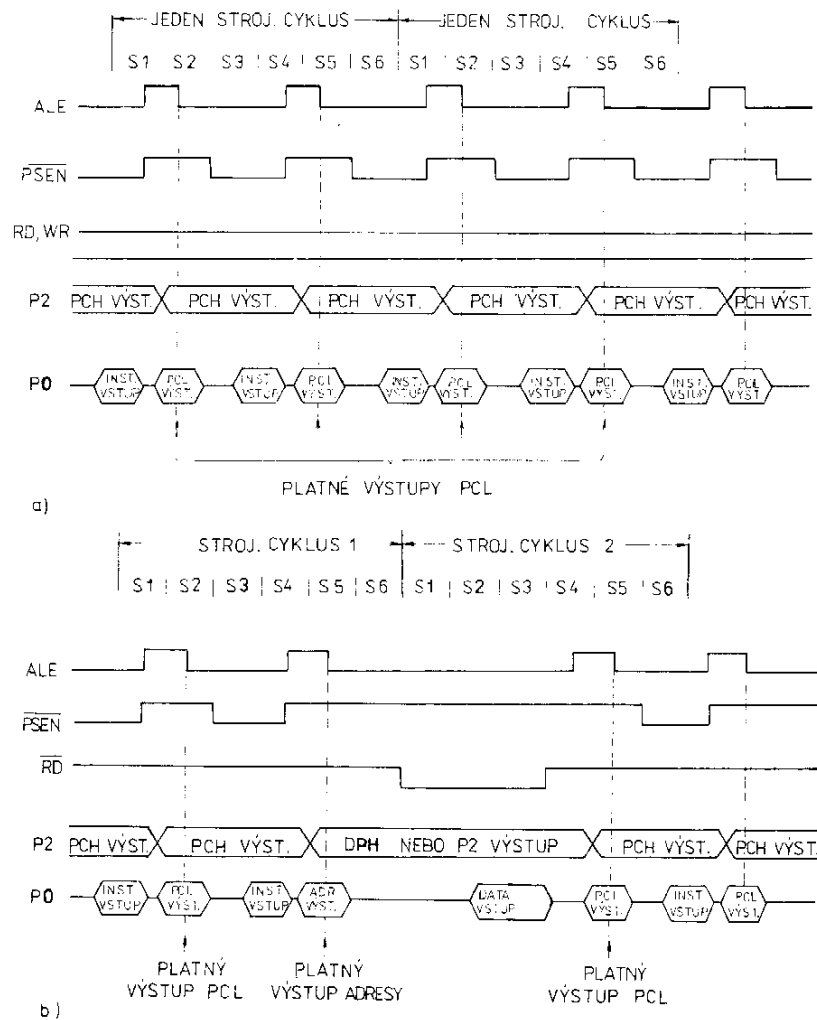
Signál ALE

Základní funkcí signálu ALE je určení časového okamžiku pro zapsání nižšího bytu adresy z portu P0 do vnějšího záchytného registru. Tato adresa se využije při výběru instrukce z vnější paměti programu. Signál ALE se aktivuje dvakrát během každého strojového cyklu. K aktivaci dojde i tehdy, neobsahuje-li strojový cyklus žádný výběr z vnější paměti programu. Výjimku představuje spolupráce CPU s vnější pamětí dat prostřednictvím instrukce MOVX, kdy se signál ALE nevydává v době S1-P2 až S2-P1 druhého strojového cyklu této instrukce. Z toho vyplývá, že u všech systémů, které neužívají vnější paměť dat,

lze signálu ALE (generuje se s frekvencí rovnou 1/6 frekvence oscilátoru) využít pro spouštění nebo časování vnějších obvodů.

Překrývání prostoru vnější paměti programu a dat

V některých aplikacích je žádoucí provádět program z téže fyzické paměti, jaká se užívá pro uložení dat. U obvodů 8051/8052 se mohou prostory vnější paměti programu a vnější paměti dat kombinovat, provedeme-li logický součin signálů PSEN a RD. Přivedeme-li obe signály na vstupy pozitivního hradla AND, získáme na výstupu čtecí strobovací impuls s aktivní logickou hodnotou 0, který se může využít pro kombinování fyzické paměti. Vzhledem k tomu, že cyklus PSEN je rychlejší než cyklus RD, je zapotřebí, aby se vnější paměť svou rychlostí přizpůsobila cyklu PSEN.



Obr. 11 Obsluha vnější paměti programu

- a) s výjimkou instrukce MOVX
- b) včetně instrukce MOVX

Mikrořadiče 8051 a 8052 mají jednak integrovanou paměť na čipu, a jednak mohou využívat rozšířenou kapacitu paměti vně čipu. O těchto obvodů existuje několik adresovacích mechanismů, které dovolují optimální výstavbu souboru instrukcí.

Organizace paměti

Obvody 8051 a 8052 mají tři základní paměťové prostory:

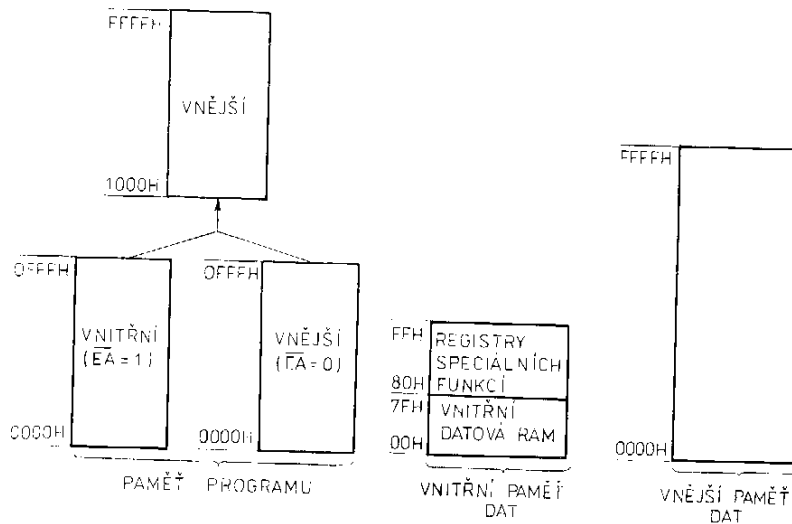
- 64 kB paměti programu
- 64 kB vnější paměti dat
- 256 B (384 B pro obvod 8052) vnitřní paměti dat

Struktura paměťových prostorů je názorně uvedena na obrázku 43.

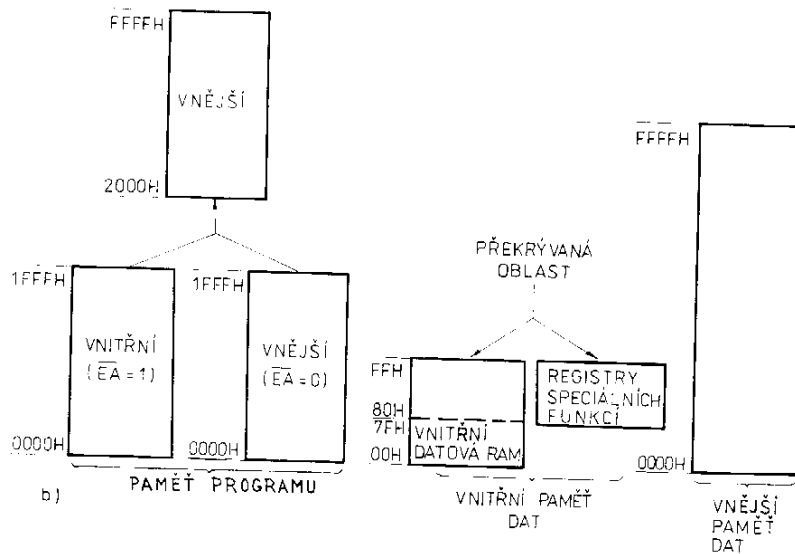
Adresový prostor paměti programu

Adresový prostor paměti programu má velikost 64 kB a skládá se z vnitřní a vnější části paměti. Je-li na špičku EA přivedena logická hodnota 1, provádí obvody 8051 a 8052 program z vnitřní paměti programu, potud adresa nepřekročí hodnotu 0FFFh (pro obvody 8052 hodnotu 1FFFh). Obsahy adres 1000h až 0FFFFh (2000h až 0FFFFh pro obvody 8052) se vybírají z vnější paměti programu. v případě připojení špičky EA na logickou hodnotu 0 se všechny instrukce vybírají z vnější paměti programu. V každém případě se pro adresování používá šestnáctibitový programový čítač.

Paměťová místa o adresách 00h až 23h (00h až 2Bh pro obvody 8052) v paměti programu jsou využívána pro přechod do obslužných programů přerušeni tak, jak ukazuje tabulka 16.



a)



b)

Obr. 43 Struktura paměťových prostorů

a) u obvodů 8051

b) u obvodů 8052

Tabulka 16 Adresy počátku obsluhy přerušení

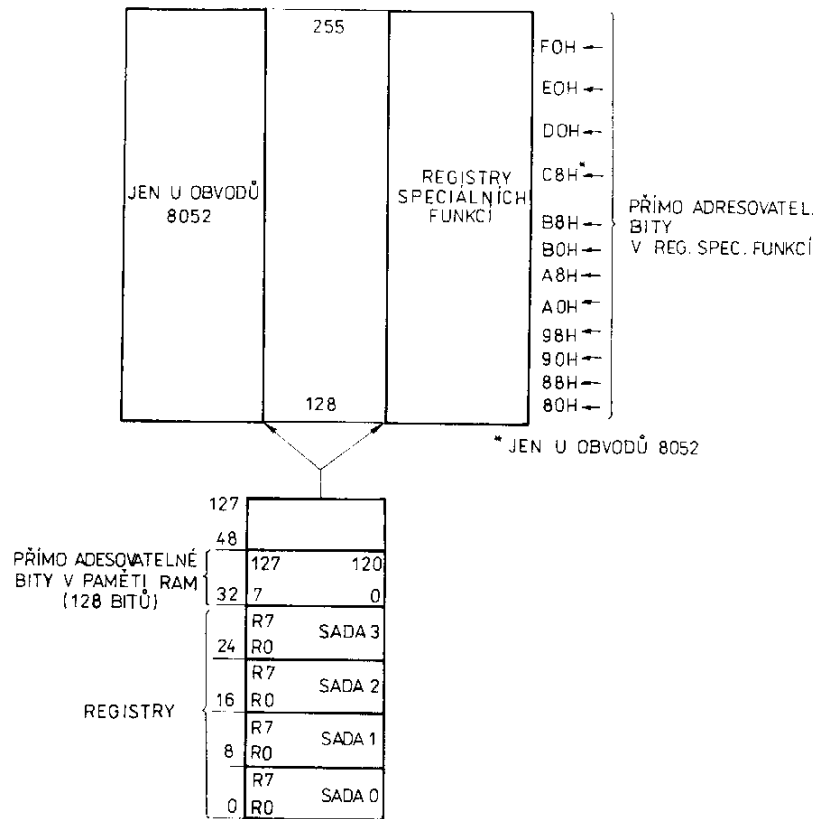
Zdroj přerušení	Adresa
Vnější přerušení 0	0003h
Přetečení časovače 0	000Bh
Vnější přerušení 1	0013h
Přetečení časovače 1	001Bh
Sériový port	0013h
Přetečení časovače 2 nebo záporná změna na špičce T2EX	002BH (jen u obvodů 8052)

Adresový prostor paměti dat

Adresový prostor paměti dat se skládá z vnitřního a vnějšího adresového prostoru. Vnější paměť dat se používá při provádění instrukce MOVX. Vnitřní paměť dat se dělí na tři fyzicky oddělené a vyznačené bloky

- nižších 128 bytů RAM
- vyšších 128 bytů RAM (dosažitelných pouze u obvodů 8052)
- 128 bytů registry speciálních funkcí

I když horní oblast paměti RAM a oblast registrů speciálních funkcí mají stejný adresový prostor, jsou dosažitelné rozdílnými způsoby adresování, která budou probrány později. Na obr. 44 je struktura paměťového prostoru vnitřní paměti dat. Celkem existují čtyři sady registrů, z nichž každá obsahuje osm osmibitových registrů. Sady registrů zabírají adresy 0 až 31 v nižší oblasti paměti RAM. V každém okamžiku může být povolena pouze jediná sada registrů (výběr se řídí dvoubitovým polem v PSW). Dalších šestnáct bytů o adresách 32 až



Obr. 44 Struktura paměťového prostoru vnitřní paměti dat

47 obsahuje 128 pozic adresovatelných po jednotlivých bitech. Na obr. 45 jsou znázorněny bitové adresy v paměti RAM. Oblast registrů speciálních funkcí má také bitově adresovatelná místa, která přehledně ukazuje obr. 46. Poznamenejme, že čtení obsahu nepoužitých míst ve vnitřní paměti dat vede k získání nahodilých dat.

RAM									
byty	(v. ř.) Adresy bitů								(n. ř.)
7FH									127
2FH	7F	7E	7D	7C	7B	7A	79	78	47
2EH	77	76	75	74	73	72	71	70	46
2DH	6F	6E	6D	6C	6B	6A	69	68	45
2CH	67	66	65	64	63	62	61	60	44
2BH	5F	5E	5D	5C	5B	5A	59	58	43
2AH	57	56	55	54	53	52	51	50	42
29H	4F	4E	4D	4C	4B	4A	49	48	41
28H	47	46	45	44	43	42	41	40	40
27H	3F	3E	3D	3C	3B	3A	39	38	39
26H	37	36	35	34	33	32	31	30	38
25H	2F	2E	2D	2C	2B	2A	29	28	37
24H	27	26	25	24	23	22	21	20	36
23H	1F	1E	1D	1C	1B	1A	19	18	35
22H	17	16	15	14	13	12	11	10	34
21H	0F	0E	0D	0C	0B	0A	09	08	33
20H	07	06	05	04	03	02	01	00	32
1FH	SADA REGISTRŮ 3								31
18H									24
17H	SADA REGISTRŮ 2								23
10H									16
0FH	SADA REGISTRŮ 1								15
08H									8
07H	SADA REGISTRŮ 0								7
00H									0

Obr. 45. Adresy bitů ve vnitřní paměti dat

Přímá adresa bytu (v. ř.)	Adresy bitů								Symbol hardw. reg.
240 (FOH)	F7	F6	F5	F4	F3	F2	F1	F0	B
224 (EOH)	E7	E6	E5	E4	E3	E2	E1	E0	ACC
208 (DOH)	CY	AC	FO	RS1	RS0	OV	P		PSW
200 (CBH)	D7	D6	D5	D4	D3	D2	D1	D0	T2CON
184 (B8H)	TF2	EXF2	COLK	TCLK	EXEN2	TRC	G/T2	CP/RL2	IP
176 (BOH)	CF	CE	CD	CC	CB	CA	O9	O8	P3
168 (A8H)	PT2		PS	PT1	PX1	PT0	PX0		IE
160 (A0H)	EA	ET2		ES	ET1	EX1	ET0	EX0	P2
152 (98H)	AF	--	AD	AC	AB	AA	A9	A8	SCON
144 (90H)	A7	A6	A5	A4	A3	A2	A1	A0	P1
136 (88H)	SM0	SM1	SM2	REN	TBS	RBS	TI	RI	TCON
128 (80H)	9F	9E	9D	9C	9B	9A	99	98	PO
	97	96	95	94	93	92	91	90	
	TF1	TR1	TFO	TRO	IE1	IT1	IE0	IT0	
	8F	8E	8D	8C	8B	8A	89	88	
	87	86	85	84	83	82	81	80	

Obr. 46. Adresy bitů v registrech speciálních funkcí ve vnitřní paměti dat

Adresování s přímým operandem

Tento způsob adresování dovoluje umístit přímý operand (konstantu) do strojového kódu instrukce v paměti programu.

Adresování nepřímé s bazovým registrem a s indexovým registrem

Nepřímé adresování s bazovým registrem a s indexovým registrem zjednodušuje prohlížení tabulek pevně umístěných v paměti programu. Tímto způsobem lze pracovat v tabulce s bytem, jehož adresa je dána součtem obsahu bazového registru (DPTR nebo PC) a obsahu indexového registru (A).

Booleovský procesor

Booleovský procesor je bitový procesor integrovaný uvnitř mikrořadičů 8051 a 8052. Má svůj vlastní soubor instrukcí, střadač (příznak přenosu), bitově adresovatelnou vnitřní paměť RAM a V/V. Instrukce pro práci s bity dovolují nic nastavit do logické hodnoty 1, vynulovat, negovat, provádět větvená v programu

v závislosti na nastavení nebo vynulování bitu, provádět větvení v programu při nastaveném bitu s jeho následným vynulováním a přesouvat údaje z nebo do bitu přenosu. S hodnotou adresovatelných bitů (nebo s jejich negací) a s hodnotou příznaku přenosu může být proveden logický součin nebo logický součet. Výsledek operace se umístí do bitu příznaku přenosu.

Mikroprocesorová sběrnice obvodů 8051 s 8052 dovoluje řešení širokého okruhu uživatelských problémů. Multiplexovaná adresová a datová sběrnice poskytuje rozhraní, které je kompatibilní se standardními obvody používanými u mikroprocesorových stavebnic MCS - 80/85 včetně jednočipových programovatelných obvodů V/V a programovatelného časovače. Přehled obvodů připojitelných k mikrořadičům 8051 a 8052 je v tabulce 18.

Tabulka 18 Obvody pro rozšíření mikrořadičů 8051 a 8052

	Druh obvodu	Označení	Popis	Poznámka
Kompatibilní složky ze systému MAC 80/85	Expander V/V	8243	Expander V/V 4 x 4 bity	
	Standardní paměti EPROM	2758	1 kB 450 ns	Uživatelské elektricky programovatelné a mazatelné ultrafialovým světlem.
		2716-1	2 kB 350 ns	
		2732	4 kB 350 ns	
	Standardní paměti RAM	2732A	4 kB 250 ns	Paměť dat se snadno rozšíří standardními paměťmi NMOS RAM.
		2114A	1 k x 4 100 ns	
		2148	1 k x 4 70 ns	
	Multiplexovaná adresová/ Datová RAM	2142-2	1 k x 4 200 ns	1 kB 300 ns
		8185A		
	Standardní obvody V/V	8212	8-bitový port	Slouží pro zachycení adresy nebo pro funkce.
8282		8-bitový port		
	8283	8-bitový port	Obsahuje tři pro 8-bitové programovatelné porty V/V.	
	8255A	Programovatelný obvod V/V pro paralelní přenos dat.		
	8251A	Programovatelný obvod V/V pro sériový přenos Dat.		
Standardní periferní obvody	8205	Dvojkový dekoder 1 z 8.	Periferní obvody stavebnic MCS 80/85 jsou kompatibilní s 8051 a 8052 a dovolují snadná rozšíření o speciální rozhraní. Převádí signály mikroprocesorové systémové sběrnice na signály sběrnice GPIB (General Purpose Interface Bus - připojovací sběrnice pro obecné účely).	
	8286	Obousměrný budič sběrnice.		
	8287	Invertující Obousměrný budič sběrnice.		
	8253A	Programovatelný Časovač.		
	8279	Programovatelný Rozhraní klávesnice/ displej (128 kláves).		
	8291	Převodník signálů GPIB.		
Univerzální periferní rozhraní	8292	Řadič GPIB.	Uživatелеm programovatelné pro obvyklé V/V a řídicí funkce.	
	8041A	Paměť programu ROM.		
		8741A	Paměť programu EPROM.	

	Paměť, funkce V/V a periferní funkce	8155-2	256 B 330 ns	Obvody sdružují v jednom čipu funkce paměťové, V/V a periferní.
		8355-2	2 kB 300 ns	
		8755-2	2 kB 300 ns EPROM	

Příklady rozšíření systému

V dalších článcích jsou uvedeny příklady připojení expanderu 8243, vnější paměti programu 2716 a 2732 a vnější paměti dat 8155 k mikrořadičům 8051. Dále je uvedeno zapojení pro poloduplexní sériový přenos a pro obsluhu více zdrojů přerušení.

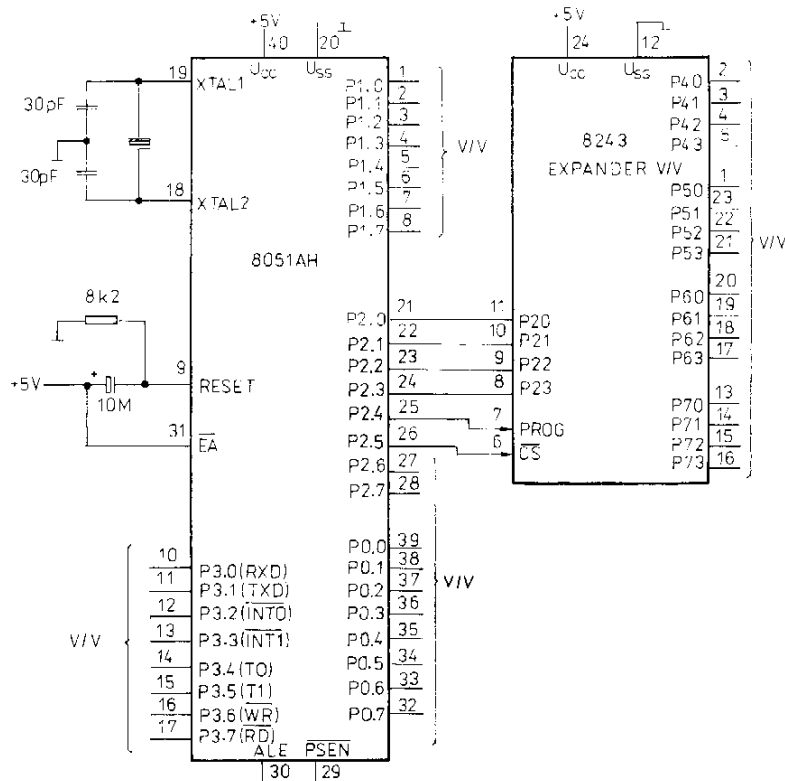
Připojení expanderu 8243

Připojení expanderu 8243 k mikrořadiči 8051AH je znázorněno na obr. 47. V tomto zapojení se port 2 využívá pro paralelní vstup nebo výstup a pro generování řídicích signálů nutných pro ovládání expanderu. Softwarový ovladač, který respektuje rozhraní obvodu 8243, může být vytvořen např. takto:

```

;      ....
;VSTUPNÍ DATA Z EXPANDERU V/V 8243
;JSOU PŘIPOJENA K P2.3 - P2.0
;P2.5 - SIGNÁL CS

```



Obr. 47 Rozšíření V/V obvodem 8243

```

;P2.4 - SIGNÁL PROG
;P2.7, P2.6 JSOU VYUŽITY JAKO VSTUPY
;OBSAH PORTU 2 SE ČTE DO STŘADAČE
;
VSTUP: ORL A,#11010000b ;ŘÍDÍCÍ INFORMACE PRO 8243
MOV P2,A ;JEJÍ ZÁPIS DO P2
CLR P2.4 ;SESTUPNÁ HRANA SIGNÁLU PROG

ORL P2,#00001111b; NASTAVENÍ P2.3 - P2.0 PRO VSTUP
MOV A,P2 ;ČTENÍ VSTUPNÍCH DAT
SETB P2.4 ;NÁVRAT PROG DO LOGICKÉ HODNOTY 1

```

Připojení vnější paměti Programu 2716

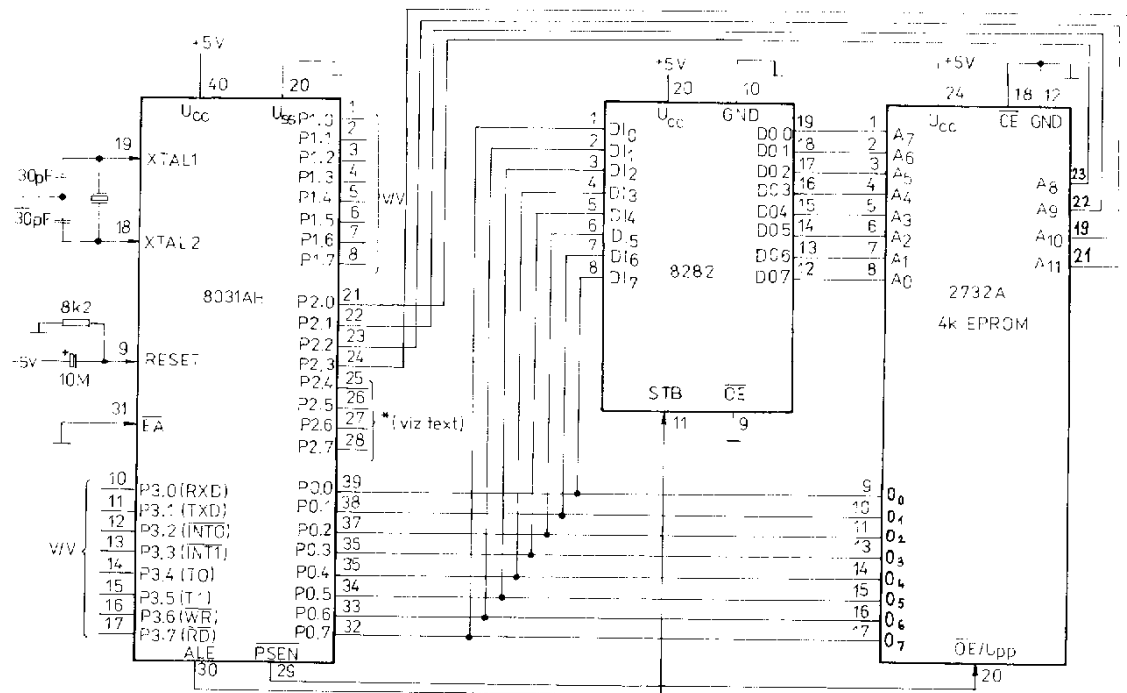
Technické vybavení potřebná pro připojení vnější paměti programu 2716 (EPROM 2 kB) k mikrořadiči 8031AH je na obr. os. Pro zapamatování osmi nižších bitů adresy je použit obvod 8282 (osmibitový registr s třístavovými výstupními budiči). Vzhledem k tomu, že se část portu 2 využívá jako adresová sběrnice, nelze špičky P2.3 až P2.7 (v obr. 48 jsou označeny hvězdičkou) použít jako vstupy nebo výstupy.

Připojení vnější paměti programu 2732A

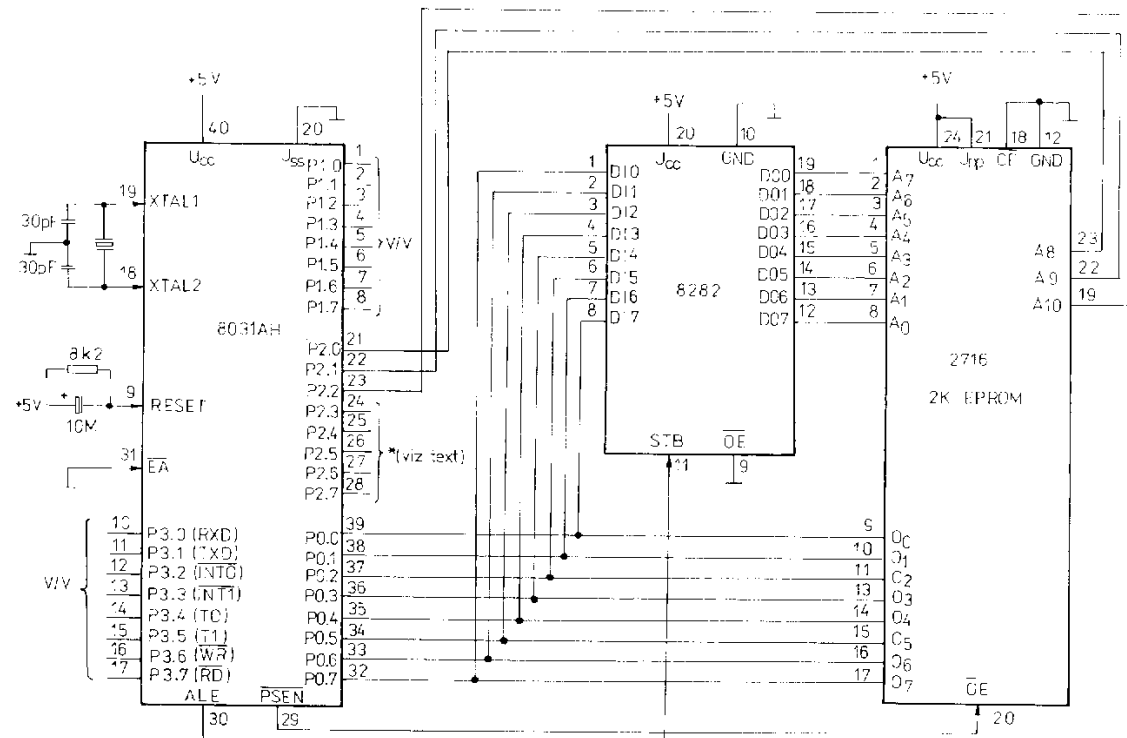
Způsob připojení vnější paměti programu 2732A, EPROM 4 kB) k mikrořadiči 8031AH je znázorněn m obr. 49. Zapojení je obdobné jako u paměti 2716 s tím rozdílem, že další potřebný adresový bit (A11) se generuje v bitu P2.3. Špičky P2.4 až P2.7 portu 2 (v obr. 49 jsou označeny hvězdičkou) opět nelze použít jako vstupy nebo výstupy z důvodu využití části portu 2 pro adresovou sběrnici.

Připojení vnější paměti dat s expanderu V/V

Vnější paměť dat o kapacitě 256 B a axpander V/V jsou realizovány obvodem 8155. Jeho připojení k mikrořadiči 8051AH je na obr. 50. Pro funkci RESET obvodu 8155 může být využita systémová funkce RESET nebo některá linka pontů mikrořadiče 8051.



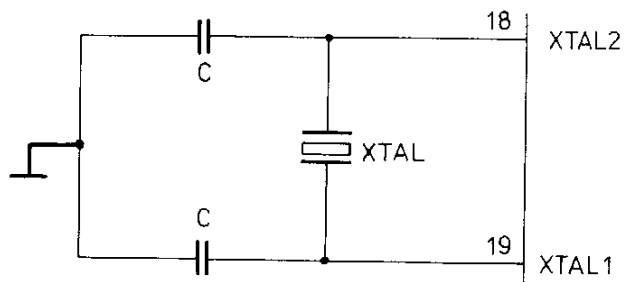
Obr. 48 Připojení vnější paměti programu 2716 k mikrořadiči 8031AH



Obr. 49 Připojení vnější paměti programu 2716 k mikrořadiči 8031AH

4.2 Oscilátor a obvod hodin

Špičky XTAL1 a XTAL2 jsou vstupem a výstupem jednostupňového invertoru uvnitř čipu, který může být doplněn vnějšími součástkami na Piercův oscilátor tak, jak je uvedeno na obr. 5.



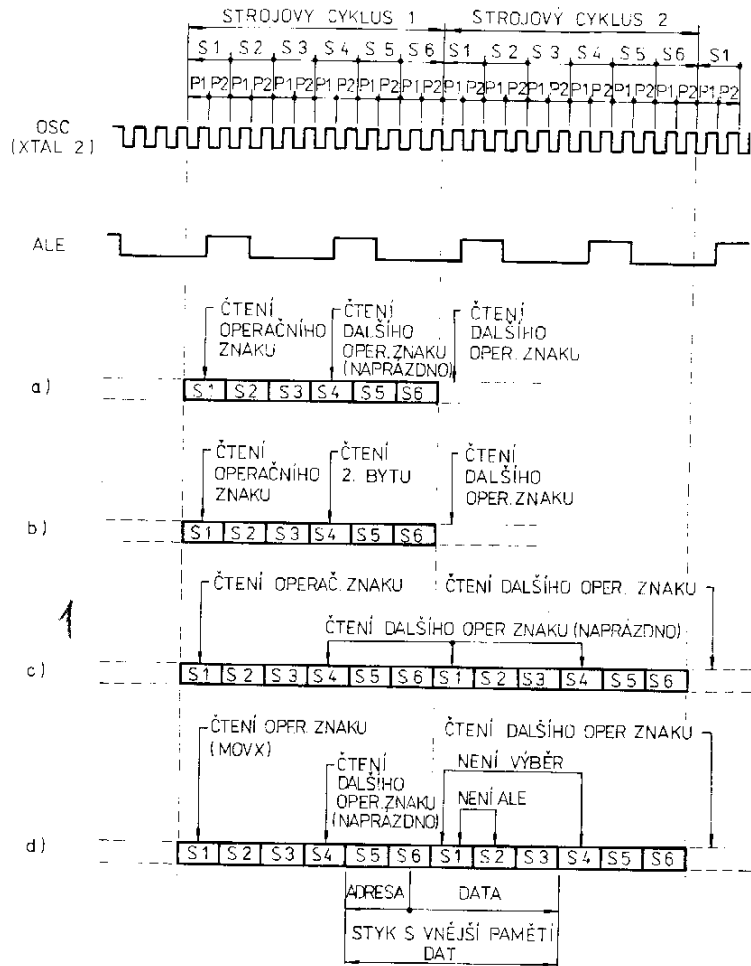
$$C = \begin{cases} 30 \text{ pF} \pm 10 \text{ pF} & \text{pro krystaly} \\ 40 \text{ pF} \pm 10 \text{ pF} & \text{pro keramické rezonátory} \end{cases}$$

Obr. 5 Krystalový/keramický rezonátor oscilátoru

Frekvence oscilátoru může být v rozsahu 1,2 až 12 Mz. Podrobněji jsou otázky oscilátoru probrány v článku 2.14. Oscilátor v mnoha případech budí vnitřní generátor hodin, který poskytuje časovací signály pro čip, vnitřní časovací signály mají poloviční frekvenci oscilátoru a definují vnitřní fáze, stavy a strojové cykly, které jsou popsány v dalším odstavci.

4.3 Časování centrální procesorové jednotky

Strojový cyklus má 6 stavů (12 period oscilátoru) označených S1 až S6. Každý stav se dělí na polovinu patřící fázi 1 (P1) a kdy je aktivní signál Phase 1 clock, a ne polovinu patřící fázi 2 (P2), během které je aktivní signál Phase 2 clock. Strojový cyklus je tvořen dvanácti periodami oscilátoru označenými S1-P1 (stav 1, fáze 1) až S6-P2 (stav 6, fáze 2). Každá fáze trvá jednu periodu oscilátoru, každý stav dvě periody oscilátoru. Aritmetické a logické operace typicky probíhají během fáze 1, kdežto vnitřní přesuny mezi registry ve fázi 2. Časování, výběr a provedení instrukce ve vztahu k vnitřním fázím a stavům je na obr. 6. Protože tyto vnitřní hodinové signály nejsou pro uživatele dosažitelné, jsou pro orientaci uvedeny signály oscilátoru na špičce XTAL2 a signál ALE. Signál ALE se normálně aktivuje dvakrát během jednoho strojového cyklu; poprvé během S1-P2 až S2-P1 a podruhé během S4-P2 až S5-P1. Provádění jednocyklové instrukce začíná při S1-P2, kdy se uloží operační znak do registru instrukcí. V případě dvoubytové instrukce se druhý byte čte během stavu S4 téhož strojového cyklu. U jednobytových instrukcí je ve stavu S4 také výběr, avšak přečtený byte (který by mohl být dalším operačním znakem) se ignoruje a obsah programového čítače se nezvyší. V každém případě se provádění instrukce dokončí v závěru S6-P2. Obrázky 6a a 6b ukazují časování pro jednobytovou jednocyklovou s dvoubytovou jednocyklovou instrukcí. Většina instrukcí mikrořadičů 8051 a 8052 se provádí v jednom strojovém cyklu. Jedinými instrukcemi, které potřebují ke svému dokončení více než dva strojové cykly, jsou instrukce MUL (Multiply - násobení) a DIV (Divide - dělení). Obě vyžadují čtyři strojové cykly.



Obr. 6 Výběrové s prováděcí sekvence instrukcí obvodů 8051 a 8052

- a) jednobytová jednocyklová instrukce, např. INC A
- b) dvoubytová jednocyklová instrukce, např. ADD A, #data
- c) jednobytová dvocyklová instrukce, např. INC DPTR
- d) instrukce MOVX (jednobytová dvocyklová)

Během každého strojového cyklu se normálně vybírají z paměti programu dva kódové byty (tj. operační znak instrukce a ignorovaný operační znak nebo druhý byte instrukce). Jedinou výjimkou je instrukce MOVX, která používá vnější paměť dat. Je to jednobytová dvocyklová instrukce, při jejímž provádění se ve druhém strojovém cyklu přeskakují dva výběry v době adresování a zápisu nebo čtení dat z vnější paměti dat. Časování pro normální jednobytovou dvocyklovou instrukci a pro instrukci MOVX ukazují obrázky 6c a 6d.

4.4 Vstupno-výstupné porty I-8051, I-8052

U mikrořadičů 8051 a 8052 jsou všechny čtyři porty obousměrné. Každý port tvoří záchytné klopné obvody (viz. registry speciálních funkcí P0 až P3), výstupní budiče a vstupní vyrovnávací paměť. Výstupní budiče portu 0 a portu 2 a vstupní vyrovnávací paměť portu 0 se používají pro styk a vnější paměti. V této aplikaci je port 0 výstupem pro nižší byte adresy vnější paměti a je časově multiplexován s bytem, který se má číst nebo zapsat. Z portu 2 vystupuje vyšší

byte adresy vnější paměti, je-li adresa šestnáctibitová. Jinak se přes špičky portu 2 zveřejňuje obsah registru speciálních funkcí P2. Všechny špičky portu 3 (u obvodů 8052 ještě dvě špičky portu 1) mají kromě obvyklé funkce portů ještě další speciální funkce, které jsou shrnuty v tabulce 5.

Tabulka 5 Alternativní funkce špiček portů

Špička	Funkce
*P1.0	T2 (externí vstup časovače/čítače 2)
*P1.1	T2EX (spouštění zachycení hodnoty, nového neplnění časovače/čítače 2)
P3.0	RXD (sériový vstupní port)
P3.1	TXD (sériový výstupní port)
P3.2	INT0 (vnější přerušování)
P3.3	INT1 (vnější přerušování)
P3.4	T0 (vnější Vstup časovače/čítače 0)
P3.5	T1 (vnější vstup časovače/čítače 1)
P3.6	WR (zápisový strobovací impuls pro vnější paměť dat)
P3.7	RD (čtecí strobovací impuls pro vnější paměť dat)

*Špičky P1.0 a P1.1 mají tyto funkce pouze u obvodů 8052

Alternativní funkce se mohou aktivovat pouze tehdy, obsahuje-li odpovídající tzv. bitový záchytný klopný obvod v registru speciálních funkcí pro příslušný port logickou hodnotu 1. V ostatních případech je špička portu přidržena na logické hodnotě 0.

Uspořádání vstupů/výstupu

Na obr. 7a až 7d je funkční schéma typického bitového záchytného klopného obvodu a vyrovnávací paměti V/V v každém ze čtyř portů. Bitový záchytný klopný obvod (jeden bit registru speciálních funkcí patřící k danému portu) je vlastně klopný obvod typu D, do něhož se zapisuje hodnota obsažená na vnitřní sběrnici signálem "ZÁPIS DO ZÁCHYTNÉHO K.O." z CPU. Výstup Q klopného obvodu se připojuje na vnitřní sběrnici signálem "ČTENÍ ZÁCHYTNÉHO K.O." z CPU. Hodnota ze špičky portu se na vnitřní sběrnici přenesla signálem "ČTENÍ ŠPIČKY" z CPU. Některé instrukce pro čtení dat z portu aktivují signál "ČTENÍ ZÁCHYTNÉHO K.O.", jiné signál "ČTENÍ ŠPIČKY". Podrobnější rozbor je uveden v článku 2.5.4.

Obr. 7 Struktura bitu portů P0 až P3

- a) bit portu 0
- b) bit portu 1

Obr. 8 Struktura bitu portů P0 až P3

- c) bit portu 2
- d) bit portu 3

Jak je zřejmé z obr. 7, jsou výstupní budiče portů 0 a 2 přepínatelné vnitřním signálem "ŘÍZENÍ" pro vytvoření adresové/datové (P0) a adresové (P2) sběrnice při spolupráci s vnější pamětí. Během této spolupráce se obsah registru speciálních funkcí P2 nemění, zatímco do registru speciálních funkcí P0 jsou zapsány jedničky. Z obr. 7d je také zřejmé, že obsahuje-li bitový záchytný klopný obvod P3 logickou hodnotu 1, pak je výstupní úroveň řízena signálem "ALTERNATIVNÍ FUNKCE VÝSTUPU". Skutečná úroveň na špičce P3.X je přístupná při alternativní funkci vstupu, pokud takovou funkci špička má. Porty 1, 2 a 3 mají vnitřní posilovací obvody. Port 0 má výstupy s otevřeným kolektorem. Každá linka V/V může být nezávisle použita jako vstup nebo výstup. (Porty 0 a 2 však mají omezení - nemohou být obecně využity jako vstupy nebo výstupy, používají-li se jako adresová nebo datová sběrnice.) Při vstupní funkci portu musí bitové záchytné klopné obvody obsahovat logickou hodnotu 1, aby byly rozepnuty výstupní budiče

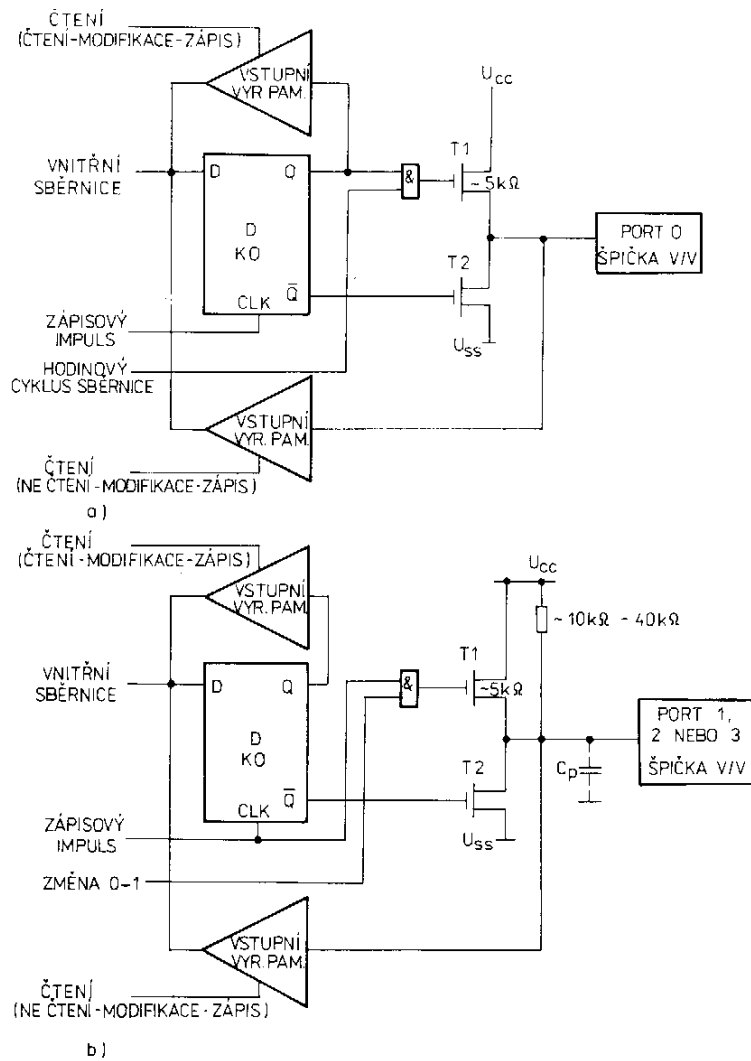
FET. U portů 1, 2 a 3 jsou špičky V/V přidržovány na logické hodnotě 1 vnitřním posilovacím obvodem, avšak mohou být nastaveny do logické hodnoty 0 vnějším zdrojem. Port 0 se odlišuje tím, že nemá vnitřní posilovací obvody. Výstupní tranzistor FET, který spíná logickou úroveň 1 ve výstupním budiči PO (viz obr. 7a), se používá pouze při spolupráci s vnější pamětí, když port vysílá do všech bitů jedničku. V ostatních případech je tento tranzistor rozepnut. S ohledem na tuto skutečnost jsou při výstupní funkci portu PO všechny linky s otevřeným kolektorem. Budou-li do bitových záchytných klopných obvodů zapsány jedničky, pak jsou oba výstupní tranzistory rozepnuty a port PO se může využít jako vstupní s vysokou impedancí.

Protože porty 1, 2 a 3 mají pevné vnitřní posilovací obvody, nazývají se někdy "kvaziobousměrné" porty. Jsou-li použity jako vstupní, jsou přidržovány na logické úrovni 1 a představují zdroj proudu při připojení logické úrovně 0 z vnějšího zdroje. Port 0 je na druhé straně považován za skutečně obousměrný, neboť při vstupní funkci má vysokou impedanci. Zjednodušené struktury bitu obousměrného a kvaziobousměrného portu jsou uvedeny na obr. 8.

Při počáteční inicializaci (funkce RESET) jsou všechny porty obvodů 8051/8052 nastaveny jako vstupní (do všech bitových záchytných klopných obvodů je zapsána logická hodnota 1). Změnu výstupního režimu portu na vstupní režim docílíme zápisem logické hodnoty 1 do všech bitových záchytných klopných obvodů příslušného portu.

Zápis do portu

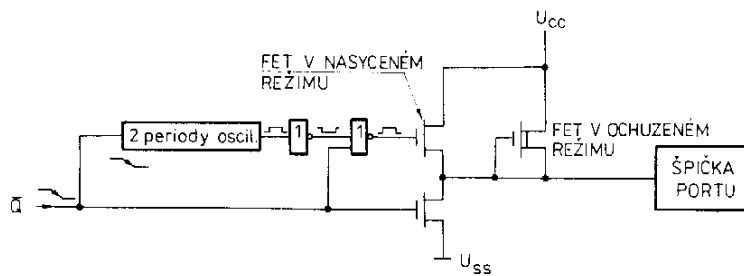
Při provádění instrukce, která mění hodnotu obsaženou v záchytném registru portu, se nová hodnota objeví v záchytném registru během S6-P2 posledního cyklu instrukce. Protože záchytné klopné obvody portu jsou ve skutečnosti vzorkovány svými výstupními vyrovnávacími pamětmi pouze během fáze 1 kterékoliv periody hodin, může se nová hodnota (uložená v záchytném klopném obvodu portu) objevit na výstupní špičce až v příští fázi 1, tj. v S1-P1 následujícího strojového cyklu. Během fáze 2 drží výstupní vyrovnávací paměť hodnotu, kterou získala v předcházející fázi 1. Vyžaduje-li změna v portech 1, 2 nebo 3 přechod z nuly do jedničky, připíná se přidavné posílení během S1-P1 a S1-P2 strojového cyklu, ve kterém změna nastává. Je to z důvodů zvýšení přepínací rychlosti. Zvláštní posilovací obvod může dodat asi 100 krát větší proud než je proud dodávaný obvodem pro spínání do logické hodnoty 1. Je třeba připomenout, že vnitřní posilovací obvody jsou tranzistory řízené polem a nikoliv lineární rezistory. Uspořádání posilovacích obvodů pro technologii HMOS je na obr. 9, pro technologii CHMOS na obr. 10. V HMOS verzi obvodů 8051/8052 je pevnou částí posilovacího obvodu tranzistor v ochuzeném režimu s řídicím vstupem připojeným k emitoru, který dodává proud asi 0,25 mA po připojení



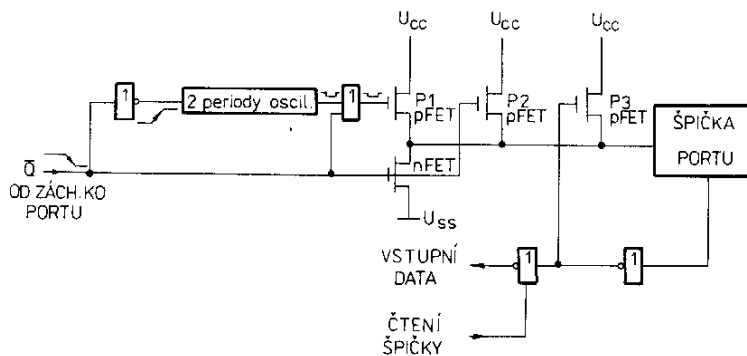
Obr. 8 Zjednodušená struktura bitu portů

a) bit obousměrného portu

b) bit kvaziobousměrného portu



Obr. 9 Posilovací obvod portů 1, 2 a 3 - technologie HMOS



Obr. 10 Posilovací obvod portů 1, 2 a 3 - technologie CHMOS

na zem. Paralelně k němu je zapojen tranzistor v nasyceném režimu. Je aktivován ne dvě periody oscilátoru během S1, když se bit portu mění z logické hodnoty 0 do logické hodnoty 1 (na výstupu Q). V tomto intervalu, je-li špička portu uzemněna, dodává tento tranzistor proud 30 mA. Ve verzi CHMOS jsou posilovací obvody vytvořeny ze tří tranzistorů pFET. Tranzistor pFET pracuje obdobně jako spínač. Je sepnut, má-li na řídicím vstupu logickou hodnotu 0 a rozepnut, má-li na řídicím vstupu logickou hodnotu 1. U tranzistoru nFET je tomu naopak, tj. spíná při logické hodnotě 1 na řídicím vstupu a rozpíná při logické hodnotě 0. Tranzistor P1 na obr. 10 spíná na dvě periody oscilátoru po změně z logické hodnoty 1 do 0 na výstupu Q. Je-li P1 sepnut, spíná přes inverter tranzistor P3 (slabě posílení). Tranzistor P3 a inverter tvoří obvod, který udržuje na špičce logickou hodnotu 1.

Je-li špička zdrojem logické hodnoty 1, může krátký rušivý záporní impuls z nějakého vnějšího zdroje rozepnout tranzistor P3. To by způsobilo přechod špičky do stavu vysoké impedance. Tranzistor P2 představuje velmi slabé posílení (asi 1/10 posílení tranzistoru P3), které se připíná při rozepnutí tranzistoru nFET. Funkci tranzistoru P2 je obnovení logické hodnoty 1 na špičce v případě, že byla zrušena vlivem úzkého rušivého impulsu zvnějšku.

Zatížení portů

Výstupní vyrovnávací paměti portů 1, 2 a 3 mohou každý budit 4 vstupy TTL-LS (Low Schottky). Tyto porty mohou být ve verzích HMOS buzeny normálním způsobem jakýmkoliv TTL nebo NMOS obvodem. Jak verze HMOS, tak i CHMOS mohou být buzeny zapojením s otevřeným kolektorem a nepotřebují vnější posílení. Vyrovnávací paměti portu 0 mohou každá budit 8 vstupů TTL-LS. Pro buzení NMOS vstupů vyžadují vnější posílení s výjimkou případů, kdy jsou použity jako adresová/datová sběrnice.

Instrukce typu "čtení-modifikace-zápis"

Některé instrukce jsou určeny pro čtení záchytného klopného obvodu portu, jiné pro čtení špičky portu. Instrukce, které čtou data ze záchytného klopného obvodu portu, mohou jejich hodnotu změnit, a potom nová data opět zapíší do záchytného klopného obvodu. Jsou to instrukce typu "čtení-modifikace-zápis". Mají-li tyto instrukce jako operand port nebo bit portu, čtou záchytný klopný obvod a nikoliv špičku portu.

Přehled instrukcí pro "čtení-modifikaci-zápis":

ANI.	- logický součin, např. ANL P1,A
ORL	- logický součet, např. ORL P2,A
XRL	- součet mod 2, např. XRL P3,A

JBC	- skok, je-li bit = 1 (bit se vynuluje), např. JBC P1.1,NAV
CPL	- doplněk (inverze) bitu, např. CPL P3.0
INC	- inkrement, např. INC P2
DEC	- dekrement, např. DEC P2
DJNZ	- dekrement s skok při nenulovém obsahu, např. DJNZ P3,NAV
MOV PX.Y,C	- přesun hodnoty přenosu do bitu Y portu X
CLR PX.Y	- vynulování bitu Y portu X
SET PX.Y	- nastavení bitu Y portu X

Poslední tři instrukce v seznamu čtou všech osm bitů záchytných klopných obvodů portu, modifikují adresovaný bit a zapíše nový byte zpět do příslušných záchytných klopných obvodů. Důvodem směřování instrukcí typu "čtení-Modifikace-zápis" na práci se záchytným klopným obvodem a ne se špičkou portu je zabránění špatné interpretaci napěťové úrovně na špičce.

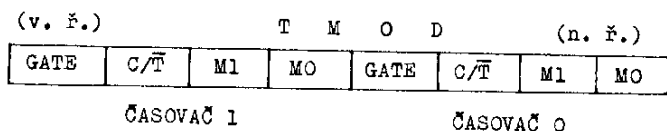
Například se bit portu může použít pro buzení báze tranzistoru. Po zapsání logické hodnoty 1 do bitu se tranzistor otevře. Bude-li tento bit číst CPU ze špičky a ne ze záchytného klopného obvodu, bude interpretovat napětí na bázi tranzistoru jako logickou hodnotu 0, Při čtení záchytného klopného obvodu však CPU obdrží správnou logickou hodnotu 1.

Časovače/čítače

Obvody 8051 obsahují dva šestnáctibitové registry s funkcí časovačů/čítačů, které se označují časovač 0 a časovač 1. Obvody 8052 mají navíc ještě časovač 2, Všechny tři registry mohou pracovat buď jako časovače nebo jako čítače vnějších událostí (zkráceně jen čítače). Ve funkci "časovač" se obsah registru zvyšuje při každém strojovém cyklu, lze tedy o něm hovořit jako o čítači strojových cyklů. Protože strojový cyklus obsahuje 12 period oscilátoru, je rychlost přičítání rovna 1/12 frekvence oscilátoru. Ve funkci "čítač vnějších událostí" se obsah registru zvyšuje při přechodu signálu z logické hodnoty 1 do logické hodnoty 0 na odpovídající vnější špičce T0, T1 a nebo - u obvodů 8052 - na špičce T2. Při této funkci se vnější vstup vzorkuje během doby S5-P2 každého strojového cyklu. Zjistí-li se logická úroveň 1 v jednom strojovém cyklu a logická hodnota 0 v příštím cyklu, obsah čítače se zvýší. Nová hodnota se v registru objeví v době S3-P1 strojového cyklu následujícího ze cyklem, ve kterém byle zjištěna změna. Protože zjištění změny z logické hodnoty 1 do logické hodnoty 0 trvá dva strojové cykly (tj. 24 period oscilátoru), je maximální rychlost přičítání rovna 1/24 frekvence oscilátoru. Zvláštní požadavky na poměr doby trvání logické hodnoty 1 a logické hodnoty 0 vnějšího signálu nejsou, avšak musí se zajistit, aby daná úroveň byla vzorkovaná nejméně jednou, než se změní. To znamená, že musí zůstat beze změny alespoň jeden strojový cyklus. Časovač 0 a časovač 1 lze využívat v jednom ze čtyř možných pracovních režimů (viz dále). Časovač 2 u obvodů 8052 má tři režimy činnosti: "záchytný" (capture), "samoplnící" (auto - reload) a "generátor přenosové rychlosti" (baud rate generator).

Časovač 0 a časovač 1

Tyto časovače/čítače jsou jak u obvodů 8051, tak u obvodů 8052. Funkce "časovač" nebo "čítač" se určí řídicím bitem C/T v registru speciálních funkcí TMOD, jehož struktura je znázorněna na obr. 12. Významy jednotlivých bitů registru TMOD jsou přehledně uvedeny v tabulce 6.



Obr. 12 Řídicí registr režimu časovače/čítače - TMOD

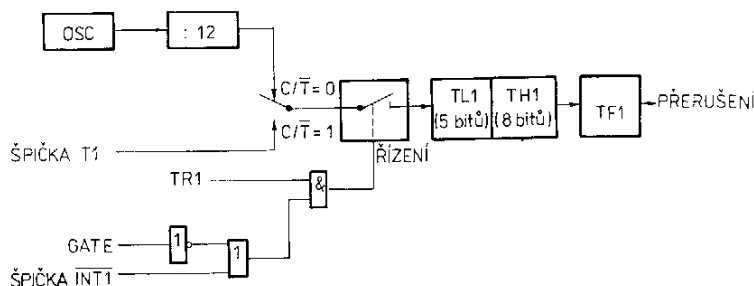
Tabulka 6 Významy bitů registru TMOD

Symbol	Význam
GATE	Řízení hradlování. Při GATE = 1 je časovač/čítač "x" povolen pouze tehdy, má-li špička "INTx" logickou hodnotu 1 a je-li současně nastaven řídicí bit "TRx". Při GATE = 0 je časovač/čítač "x" povolen vždy, kdykoliv je nastaven řídicí bit "TRx".
C/M	Výběr časovače nebo čítače. C/T = 0 - činnost v režimu časovač (vstup z vnitřního zdroje hodin) C/T = 1 - činnost v režimu čítač (vstup z vnějších špiček "Tx").
M1, M0	Pracovní režim. M1 M0
	0 0 Časovač jako u obvodů 8048, "TLx" má funkci pětibitového předřazeného děliče
	0 1 Šestnáctibitový časovač/čítač. "THx" a "TLx" jsou spojeny do kaskády, předřazený dělič není
	1 1 Osmibitový samoplňací časovač/čítač. "THx" obsahuje (drží) hodnotu, kterou má být znovu neplněn "TLx" vždy, když přeteče
	1 1 Časovač 0: TLO je osmibitový časovač nebo čítač řízený standardními řídicími bity časovače 0.
	1 1 Časovač 1: Časovač/čítač 1 je zastaven

Oba časovače/čítače mají čtyři pracovní režimy, které se volí dvojicí bitů M1 a M0 v registru TMOD. Režimy 0, 1 a 2 jsou stejné pro obe časovače/čítače, režim 3 se liší.

Režim 0

Nastaví-li se časovač do režimu 0, vypadá jako časovač u obvodů 8048, tj. osmibitový časovač/čítač a předřazeným děličem 32. Použití režimu 0 u časovače 1 ukazuje obr. 13.



Obr. 13 Časovač/čítač 1, režim 0: třináctibitový čítač

V tomto režimu je registr časovače uspořádán jako třináctibitový registr. Přeteče-li registr ze samých jedniček na samé nuly nastaví se příznak přerušení od časovače 1 - TF1. Vstup čítaného průběhu do časovače je povolen tehdy, je-1:

TR1 = 1 a (současně) buď GATE = 0 nebo INT1 = 1. (Nastavení GATE = 1 dovoluje řízení časovače externím vstupem INT1, což umožňuje měření šířky impulsu.) TR1 je řídicí bit v registru speciálních funkcí TCON, jehož struktura je na obr. 14 s významy jednotlivých bitů jsou v tabulce 7. Řídicí bit GATE je v registru TMOD.

(v. ř.) T C O N (n. ř.)

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
-----	-----	-----	-----	-----	-----	-----	-----

Obr. 14 Řídicí registr časovače/čítače - TCON

Tabulka 7 Významy bitů registru TCON

Symbol	Pozice	Název a význam
TF1	TCON.7	Příznak přetečení časovače 1 (Timer 1 overflow Flag). Nastavuje se hardwarově při přetečení časovače/čítače. Nuluje se hardwarově při přechodu procesoru do programu pro obsluhu přerušeni.
TR1	TCON.6	Řídicí bit běhu časovače 1 (Timer 1 Run control bit). Nastavuje a nuluje se softwarově při spouštění a zastavování časovače/čítače.
TF0	TCON.5	Příznak přetečení časovače 0 (Timer 0 overflow Flag). Nastavuje se hardwarově při přetečení časovače/čítače. Nuluje se hardwarově při přechodu procesoru do programu pro obsluhu přerušeni.
TR0	TCON.4	Řídicí bit běhu časovače 0 (Timer 0 Run control bit). Nastavuje a nuluje se softwarově při spouštění a zastavování časovače/čítače.
IE1	TCON.3	Příznak hrany přerušeni 1 (Interrupt 1 Edge flag). Nastavuje se hardwarově, detekuje-li se hrana vnějšího přerušeni. Nuluje se při zpracování přerušeni.
IT1	TCON.2	Řídicí bit typu přerušeni 1 (Interrupt 1 Type control bit). Nastavuje i nuluje se softwarově a určuje sestupnou hranou/nízkou úrovní spouštěná vnější přerušeni.
IE0	TCON.1	Příznak hrany přerušeni 0 (Interrupt 0 Edge flag). Nastavuje se hardwarově, detekuje-li se hrana vnějšího přerušeni. Nuluje se při zpracování přerušeni.
IT0	TCON.0	Řídicí bit typu přerušeni 0 (Interrupt 0 Type control bit). Nastavuje i nuluje se softwarově a určuje sestupnou hranou/nízkou úrovní spouštěná vnější přerušeni.

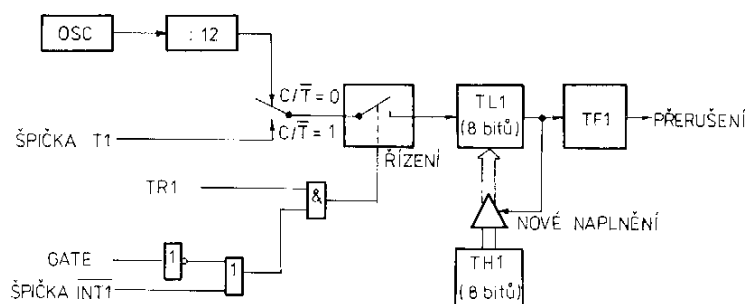
Třináctibitový registr je tvořen osmi bity TH1 a nižšími pěti bity TLI. Horní tři bity TL1 jsou nedefinované a jejich obsah se zanedbává. Nastavení příznaků běhu časovače (TR1) registry nenuluje. Činnost v režimu 0 je stejná jak pro časovač 0, tak i pro časovač 1. V obr. 13 se pouze signály časovače 1 nahradí odpovídajícími signály TR0, INT0 a TF0 časovače 0. Je však nutné si uvědomit, že existují dva rozdílné bity GATE, jeden pro časovač 0 (TMOD.3) a jeden pro časovač 1 (TMOD.7).

Režim 1

Režim 1 je stejný jako režim 0 s tím rozdílem, že pro přičítání se využívá všech šestnácti bitů registrů časovače.

Režim 2

V režimu 2 pracuje registr časovače jako osmibitový čítač TL1 s automatickým novým naplněním, jak je znázorněno na obr. 15.

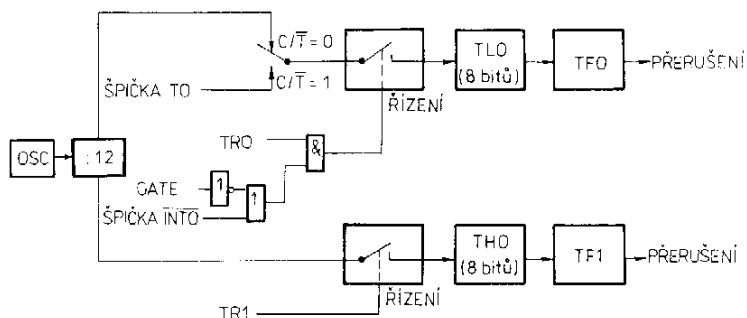


Obr. 15 Časovač/čítač 1, režim 2: osmibitový samopalnící čítač

Přetečení z TL1 nastaví TF1 a současně také znovu naplní TL1 obsahem TH1, který je softwarově přednastaven, novým naplněním TL1 se nezmění obsah TH1. Režim 2 je stejný i pro časovač 0.

Režim 3

V tomto režimu si časovač 1, jednoduše řečeno, uchová načítanou hodnotu. Výsledek je stejný, jako při nastavení $TR1 = 0$ (tj. zastavení časovače 1). Časovač C se v režimu 3 nastaví jako dva oddělené osmibitové čítače TLO a THO. Uspořádání časovače 0 v režimu 3 je na Obr. 16.



Obr. 16 Časovač/čítač 0, režim 3: dvě osmibitové čítače

TLO používá řídicí bity časovače 0 C/T, GATE, TR0, INT0 s TFO. THO má funkci časovače (čítání strojových cyklů), ovládá se prostřednictvím řídicího bitu TR1 a při přetečení nestavuje příznak TF1 časovače 1. Režim 3 je určen pro aplikace, které vyžadují zvláštní osmibitový časovač nebo čítač. V tomto režimu jakoby obvody 3051 měly tři (obvody 8052 čtyři) časovače/čítače. Pracuje-li časovač 0 v režimu 3, může časovač 1 sám sebe zapnout nebo vypnout přepnutím z režimu 3 nebo do režimu 3, časovač 1 může být také stále používán u sériového portu jako generátor přenosové rychlosti nebo se může využít v jakékoliv aplikaci, která nevyžaduje přerušení.

Časovač T2

Časovač 2 je šestnáctibitový časovač/čítač a existuje pouze u obvodů 8052. Podobně jako časovače 0 a 1 může pracovat buď jako časovač nebo jako čítač vnějších událostí. Funkce se volí bitem C/T2 v registru speciálních funkcí T2CON.

Jeho struktura je na obr. 17., významy jednotlivých bitů jsou uvedeny v tabulce 8.

Obr. 17 Řídicí registr časovače/čítače 2 - T2CON

Tabulka 8 Významy bitů registru T2CON

Symbol	Pozice	Název a význam
TF2	T2CON.7	Příznak přetečení časovače 2 (Timer 2 overflow Flag). Nastavuje se při přetečení časovače 2 a musí být nulován softwarově. TF2 se nemůže nastavit, je-li RCLK = 1 nebo TCLK = 1.
EXF2	T2CON.6	Vnější příznak časovače 2 (Timer 2 External Flag). Nastavuje se tehdy, je-li zachycení nebo znovunaplnění způsobeno zápornou změnou na T2EX a je-li EXEN2 = 1. Když je povoleno přerušení od časovače 2, pak EXF2 = 1 způsobí, že CPU přejde do programu pro obsluhu přerušení od časovače 2. EXF2 se musí nulovat softwarově.
RCLK	T2CON.5	Příznak hodin při příjmu (Receive Clock flag). Je-li nastaven, pak sériový port v režimu 1 a 3 užije pro hodiny při příjmu impulsy přetečení časovače 2, Je-li RCLK = 0, pak se pro hodiny při příjmu použijí impulsy přetečení časovače 1.
TCLK	T2CON.4	Příznak hodin při vysílání (Transmit Clock flag). Je-li nastaven, pak sériový port v režimu 1 a 3 užije pro hodiny při vysílání impulsy přetečení časovače 2, Je-li TCLK = 0, pak se pro hodiny při vysílání použijí impulsy přetečení časovače 1.
EXEN2	T2CON.3	Příznak vnějšího povolení časovače 2 (Timer 2 External Enable flag). Nastavení tohoto příznaku umožňuje, aby zachycení nebo nové naplnění nastalo jako výsledek záporné změny na T2EX, není-li časovač 2 použit jako zdroj hodin pro sériový port. Při EXEN2 = 0 časovač 2 ignoruje události na T2EX.
TR2	T2CON.2	Řízení spouštění/zastavování časovače 2 (Start/stop control for Timer 2). Logická hodnota 1 časovač startuje.
C/T2	T2CON.1	Volba časovače nebo čítače u časovače 2 (Timer or Counter select - Timer 2), 0 - vnitřní časovač (OSC/12) 1 - čítač vnějších událostí (spouští sestupná hrana)
CP/RL2	T2CON.0	Příznak zachycení/znovunaplnění (Capture/Reload flag). Nastavení příznaku dovoluje, aby se zachycení provedlo na zápornou změnu na T2EX, pokud EXEN2 = 1. Při CP/RL2 = 0 Probíhá nové naplnění tehdy, přeteče-li časovač 2 nebo dojde-li k záporné změně na T2EX, pokud EXEN2 = 1. Je-li RCLK = 1 nebo TCLK = 1, je tento bit ignorován a časovač 2 se při přetečení znovu sám naplní.

Časovač 2 má tři pracovní režimy:

- záchytný
- samoplňací
- generátor přenosové rychlosti

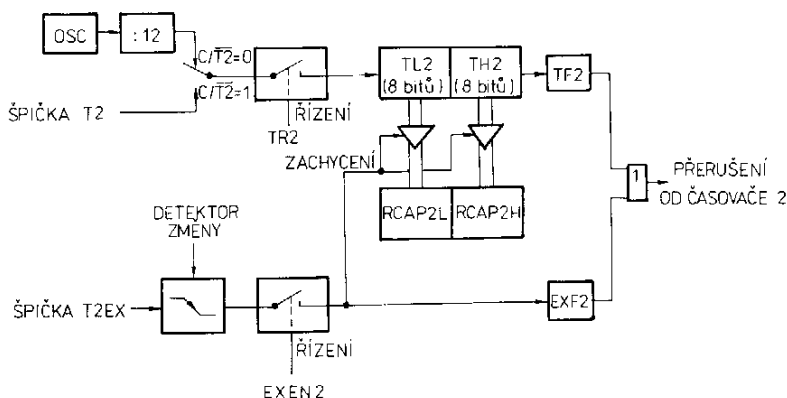
Pracovní režimy se volí bity v T2CON tak, jak je uvedeno v tabulce 9.

Tabulka 9 Pracovní režimy časovače 2

RCLK + TCLK	CP/RL2	TR2	Režim
0	0	1	Šestnáctibitový samoplňací
0	1	1	Šestnáctibitový záchytný
1	R	1	Generátor přenosové rychlosti
R	R	0	(časovač 2 zastaven)

R označuje logickou hodnotu 0 nebo 1

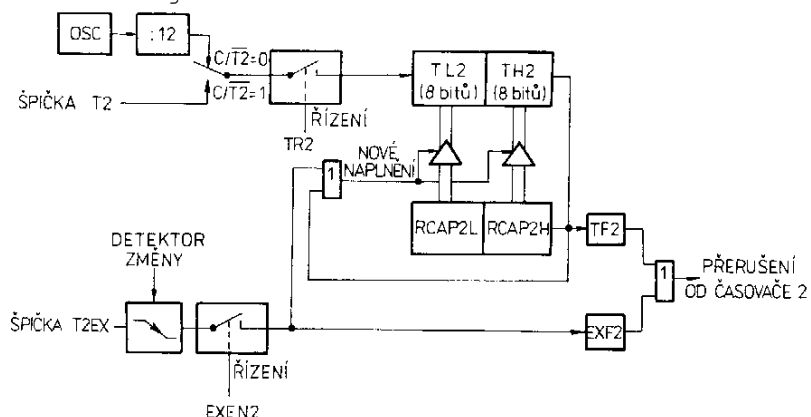
V záchytném pracovním režimu existují dvě možnosti, které se volí bitem EXEN2 v řídicím registru T2CON. Pokud je EXEN2 = 0, pak časovač 2 pracuje jako šestnáctibitový časovač nebo čítač, který při přetečení nastavuje příznakový bit přetečení časovače 2, tj. TF2. Tento příznak může být využit pro generování přerušení. Je-li EXEN2 = 1, pak se časovač 2 chová stejně jako v předchozím případě, avšak změna z logické hodnoty 1 do logické hodnoty 0 na vnějším vstupu T2EX způsobí, že se okamžitá (současná) hodnota registrů časovače 2 (TL2 a TH2) zachytí do registrů RCAP2L a RCAP2H (tyto registry speciálních funkcí jsou pouze u obvodů 8052). Dále změna na vstupu T2EX nastaví bit EXF2 v řídicím registru T2CON. Příznak EXF2 lze (podobně jako příznak TF2) využít pro generování přerušení. Záchytný pracovní režim časovače 2 je znázorněn na obrázku 18.



Obr. 18 Záchytný pracovní režim časovače 2

V samoplňicím pracovním režimu existují rovněž dvě možnosti v závislosti na logické hodnotě bitu EXEN2 v řídicím registru T2CON. Jestliže je EXEN2 = 0, pak se v případě přepnutí časovače 2 nastaví příznak TF2 a současně se registry časovače 2 naplní šestnáctibitovou hodnotou uloženou v registrech RCAP2L a RCAP2H. Přednastavení registrů se provádí softwarově.

Je-li EXEN2 = 1, pak pracuje časovač 2 stejně jako v předchozím případě, avšak navíc má další vlastnost, která umožňuje, aby přechod z logické hodnoty 1 do logické hodnoty 0 na vnějším vstupu T2EX vyvolal nové naplnění všech šestnácti bitů časovače 2 a nastavení příznaku EXF2. Samoplňicí pracovní režim časovače 2 je znázorněn na obrázku 19.



Obr. 19 Samoplňicí pracovní režim časovače 2

Režim, ve kterém pracuje časovač 2 jako generátor přenosové rychlosti, se volí nastavením RCLK o 1 a/nebo (logicky) TCLK = 1. Tato funkce bude popsána v souvislosti se sériovým portem.

Sériové rozhraní

Sériový port je plně duplexní, takže se může vysílat a přijímat současně. Má příjem s vyrovnávacími vlastnostmi, to znamená, že s příjmem druhého bytu se může začít dříve než byl odebrán právě přijatý byte z přijímacího registru. (Nebude-li ovšem z přijímacího registru odebrán první byte do okamžiku přijetí úplného druhého bytu, pak se jeden z bytů ztratí.) Přijímací a vysílací registry sériového portu jsou dostupné jako registr speciálních funkcí SBUF. Zápisem do SBUF se plní vysílací registr a čtením SBUF se čte fyzicky oddělený přijímací registr. Sériový port může pracovat ve čtyřech režimech:

- Režim 0: Sériová data vstupují a vystupují špičkou RXD. Špičkou TXD vystupují hodiny posuvu. Vysílá nebo přijímá se osm datových bitů (nejméně významné bity nejdříve). Přenosová rychlost je pevná a je rovna 1/12 frekvence oscilátoru.
- Režim 1: Vysílá se deset bitů (přes špičku TXD), přijímá se deset bitů (přes špičku RXD): start bit (logická hodnota 0), osm datových bitů (nejméně významné bity jako první) a stop bit (logická hodnota 1). Při příjmu se stop bit ukládá do bitu RB8 v registru speciálních funkcí SCON. Přenosová rychlost je proměnná.
- Režim 2: Vysílá se jedenáct bitů (přes špičku TXD), přijímá se jedenáct bitů (přes špičku RXD): start bit (logická hodnota 0), osm datových bitů (nejméně významné bity nejdříve), programovatelný devátý datový bit a stop bit (logická hodnota 1). Při vysílání může devátý datový bit (tj. bit TB8 v SCON) nabýt logické hodnoty 0 nebo 1. Do bitu TB8 lze například přesunout hodnotu paritního bitu (P v PSW). Při příjmu se devátý datový bit ukládá do bitu RB8 v registru speciálních funkcí SCON a stop bit se ignoruje, Přenosová rychlost je proměnná a je programovatelná buď na 1/32 nebo 1/64 frekvence oscilátoru.
- Režim 3: Vysílá se (přes špičku TXD) nebo přijímá se (přes špičku RXD) jedenáct bitů: start bit (logická hodnota 0), osm datových bitů (nejméně významné bity jako první), programovatelný devátý datový bit a stop bit (logická hodnota 1). Režim 3 je ve všem stejný jako režim 2 s výjimkou přenosové rychlosti, která je v režimu 3 proměnná.

Ve všech čtyřech režimech se vysílání spouští instrukcí, která užívá SBUF jako cílový registr. Příjem se v režimu 0 spouští podmínkou RI = 0 a REN = 1. V ostatních režimech se příjem spouští příchodem startovacího bitu, je-li REN = 1.

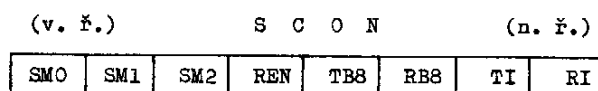
Víceprocesorová komunikace

Režim 2 a režim 3 mají speciální prostředky pro víceprocesorovou komunikaci. V těchto režimech se přijímá devět datových bitů, přičemž devátý bit se přesouvá do bitu RB8 v řídicím registru sériového portu (SCON), Pak přichází stop bit. Port lze naprogramovat tak, že se při příjmu stop bitu aktivuje přerušování od sériového portu pouze tehdy, je-li logická hodnota RB8 = 1. Tato vlastnost se povoluje nastavením bitu SM2 v registru SCON. Ve víceprocesorových systémech lze této možnosti využít dále popsaným způsobem. Chce-li hlavní (master) procesor přenášet do jednoho z podřazených (slave) procesorů blok dat, vyšle nejdříve adresový byte, který identifikuje cílový satelitní procesor. Adresový byte se liší od datového bytu logickou hodnotou právě v devátém bitu. U adresového bytu je v devátém bitu logická hodnota 1, zatímco datový byte obsahuje v devátém bitu logickou hodnotu 0. Je-li logická hodnota SM2 = 1, pak nebude žádný satelitní procesor přerušován datovým bytem, avšak adresový byte přerušuje všechny podřazené procesory. Prozkoumáním přijatého bytu může každý satelitní procesor zjistit, zda je adresován.

Adresovaný podřízený procesor vynuluje bit SM2 a připraví se k příjmu datových bytů, které přijdou. Ten podřízený procesor, který nebyl adresován, ponechá svůj bit SM2 nastaven a pokračuje v povodní činnosti před přerušením, přičemž ignoruje přicházející datové byty. Bit SM2 se neuplatňuje v režimu 0. V režimu 1 může být využit pro kontrolu platnosti stop bitu, nebo v režimu 1, je-li logická hodnota SM2 = 1, se nevybudí přerušeni při příjmu do té doby, dokud se nepřijme platný stop bit.

Řídicí registr sériového portu

Řídicí a stavový registr sériového portu je registr speciálních funkcí SCON a jeho struktura je na obr. 20. Významy jednotlivých bitů jsou přehledně uvedeny v tabulce 10.



Obr. 20 Řídicí registr sériového portu - SCON

Tabulka 10 Významy bitů registru SCON

Symbol	Pozice	Význam																									
SM0	SCON.7	Určení režimu sériového portu.																									
SM1	SCON.6	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>SM0</th> <th>SM1</th> <th>Režim</th> <th>Popis</th> <th>rychlost</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>Posuv. Registr</td> <td>fosc/12</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>8-bitový UART</td> <td>proměnná</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> <td>9-bitový UART</td> <td>fosc/32 nebo fosc/64</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> <td>9-bitový UART</td> <td>proměnná</td> </tr> </tbody> </table>	SM0	SM1	Režim	Popis	rychlost	0	0	0	Posuv. Registr	fosc/12	0	1	1	8-bitový UART	proměnná	1	0	2	9-bitový UART	fosc/32 nebo fosc/64	1	1	3	9-bitový UART	proměnná
SM0	SM1	Režim	Popis	rychlost																							
0	0	0	Posuv. Registr	fosc/12																							
0	1	1	8-bitový UART	proměnná																							
1	0	2	9-bitový UART	fosc/32 nebo fosc/64																							
1	1	3	9-bitový UART	proměnná																							
SM2	SCON.5	Povolení víceprocesorové komunikace v režimu 2 a 3. Je-li v režimu 2 a 3 logická hodnota bitu SM2 = 1, pak se RI neaktivuje, pokud přijatý devátý bit (RB8) má logickou hodnotu 0. V režimu 1, je-li SM2 = 1, se RI neaktivuje, nebyl-li přijat platný stop bit. V režimu 0 má být logická hodnota SM2 = 0.																									
REN	SCON.4	Povolení sériového příjmu. Pro povolení/zakázání příjmu se nastavuje/nuluje tento bit softwarově.																									
TB8	SCON.3	Devátý datový bit při vysílání. Vysílá se v režimu 2 a 3, nastavuje a nuluje se podle potřeby softwarově.																									
RB8	SCON.2	Devátý datový bit při příjmu. Přijímá se v režimu 2 a 3. V režimu 1, je-li logická hodnota SM2 = 0, obsahuje RB8 přijatý stop bit, v režimu 0 se RB8 nepoužívá.																									
TI	SCON.1	Příznak přerušeni při vysílání. V režimu 0 se nastavuje hardwarově na konci doby osmého bitu, v ostatních režimech se nastavuje při libovolném sériovém přenosu na začátku stop bitu. Musí se nulovat softwarově.																									
RI	SCON.0	Příznak přerušeni při příjmu, V režimu 0 se nastavuje hardwarově na konci doby osmého bitu, v ostatních režimech se nastavuje (výjimky viz popis bitu SM2) při libovolném sériovém přenosu uprostřed intervalu stop bitu. Musí se nulovat softwarově.																									

Tento registr obsahuje jak bity pro výběr režimu činnosti sériového portu, tak i devátý bit pro vysílání a příjem (TB8 a RB8) a bity přerušeni od sériového portu (TI a RI).

Přenosové rychlosti

V režimu 0 je přenosová rychlost pevná:

Režim 0: přenosová rychlost = Frekvence oscilátoru/12

V režimu 0 závisí přenosová rychlost na hodnotě bitu SMOD v registru speciálních funkcí PCON (viz článek 2.12.2). Je-li logická hodnota SMOD = 0 (což je hodnota po provedení funkce RESET), je přenosová rychlost rovna 1/64 frekvence oscilátoru. V případě SMOD = 1 je přenosová rychlost rovna 1/32 frekvence oscilátoru.

Režim 2: přenosová rychlost = $(2^{\text{SMOD}})/64$ * frekvence oscilátoru

U obvodů 8051 jsou přenosové rychlosti v režimech 1 a 3 určeny četností přetečení časovače 1. U obvodu 8052 je možné určit přenosovou rychlost časovačem 1 nebo časovačem 2 nebo oběma (jedním pro vysílání a druhým pro příjem).

Použití časovače 1 pro generování přenosové rychlosti

Použije-li se časovač 1 jako generátor přenosové rychlosti, je přenosová rychlost v režimech 1 a 3 určena četností přetečení časovače 1 a logickou hodnotou bitu SMOD takto:

Režim 1 a 3:

přenosová rychlost = $2^{\text{SMOD}}/32$ * (rychlost přetečení čas. 1)

Při této aplikaci je přerušení od časovače 1 zakázáno až na výjimku uvedenou dále. Časovač sám může být použit buď jako "časovač" nebo jako "čítač vnějších událostí" v kterémkoliv ze tří (0, 1 nebo 2) režimů. Nejčastěji se užívá jako osmibitový "časovač" v samoplňicím režimu (vyšší řády registru TMOD obsahují hodnotu 0010B). V tomto případě je přenosová rychlost dána vztahem

Režim 1 a 3:

přenosová rychlost = $2^{\text{SMOD}}/32$ * frekvence oscilátoru/32*(256- <TH1>),

kde symbol <TH1> označuje obsah registru TH1 v časovači 1.

Chceme-li časovačem 1 dosáhnout velmi nízkou přenosovou rychlost, povolíme od tohoto časovače přerušení a spustíme ho v režimu šestnáctibitového časovače (vyšší řády registru TMOD obsahují hodnotu 0001H), Po vzniku přerušení softwarově znovu naplníme potřebnou šestnáctibitovou hodnotu do registrů časovače 1. Seznam různých obecně užívaných přenosových rychlostí spolu s návodem, jak lze tyto rychlosti časovačem 1 získat, je přehledně uveden v tabulce 11.

Použití časovače 2 pro generování přenosové rychlosti

U obvodů 8052 se volba časovače 2 jako generátoru přenosové rychlosti provede nastavením bitu TCLK = 1 nebo RCLK = 1 v registru speciálních funkcí T2CON (viz obr. 17). Je možné, aby se přenosová rychlost při vysílání lišila od přenosové rychlosti současně probíhajícího příjmu. Nastavením TCLK a/nebo (logicky) RCLK se časovač 2 uvede do režimu, kdy pracuje jako generátor přenosové rychlosti. Tato situace je znázorněna na obr. 21.

Režim generátoru přenosové rychlosti je podobný samoplňicím režimu, ve kterém přeplnění registru TH2 způsobí, že se registry časovače 2 znovu naplní šestnáctibitovou hodnotou uloženou v registrech RCAP2L a RCAP2H. Obsah těchto registrů se musí přednastavit softwarově.

Tabulka 11 Obecně užívané přenosové rychlosti generované časovačem 1

Přenosová	fosc	SMOD	C A S 0 V A C 1
-----------	------	------	-----------------

rychlost [Hz]			C/T	Režim	Hodnota pro opětné naplnění
Režim 0: max. 1M	12 MHz	x	x	x	x
Režim 2: max. 375k	12 MHz	1	x	x	x
Režim 1 a 3:					
62,5k	12 MHz	1	0	2	FFh
19,2k	11,059 MHz	1	0	2	FDh
9,5k	11,059 MHz	0	0	2	FDh
4,8k	11,059 Mhz	0	0	2	FAh
2,4k	11,059 MHz	0	0	2	F4h
1,2k	11,059 MHz	0	0	2	E8h
137,5	11,986 MHz	0	0	2	1Dh
110	6 MHz	0	0	2	72h
110	12 MHz	0	0	1	FEEBh

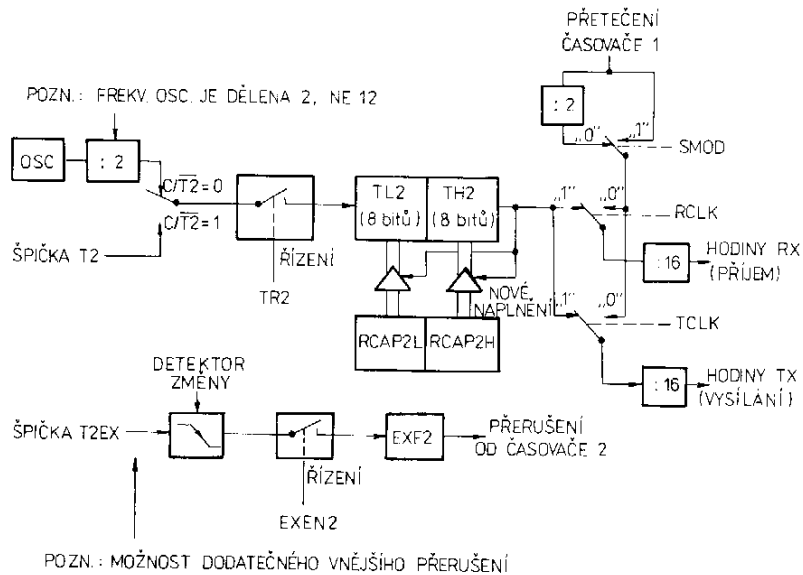
x označuje logickou hodnotu 0 nebo 1

Přenosová rychlost v režimu 1 a 3 je určena rychlostí přetečení časovače 2 takto:

Režim 1 a 3:

přenosová rychlost = rychlost přetečení časovače 2/16

Časovač 2 se může nastavit buď jako "časovač" nebo jako "čítač vnějších událostí". Nejčastěji se v aplikacích používá jako "časovač" (C/T2 = 0). Činnost "časovače" se v režimu generátor přenosové rychlosti poněkud odlišuje od běžné činnosti časovače. Normálně je časovač inkrementován při každém strojovém cyklu, tj. s frekvencí rovnou 1/12 frekvence oscilátoru.



Obr. 21 Časovač 2 jako generátor přenosové rychlosti

Jako generátor přenosové rychlosti se však inkrementuje při každém stavu, tj. s frekvencí rovnou 1/2 frekvence oscilátoru. V tomto případě je přenosová rychlost určena vztahem

Režim 1 a 3:

přenosová rychlost = frekvence oscilátoru/32 * (65536 - <RCAP2H,RCAP2L>),

kde symbol <RCAP2H,RCAP2L> označuje obsah registrů RCAP2H a RCAP2L chápaný jako celé číslo bez znaménka. Uspořádání časovače 2 jako generátoru přenosové rychlosti na obr. 21 platí pouze za předpokladu, že v registru speciálních funkcí T2CON má bit RCLK nebo TCLK logickou hodnotu 1.

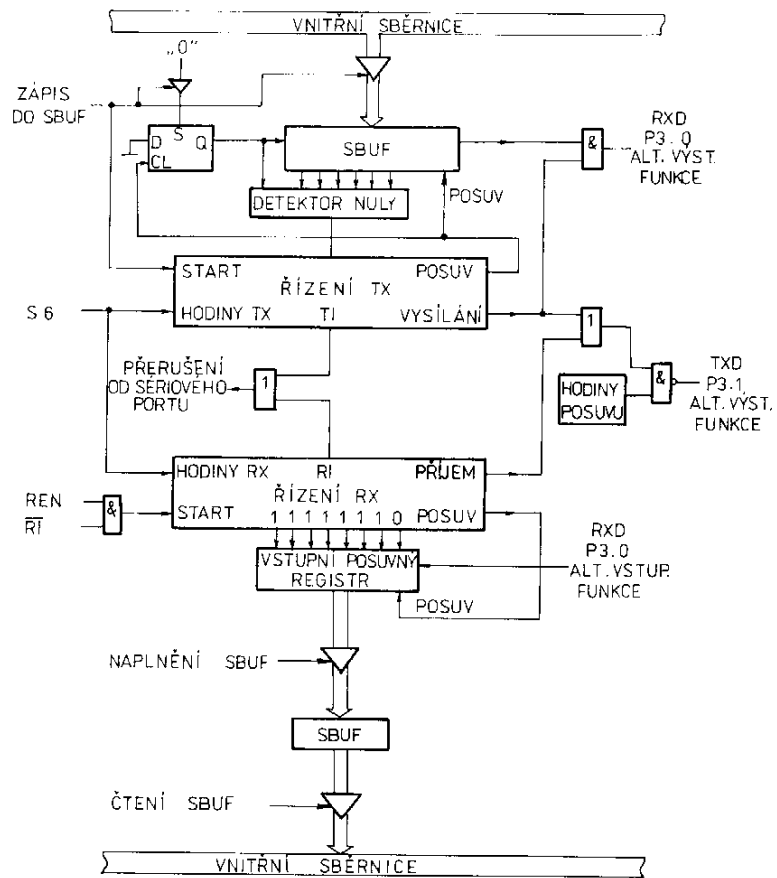
POZN.: FREKVENCE OSCILÁTORE JE DĚLENA 2, NE 12

Potom přetečení registru TH2 nenastaví příznak TF2 a nebude se generovat přerušeni. Proto, pracuje-li časovač 2 v režimu generátor přenosové rychlosti, nemusí být přerušeni od časovače 2 zakázáno. Všimněme si také, že je-li nastaven EXEN2, pak změna z logické hodnoty 1 do logické hodnoty 0 na špičce T2EX sice nastaví příznak EXF2, avšak nezpůsobí nové naplnění registrů TH2 a TL2 hodnotou obsaženou v registrech RCAP2H a RCAP2L, Použijeme-li časovač 2 v režimu generátor přenosové rychlosti, lze špičku T2EX v případě potřeby využít jako další vnější přerušeni.

Pokud běží časovač 2 (signál TR2 = 1) ve funkci "časovače" v režimu generátor přenosové rychlosti, nemělo by se číst ani zapisovat do registrů TH2 nebo TL2. Za těchto podmínek se totiž obsah časovače zvyšuje o jedničku v každém stavu, a proto výsledky čtení nebo zápisu nemusí být přesné. Registry RCAP se mohou číst, avšak nemělo by se do nich zapisovat, protože zápis může překrýt znovunaplnění a tím může vzniknout chyba v zápisu nebo při samoplnění. V takovém případě je proto zapotřebí nejdříve časovač zastavit (vynulováním TR2) a teprve potom provádět manipulaci s časovačem 2 nebo s registry RCAP.

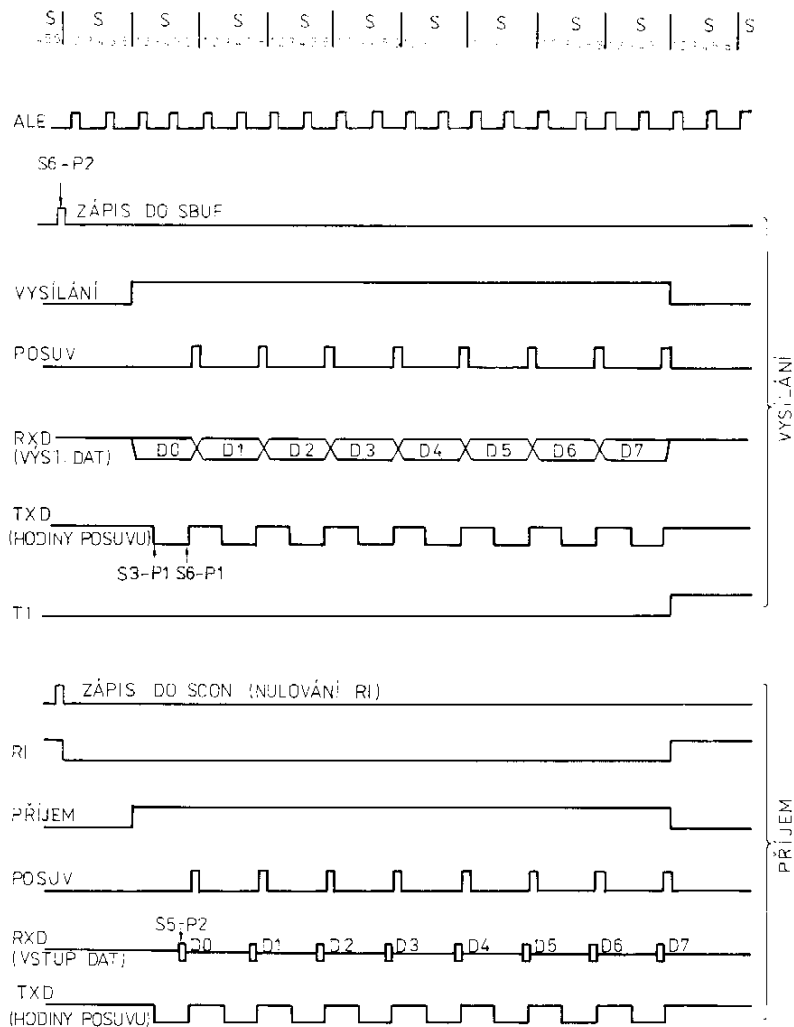
Popis režimu 0

Sériová data vstupují nebo vystupují špičkou RXD. Špičkou TXD vystupují hodiny posuvu. Vysílá nebo přijímá se osm datových bit (nejméně významné bity jako první). Přenosová rychlost je pevná a je rovna 1/12 frekvence oscilátoru. Re obr. 22 je zjednodušený funkční diagram sériového portu v režimu 0 spolu s odpovídajícím časovým diagramem. Vysílání se zahajuje kteroukoliv instrukcí, která používá registr speciálních funkcí SBUF jako cílový registr. Signál "ZÁPIS DO SBUF" v době S6-P2 dává logickou hodnotu 1 do deváté bitové pozice vysílacího posuvného registru a oznamuje řídicímu bloku TX, že může začít s přenosem. Vnitřní časování probíhá tak, že se potlačí celý jeden strojový cyklus mezi vydáním signálu.



a)

Obr. 22 Sériový port v režimu 0
a) funkční diagram



Obr. 22 Sériový port v režimu 0
b) časový diagram

"ZÁPIS DO SBUF" a aktivací signálu "VYSÍLÁNÍ". Signál "VYSÍLÁNÍ" povoluje výstup posuvného registru na špičku P3.0 (při její alternativní výstupní funkci) a rovněž povoluje výstup signálu "HODINY POSUVU" na špičku P3.1 (plní její alternativní výstupní funkci). Signál "HODINY POSUVU" je na úrovni logické 0 během S3, S4 a S5 každého strojového cyklu a na úrovni logické 1 během stavů S6, S1 a S2. V době S6-P2 každého strojového cyklu, ve kterém je signál "VYSÍLÁNÍ" aktivní, je obsah vysílacího posuvného registru posouván doprava o jednu bitovou pozici.

Postupně, jak se datové byty vysouvají doprava, přicházejí zleva nuly. Jakmile je nejvýznamnější bit datového bytu ve výstupní pozici posuvného registru, pak je jednička, která byla na počátku uložena do deváté pozice, právě na místě nejvýznamnějšího bitu a všechny byty dále doleva obsahují nuly. Příznak tohoto stavu sděluje řídicímu bloku TX, aby udělal poslední posuv, který zruší vydávání signálu "VYSÍLÁNÍ" a nastaví signál TI. Obě tyto akce proběhnou v době S1-P1 v desátém strojovém cyklu po vydání signálu "ZÁPIS DO SBUF".

Příjem se spouští při splnění podmínek $REN = 1$ a $RI = 0$. V době S6-P2 následujícího strojového cyklu zapíše řídicí jednotka RX byty 1111110 do přijímacího posuvného registru a v další fázi hodin aktivuje signál "PŘÍJEM". Signál "PŘÍJEM" povoluje výstup signálu "HODINY POSUVU" na špičku P3.1 (při její alternativní výstupní funkci). Signál "HODINY POSUVU" mění svoji hodnotu v dobách S3-P1 a S6-P1 každého strojového cyklu. V době S6-P2 každého strojového

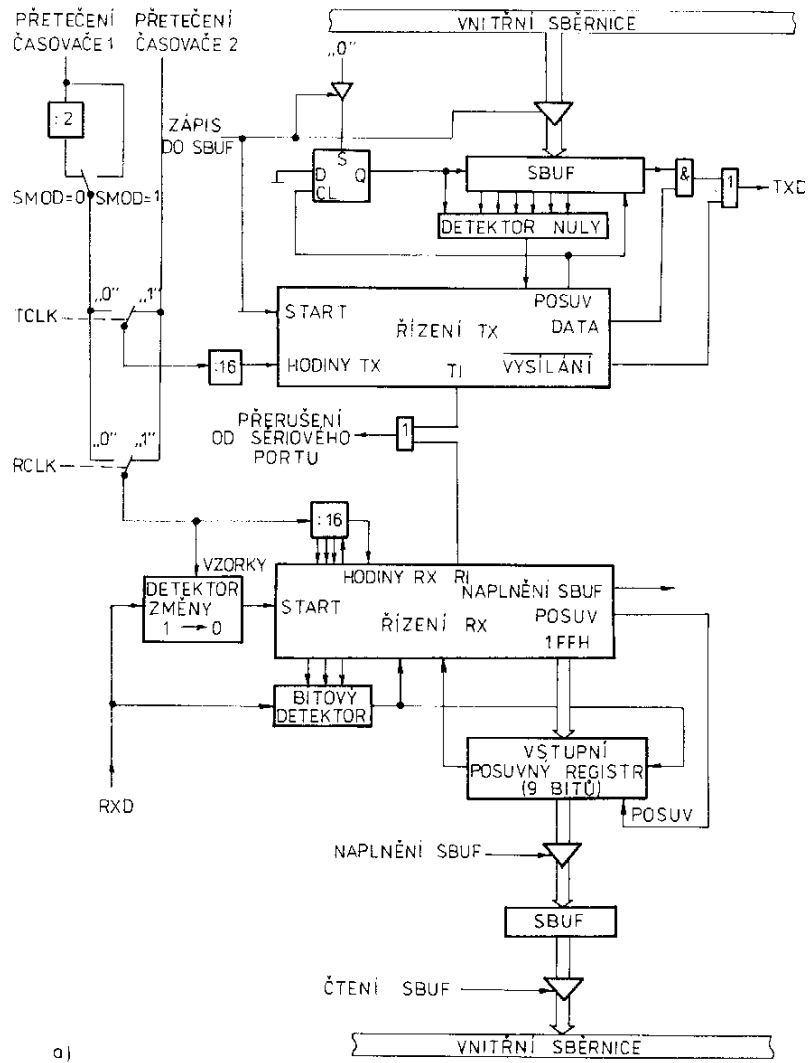
cyklu, ve kterém je aktivní signál "PŘÍJEM", se obsah přijímacího posuvného registru posouvá doleva o jednu pozici. Hodnota přicházející zprava je hodnota, které byla vyvzorkována na špičce P3.0 v době S5-P2 téhož strojového cyklu.

Postupně, jak přicházejí bity zprava, vysouvají se jedničky doleva. Jakmile se nula, která byla na počátku uložena do pozice nejvíce vpravo, dostane v posuvném registru co nejvíce doleva, vznikne Příznak pro řídicí jednotku RX, aby provedla poslední posuv a naplnila SBUF. V době S1-P1 desátého strojového cyklu po zápisu do SCON (s vynulováním signálu RI) se ukončí (tj. vynuluje) signál "PŘÍJEM" a nastaví se do logické hodnoty 1 signál RI.

Popis režimu 1

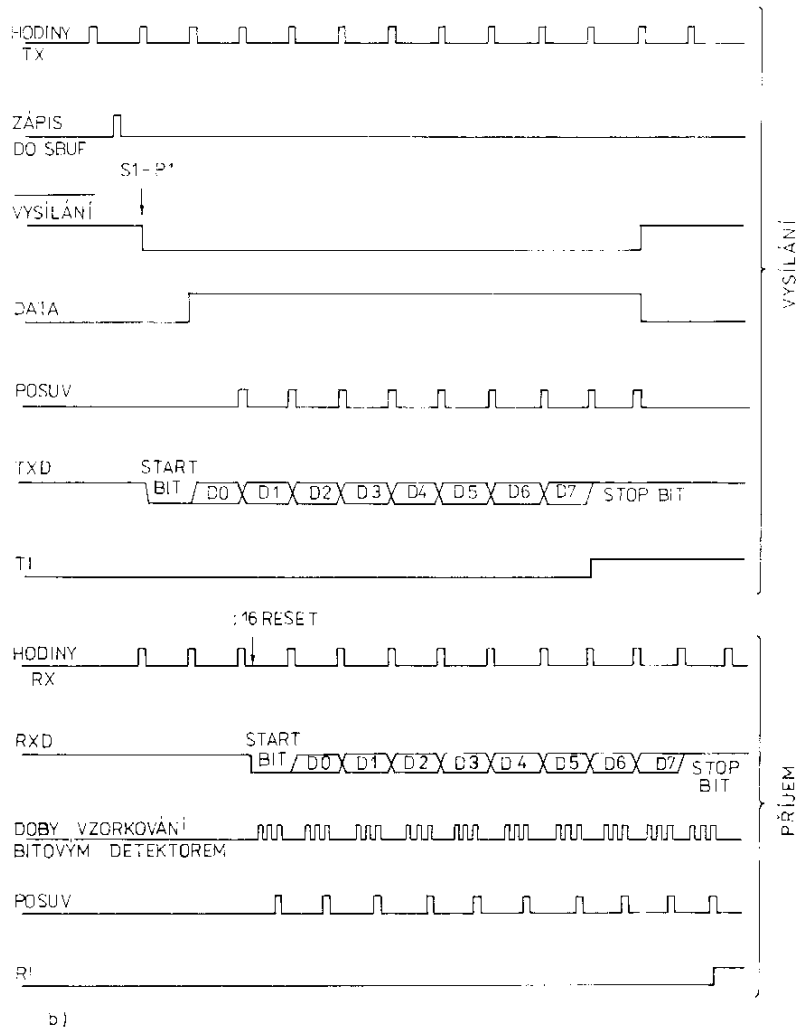
Deset bitů se vysílá (před špičku TXD) nebo přijímá (přes špičku RXD): start bit (logická hodnota 0), osm datových bitů (nejméně významné bity jako první) a stop bit (logická hodnota 1). Při příjmu se ukládá stop bit do bitu RB8 v registru SCON. U obvodů 8051 je přenosová rychlost určena četností přetečení časovače 1, u obvodů 8052 buď četností přetečení časovače 1 nebo četností přetečení časovače 2 nebo oběma (jednou pro vysílání a druhou pro příjem). Na obr. 23 je zjednodušený funkční diagram sériového portu v režimu 1 spolu s odpovídajícím časovým diagramem pro vysílání a příjem.

Vysílání se spouští kteroukoliv instrukcí, která užívá registr speciálních funkcí SBUF jako cílový registr. Signál "ZÁPIS DO SBUF" dává logickou hodnotu 1 do deváté bitové pozice vysílacího posuvného registru a současně dává příznak pro řídicí jednotku TX, že se požaduje vysílání. Vysílání skutečně začíná v době S1-P1 toho strojového cyklu, kdy vznikne delší impuls na výstupu čítače děleno šestnácti. (Časování přenosu bitů je synchronizováno s čítačem děleno šestnácti a ne se signálem "ZÁPIS DO SBUF".) Vlastní vysílání začíná vydáním signálu "VYSÍLANÍ", který přesouvá start bit na špičku TXD. Po uplynutí doby jednoho bitu se začne vydávat signál "DATA", který povoluje výstup bitů z vysílacího posuvného registru na špičku TXD. První posouvací impuls vznikne až po vyslání jednoho datového bitu (DO). Postupně, jak se datové bity vysouvají doprava, přicházejí zleva nuly. Jakmile je nejvýznamnější bit datového bytu ve výstupní pozici, pak je jednička, která byla na počátku uložena



Obr. 23 Sériový port v režimu 1

a) funkční diagram (Poznámka: časovač 2 a signály TCLK a RCLK jsou pouze u obvodů 8052.)



b)

Obr. 23 Sériový port v režimu 1
b) časový diagram

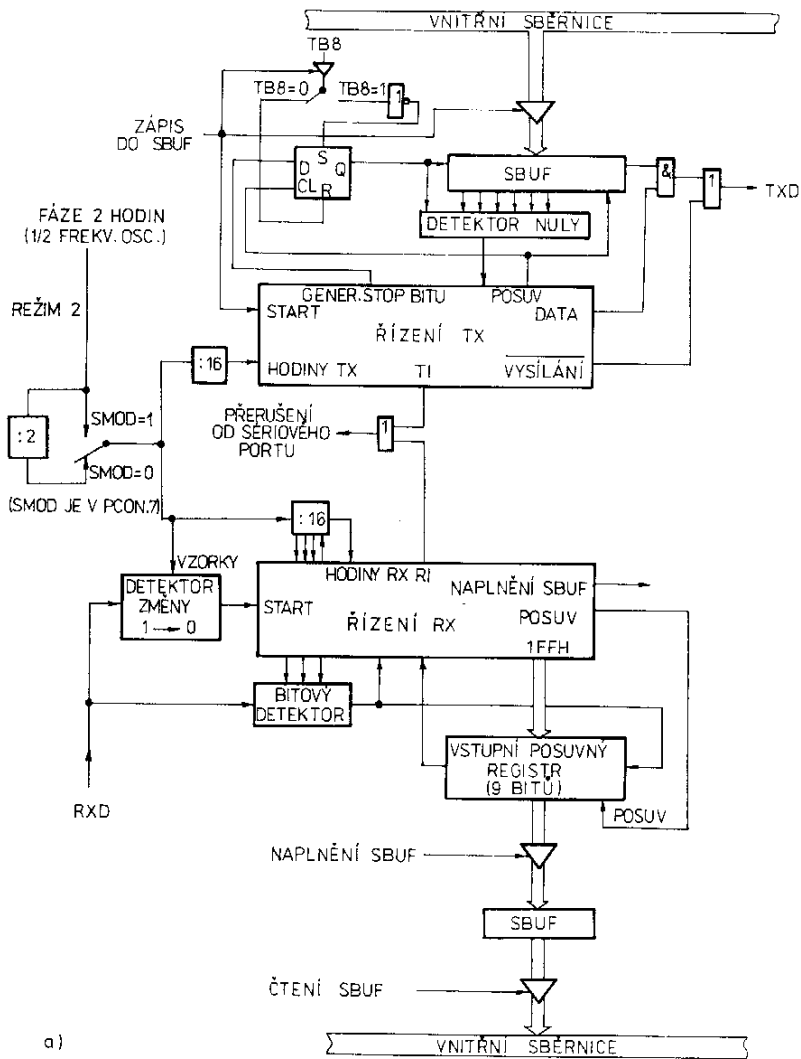
do deváté bitové pozice, právě na místě nejvýznamnějšího bitu všechny bity dále doleva obsahují nuly. Příznak tohoto stavu sděluje řídicí jednotce TX, aby provedla poslední posuv. Pak se přestane vydávat signál "VYSÍLÁNÍ" a začne se vydávat signál TI. To proběhne po desátém přetečení čítače Celeno šestnácti po vzniku signálu "ZÁPIS DO SBUF". Příjem se zahajuje po zjištění změny z logické hodnoty 1 do logické hodnoty 0 na špičce RXD. Pro tento účel se špička RXD vzorkuje s frekvencí šestnáctkrát větší než je nastavená přenosová rychlost. Po zjištění změny se okamžitě nuluje čítač děleno šestnácti (RESET) a do vstupního posuvného registru se zapíše hodnota 1FFH. Vynulování čítače děleno šestnácti způsobí, že se výstupní impulsy čítače srovnají s hranicemi intervalů určených pro přicházející bity. Šestnáct stavů čítače dělí každou dobu bitu na šestnáct intervalů. V každém sedmém, osmém a devátém intervalu doby bitu vzorkuje bitový detektor hodnotu na špičce RXD. Za platnou hodnotu je považována ta, která se zjistila ve dvou ze tří vzorků. Toto vzorkování se provádí z důvodu potlačení vlivu šumu. Není-li během doby prvního bitu přijata logická hodnota 0 (start bit), přijímací obvody se vynulují a jednotka opět přechází na hledání další změny z logické hodnoty 1 do logické hodnoty 0. Toto opatření zabraňuje detekci falešného start bitu. Je-li start bit platný, posune se do vstupního posuvného registru a příjem zbytku znaku bude pokračovat. Postupně, jak zprava přicházejí

datové bity, přesouvají se jedničky doleva. Jakmile se start bit objeví v posuvném registru v bitu nejméně vlevo (což je v režimu 1 devátý bit registru), pak tento příznak sděluje řídicímu bloku RX, aby provedl poslední posuv, naplnil SBUF a bit RB8 a vydal signál RI. Signál pro naplnění SBUF a bitu RB8 a pro vydání signálu RI se bude generovat pouze tehdy a jen tehdy, budou-li v době generování posledního posouvacího impulsu splněny tyto podmínky:

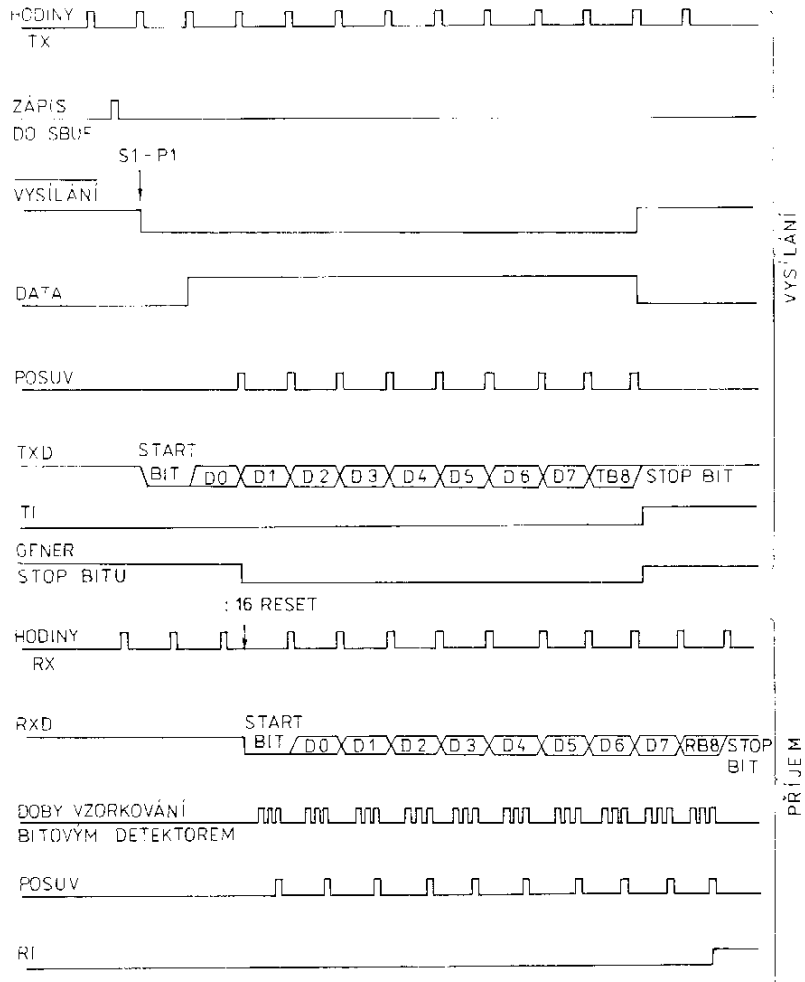
1. RI = 0
2. buď SM2 = 0 nebo přijatý stop bit = 1. "Není-li některá z těchto podmínek splněna, je přijatý znak nenahraditelně ztracen. Při splnění obou podmínek se logická hodnota stop bitu přesune do bitu RB8, osm datových bitů se přesune do SBUF a vydá se signál RI. Od tohoto okamžiku, až jsou výše uvedené podmínky splněny nebo ne, čeká řídicí jednotka opět na změnu z logické hodnoty 1 do logické hodnoty 0 na špičce RXD.

Popis režimu 2 a 3

Vysílá se (přes špičku TXD) a přijímá se (přes špičku RXD) jedenáct bitů: start bit (logická hodnota 0), osm datových bitů (nejméně významné bity jako první), programovatelný devátý datový bit (TB8) a stop bit (logická hodnota 1). Při vysílání může devátý datový bit obsahovat logickou hodnotu 0 nebo 1. Při příjmu se logická hodnota z devátého bitu přesouvá do bitu RB8 v registru speciálních funkcí SCON. V režimu 2 je přenosová rychlost programovatelná buď na 1/32 nebo 1/64 frekvence oscilátoru. V režimu 3 je přenosová rychlost proměnná a je získávána buď z časovače 1 nebo z časovače 2 v závislosti na logické hodnotě bitů TCLK a RCLK. Na obrázcích 24 a 25 jsou funkční a časové diagramy sériového portu v režimu 2 a 3. Přijímací část je přesně stejná, jako v režimu 1. Vysílací část se od režimu 1 odlišuje pouze v devátém bitu vysílacího posuvného registru. Vysílání se zahajuje instrukcí, která užívá registr speciálních funkcí SBUF jako cílový registr. Signál "ZÁPIS DO SBUF" přesune také obsah bitu TB8 do deváté bitové pozice vysílacího posuvného registru a oznamuje řídicí jednotce TX, že se požaduje vysílání. Vysílání začíná v době S1-P1 toho strojového cyklu, kdy se vydá další impuls z čítače děleno šestnácti. (Tím se synchronizují doby bitu s čítačem děleno šestnácti a ne se signálem "ZÁPIS DO SBUF".) Vysílání začíná vydáním signálu "VYSÍLANÍ", který předá start bit na špičku TXD. 0 dobu jednoho bitu později se začne

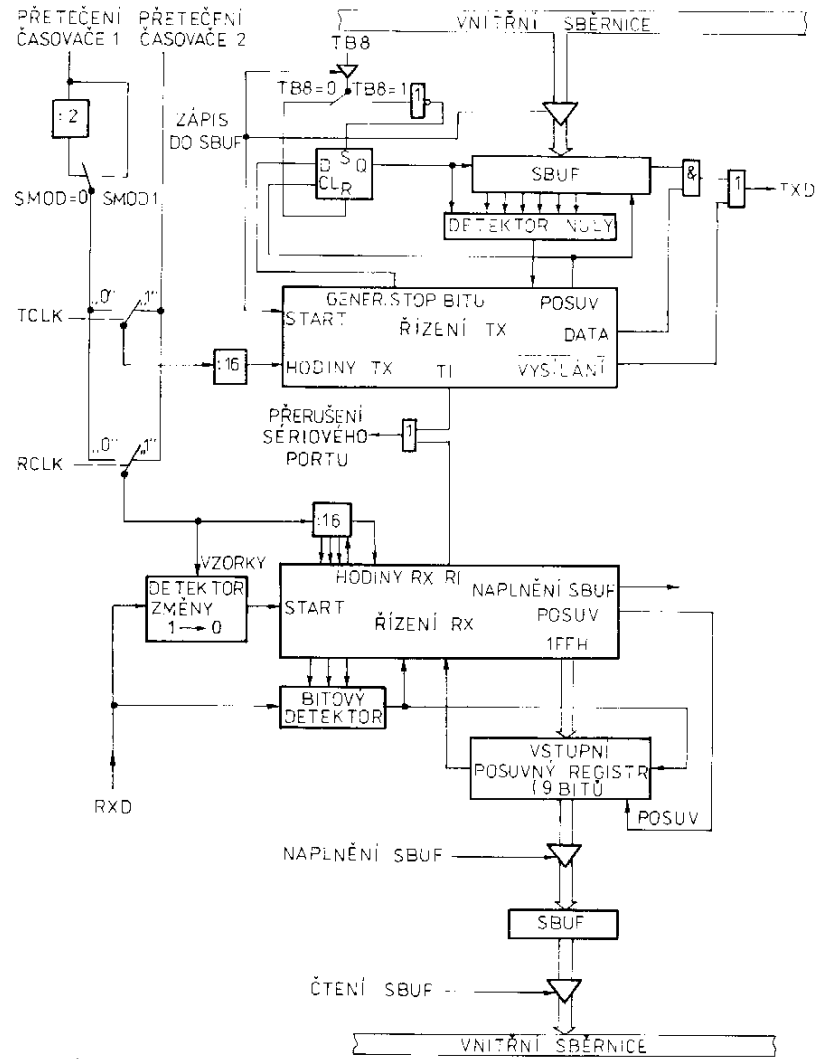


Obr. 24 Sériový port v režimu 2
 a) funkční diagram



b)

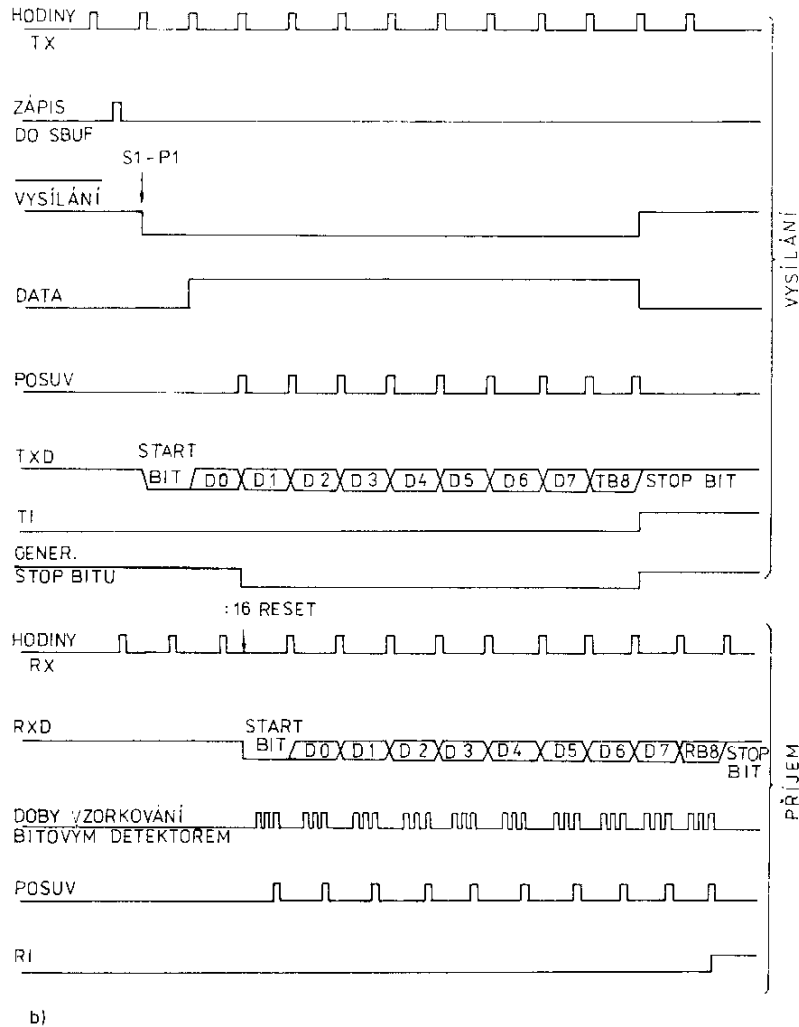
Obr. 24 Sériový port v režimu 2
b) časový diagram



a)

Obr. 25 Sériový port v režimu 3

a) funkční diagram (Poznámka: časovač 2 a signály TCLK a RCLK jsou pouze u obvodů 8052.)



Obr. 25 Sériový port v režimu 3
 b) časový diagram

vydávat signál "DATA", který povoluje výstup bitů z vysílacího posuvného registru na špičku TXD. První posouvací impuls vznikne po uplynutí doby vysílání jednoho datového bitu (DC) a kromě posuvu datových bitů zapíše rovněž logickou hodnotu 1 (stop bit) do deváté bitové pozice posuvného registru. Při dalších posuvech se do posuvného registru vsunují pouze nuly. Postupně se datové bity vysouvají vpravo až se do výstupní pozice posuvného registru dostane bit TB8. Vlevo od něho je stop bit a všechny další pozice dále doleva obsahují nuly. Tento příznak oznamuje řídicí jednotce TX, aby provedla ještě jeden (poslední) posuv. Pak se přestane vydávat signál "VYSÍLÁNÍ" a začne se vydávat signál TI. K tomu dojde při jedenáctém přetečení čítače děleno šestnácti po vydání signálu "ZÁPIS DO SBUF". Příjem se zahajuje zjištěním změny z logické hodnoty 1 do logické hodnoty 0 na špičce RXD. Z toho důvodu se špička RXD vzorkuje rychlostí šestnáctkrát vyšší než je nastavená baudová přenosová rychlost. Po detekci změny je čítač děleno šestnácti okamžitě vynulován a do vstupního posuvného registru se zapíše hodnota 1FFh.

V sedmém, osmém a devátém stavu čítače doby každého bitu vzorkuje bitový detektor logickou hodnotu na špičce RXD. Jako platná se bere ta hodnota, která byla zjištěna nejméně ve dvou ze tří vzorků. Není-li hodnota zjištěná v době prvního bitu nula (tj. start bit), vynulují se přijímací obvody a řídicí jednotka začne znovu hledat další změnu z logické hodnoty 1 do logické hodnoty 0. Je-li

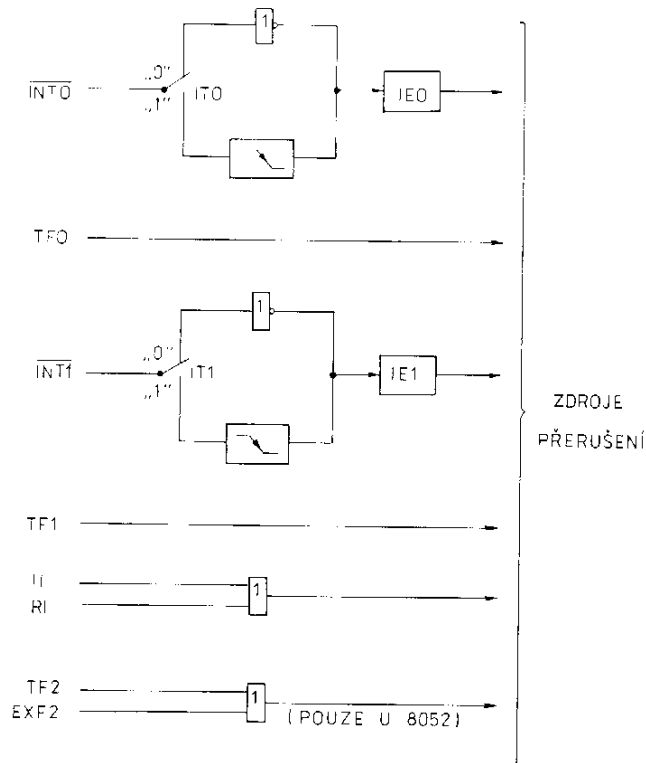
startovací bit platný, přesouvá se do vstupního posuvného registru a příjem zbytku znaku pokračuje. Postupně, jak přicházejí datové bity zprava, přesunují se jedničky doleva, Až dojde start bit do pozice nejvíce vlevo v posuvném registru, který je v režimu 2 a 3 devítibitovým registrem, předá se tento příznak řídicímu bloku RX. Ten provede poslední posuv, naplní SBUF a RB8 a vydá signál RI. Signál pro naplnění SBUF a RB8 a pro vydání RI se bude generovat tehdy a jen tehdy, budou-li splněny v době vydání posledního posouvacího Impulsu tyto podmínky:

1. RI = 0
2. buď SM2 = 0 nebo přijatý devátý datový bit má logickou hodnotu 1.

Není-li některá z těchto podmínek splněna, je přijatý znak nenahraditelně ztracen a signál RI se nevydá. Jsou-li splněny obě podmínky, pak se logická hodnota devátého přijatého bitu přesouvá do RB8 a prvních osm datových bitů do SBUF. O jednu dobu bitu později, až už jsou předcházející podmínky splněny nebo ne, se řídicí jednotce vrací zpět do funkce, kdy na špičce RXD opět vyhledává změnu z logická hodnoty 1 do logická hodnoty 0. Hodnota přijatého stop bitu nemá žádný vztah k SBUF, RB8 nebo RI.

5. Prerušovací systém mikropočítača I-8051, I-8052

Obvody 8051 mají pět zdrojů přerušení, obvody 8052 mají šest zdrojů přerušení. Přehledně jsou uvedeny na obr. 26. Vnější přerušení IPT0 a INT1 se mohou vyvolat buď logickou úrovní nebo změnou logická úrovně. Rozhoduje o tom stav bitů IT0 a IT1 v registru speciálních funkcí TCON. Vznikne-li vnější přerušení, nastaví se příznak. Při obsluze přerušení se tento příznak vynuluje hardwarově pouze tehdy, bylo-li přerušení vyvoláno změnou logické úrovně. Při vyvolání přerušení logickou úrovní řídí příznak požadavku na přerušení vnější zdroj, který přerušení vyžaduje, a ne hardware na čipu. Přerušení od časovače 0 a časovače 1 se vyvolávají signály TF0 a TF1, která se nastaví do logická úrovně 1, když přetečou odpovídající registry časovače/čítače (výjimku viz článek 2.7.1. pro časovač 0 v režimu 3). Vyvolává-li přerušení časovač, pak se příznak přerušení nuluje hardwarem na čipu v okamžiku, kdy se spustí odpovídající obslužný program přerušení.



Obr. 26 Zdroje přerušení u obvodů 8051 a 8052

Přerušení od sériového portu se generuje logickým součtem OR signálů RI a TI. Žádný z těchto příznaků se nenuluje hardwarově při spuštění odpovídajícího obslužného programu přerušení. Ve skutečnosti musí mít obslužný program určeno, zda přerušení generoval signál RI nebo TI a příslušný bit se musí nulovat softwarově. U obvodů 8052 se přerušení od časovače 2 generuje logickým součtem OR signálů TF2 a EXF2. Žádný z těchto příznaků se nenuluje hardwarově při spuštění odpovídajícího obslužného programu přerušení. Ve skutečnosti musí mít obslužný program určeno, kde přerušení generoval signál TF2 nebo EXF2 a příslušný bit se musí vynulovat softwarově. Všechny bity, které generují přerušení, se mohou nastavit nebo vynulovat softwarově s tímtež výsledkem, jako by se nastavovaly nebo nulovaly hardwarově. To znamená, že se přerušení mohou generovat nebo nevyřizovaná přerušení rušit softwarově. Každý z těchto zdrojů přerušení se může individuálně povolit nebo zakázat nastavením nebo vynulováním příslušného bitu v registru speciálních funkcí IE tak, jak ukazuje obr. 2.7. Významy jednotlivých bitů registru IE jsou přehledně uvedeny v tabulce 12. Registr IE obsahuje také bit EA, který zakazuje všechna přerušení najednou.

Struktura úrovní priority přerušení

Každý zdroj přerušení se může samostatně programovat do jedné ze dvou úrovní priority nastavením nebo vynulováním příslušného bitu v registru speciálních funkcí IP tak, jak je uvedeno v obr. 28. Významy jednotlivých bitů registru IP jsou přehledně uspořádány v tabulce 13. Přerušení s nízkou prioritou může být samo přerušeno přerušením s vyšší prioritou, ale ne jiným přerušením s nižší prioritou. Přerušení s vyšší prioritou nemůže být přerušeno žádným jiným zdrojem přerušení. Přijmou-li se současně dva požadavky přerušení s rozdílnými prioritami, obslouží se požadavek a vyšší prioritou. Při současném příjmu dvou přerušení stejné priority se přerušení, které se má obsloužit jako první, určí vnitřní výběrovou sekvencí. Uvnitř každé úrovně priority je ještě další struktura priority, která je určená vnitřní výběrovou sekvencí takto.

(v. ř.) I E (n. ř.)

EA	-	ET2	ES	ET1	EX1	ETO	EXO
----	---	-----	----	-----	-----	-----	-----

Obr. 27 Registr povolání přerušeni - IE

Tabulka 12 Významy bitů registru IE

Symbol	Pozice	Význam
EA	IE.7	Zakazuje všechna přerušeni. Je-li EA = 0 nepovolí se žádné přerušeni. Je-li EA = 1, je každý zdroj přerušeni povolen nebo zakázán samostatně nastavením nebo vynulováním svého povolovacího bitu.
-	IE.6	Rezerva.
ET2	IE.5	Povoluje nebo zakazuje přerušeni od přetečení nebo zacyklení časovače 2. Je-li ET2 = 0, je přerušeni od časovače 2 zakázáno.
ES	IE.4	Povoluje nebo zakazuje přerušeni od sériového portu. Při ES = 0 je přerušeni od sériového portu zakázáno.
ET1	IE.3	Povoluje nebo zakazuje přerušeni od přetečení časovače 1. Při ET1 = 0 je přerušeni od časovače 1 zakázáno.
EX1	IE.2	Povoluje nebo zakazuje vnější přerušeni 1. Při EX1 = 0 je vnější přerušeni 1 zakázáno.
ETO	IE.1	Povoluje nebo zakazuje přerušeni od přetečení časovače 0. Při ETO = 0 je přerušeni od časovače 0 zakázáno.
EXO	IE.0	Povoluje nebo zakazuje vnější přerušeni 0. Při EXO = 0 je vnější přerušeni 0 zakázáno.

(v. ř.) I E (n. ř.)

EA	-	ET2	ES	ET1	EX1	ETO	EXO
----	---	-----	----	-----	-----	-----	-----

Obr. 28 Registr priority přerušeni - IP

Tabulka 13 Významy bitů registru IP

Symbol	Pozice	Význam
	IP.7	Rezerva.
	IP.6	Rezerva.
PT2	IP.5	Definuje úroveň priority přerušeni od časovače 2. Logická hodnota PT2 = 1 programuje vyšší úroveň priority tohoto přerušeni.
PS	IP.4	Definuje úroveň priority přerušeni od sériového portu. Logická hodnota PS = 1 programuje vyšší úroveň priority tohoto přerušeni.
PT1	IP.3	Definuje úroveň priority přerušeni od časovače 1. Logická hodnota PT1 = 1 programuje vyšší úroveň priority tohoto přerušeni.
PX1	IP.2	Definuje úroveň priority vnějšího přerušeni 1. Logická hodnota PX1 = 1 programuje vyšší úroveň priority tohoto přerušeni.
PT0	IP.1	Definuje úroveň priority přerušeni od časovače 0. Logická hodnota PT0 = 1 programuje vyšší úroveň priority tohoto přerušeni.
PX0	IP.0	Definuje úroveň priority vnějšího přerušeni 0. Logická hodnota PX0 = 1 programuje vyšší úroveň priority tohoto přerušeni.

Zdroj přerušeni	Priorita uvnitř úrovně
1. IE0	(nejvyšší)
2. TF0	
3. IE1	
4. TF1	

5. RI + TI	
6. TF2 + EXF2	(nejnižší)

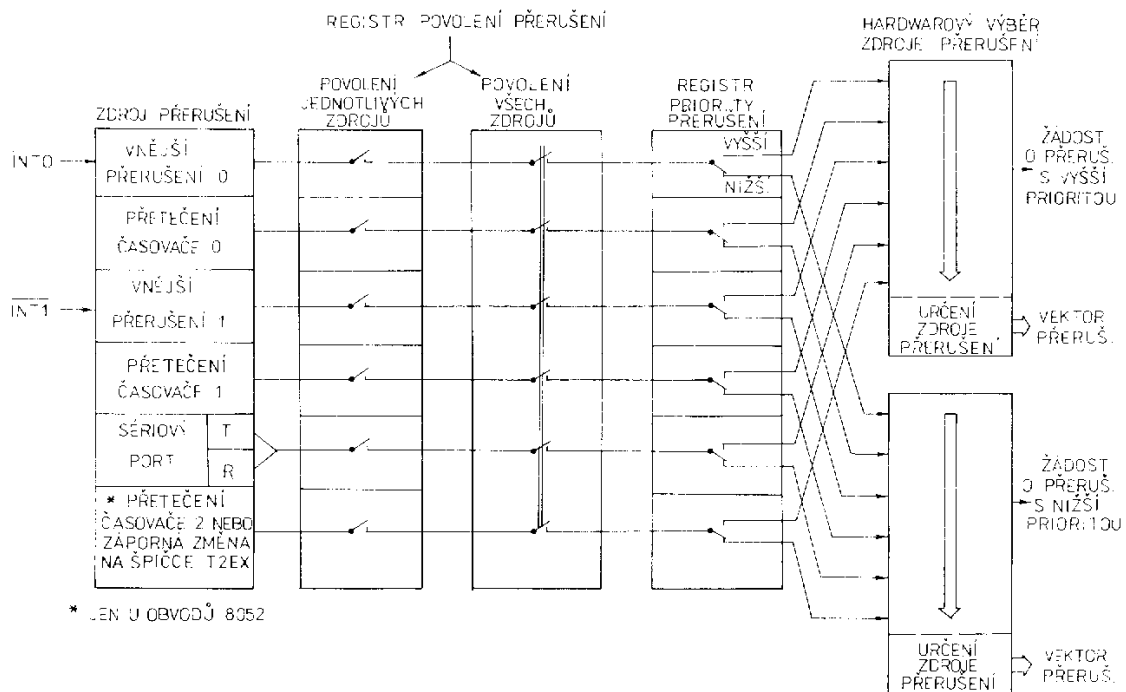
Struktura "priority uvnitř úrovně" se užívá pouze při rozhodování mezi současně příšlymi požadavky na přerušení se stejnou prioritou. Uspořádání přerušovacího systému přehledně znázorňuje obrázek 29.

Obsluha přerušení

Příznaky přerušení se vzorkují v době S5-P2 každého strojového cyklu. Mezi vzorky se rozhoduje v následujícím strojovém cyklu. Je-li jeden z příznaků nastaven v době S5-P2 předcházejícího cyklu, výběrový cyklus ho najde a přerušovací systém generuje instrukci LCALL vhodnou pro přechod do odpovídajícího obslužného programu přerušení. Hardwarové generování instrukce LCALL proběhne pouze tehdy, není-li blokováno žádnou z těchto podmínek:

1. Již se zpracovává přerušení se stejnou nebo vyšší úrovní priority.
2. Obvyklý (výběrový) cyklus není v posledním cyklu prováděné instrukce.
3. Právě prováděná instrukce je RETI nebo jiná, která zasahuje do registrů IE nebo IP.

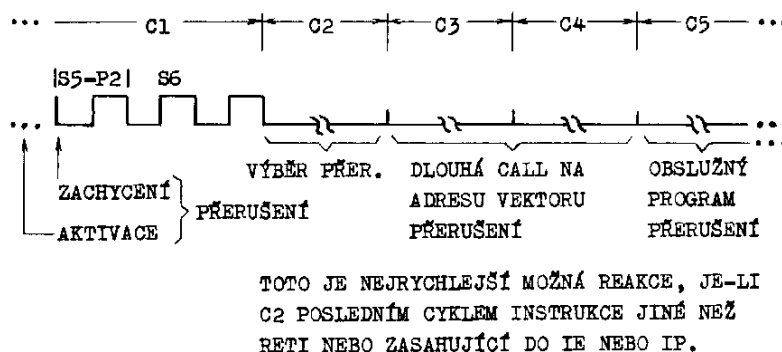
Kterákoliv z těchto tří podmínek bude blokovat generování instrukce LCALL pro přechod do obslužného programu přerušení. Druhá podmínka zajišťuje, že se právě prováděná instrukce zcela dokončí před skokem do některého obslužného programu přerušení. Třetí podmínka zajišťuje, aby se při provádění instrukce RETI nebo jiné instrukce, která zasahuje do registrů IE nebo IP, vykonala ještě jedna instrukce, a teprve potom se provedlo směrování na příslušný vektor přerušení.



Obr. 29. Přerušovací systém mikrořadičů 8051 a 8052

Výběrový cyklus se opakuje v každém strojovém cyklu. Vybírá se z hodnot, které byly přítomny v době S5-P2 předchozího strojového cyklu. Je-li příznak přerušení aktivní, avšak nereaguje-li se na něho pro některou z výše uvedených podmínek, pak v době, kdy už není aktivní, i když blokovácí podmínky zanikly, se takto odmítnuté přerušení již neobslouží.

Jinými slovy, skutečnost, že příznak přerušeni byl jednou nastaven, ale nebyl obslužen, znamená, že se nezapamatoval. Každý výběrový cyklus je tedy nový. Výběrový cyklus přerušeni s sekvence LCALL je znázorněna na obr. 30.



Obr. 30 Časový diagram odezvy na přerušeni

Nastaví-li se přerušeni s vyšší úrovní priority dříve než nastane doba S5-P2 strojového cyklu C3, pak bude toto přerušeni obsluženo podle výše uvedených pravidel během strojových cyklů C5 a C6, aniž se provede jediná instrukce přerušeno programu s nižší prioritou. Procesor potvrzuje požadavek na přerušeni tím, že hardwarově vygeneruje instrukci LCALL pro přechod do obslužného programu přerušeni. V některých případech se také hardwarově nuluje příznak, který přerušeni generoval, v jiných případech tomu tak není. Nikdy se nenulují příznaky sériového portu a časovače 2, které musí nulovat uživatel softwarově. Příznaky vnějšího přerušeni (IE0 nebo IE1) se nulují pouze tehdy, pokud se nastavily směnou úrovně. Hardwarově generována instrukce LCALL ukládá obsah programového čítače PC (Program Counter) do zásobníku (avšak neukládá stavové slovo programu PSW) a naplňuje znovu PC adresou vektoru přerušeni, která závisí na zdroji přerušeni takto:

Zdroj přerušeni	Adresa vektoru přerušeni
IE0	0003h
TF0	000Bh
IE1	0013h
TF1	001Bh
RI + TI	0023h
TF2 + EXF2	002Bh

Na těchto adresách začínají obslužní programy, které probíhají tak dlouho, dokud nenarazí na instrukci RETI. Tato instrukce informuje procesor o tom, že obslužný program přerušeni končí. Ze zásobníku se vyberou dvě byty a znovu se jimi naplní programový čítač, takže zpracování přerušeno programu pokračuje od místa, kde byl program přerušeni (resp. opuštěn). Jednoduchá instrukce RET by mohla také vracet pokračování do přerušeno programu, avšak mohla by zanechat řídicí systém přerušeni ve stavu kdy předpokládá, že se přerušeni stále zpracovává.

Vnější přerušeni

Zdroje vnějšího přerušeni es mohou programovat tak, že se přerušeni aktivuje buď logickou úrovní nebo změnou logické úrovně. Závisí to na logické hodnotě v bitech IT1 nebo IT0 v registru speciálních funkcí TCON. Je-li logická hodnota bitů ITx = 0, spouští se vnější přerušeni x logickou úrovní 0, která byla zjištěna na špičce IPTx. Je-li logická úroveň bitů ITx = 1, spouští se vnější přerušeni x hranou. Zjistí-li se v tomto režimu při postupném vzorkování špičky

INTx v jednom cyklu logická hodnota 1 a v dalším cyklu logická hodnota 0, nastaví se příznak požadavku na přerušeni IEx v registru speciálních funkcí TCON. Příznakový bit IEx pak žádá o přerušeni. Protože špičky pro vnější přerušeni jsou vzorkovány jednou při každém strojovém cyklu, musí logická hodnota 1 nebo logická hodnota 0 na vstupu trvat nejméně dvanáct period oscilátoru. Tím se zajistí správné vzorkování. Aktivuje-li se vnější přerušeni změnou úrovně, musí vnější zdroj držet žádající špičku na logické úrovni 1 nejméně jeden cyklus, a potom ji držet na logické úrovni 0 také nejméně jeden cyklus. Tím se zajistí detekce změny úrovně a nastavení příznaku žádosti o přerušeni IEx. Příznak IEx nuluje CPU automaticky při volání obslužného programu přerušeni.

Je-li vnější přerušeni aktivováno úrovní, musí vnější zdroj udržovat svůj požadavek tak dlouho, dokud se vyžadované přerušeni skutečně nespustí. Pak se musí žádost o přerušeni zrušit a to dříve, než se dokončí obslužný program přerušeni, protože jinak by se generovalo další přerušeni.

Čas odezvy na žádost o přerušeni

Logická úrovně signálů INT0 a INT1 se invertují a zachycují v bitech IE0 a IE1 (v registru TCON) v době S5-P2 každého strojového cyklu. Tyto hodnoty se vnitřními obvody vyhodnotí v příštím strojovém cyklu. Je-li aktivován požadavek na přerušeni a podmínky vyhovují tomu, aby byl potvrzen, pak další prováděnou instrukci bude hardwarově generované volání obslužného programu příslušného přerušeni. Samotné volání trvá dva cykly. Proto jsou mezi aktivováním požadavku na vnější přerušeni a první instrukci obslužného programu přerušeni nejméně tři úplné strojové cykly. Časové vztahy při přerušeni jsou znázorněny na obr. 30. Čas odezvy se prodlouží v těch případech, kdy je požadavek na přerušeni blokován jednou ze tří dříve uvedených podmínek. Zpracovává-li se již přerušeni se stejnou nebo vyšší prioritou, bude další čekací čas samozřejmě záviset na vlastnostech programu, který obsluhuje druhé přerušeni. Pokud probíhající instrukce není v závěrečném cyklu, nemůže být další čekací čas delší než tři strojové cykly, neboť nejdelší instrukce (MUL a DIV) trvají pouze čtyři cykly. Je-li probíhající instrukce RETI nebo instrukce přístupu k registrům JE nebo IP, nemůže být další čekací čas delší než pět cyklů (tj. maximálně jeden cyklus navíc pro dokončení probíhající instrukce plus čtyři cykly navíc pro dokončení další instrukce, jedná-li se o instrukci MUL nebo DIV). Tak je v systému a jedním přerušením čas odezvy vždy větší než tři strojové cykly a menší než osm strojových cyklů.

Činnost v režimu se sníženým příkonem

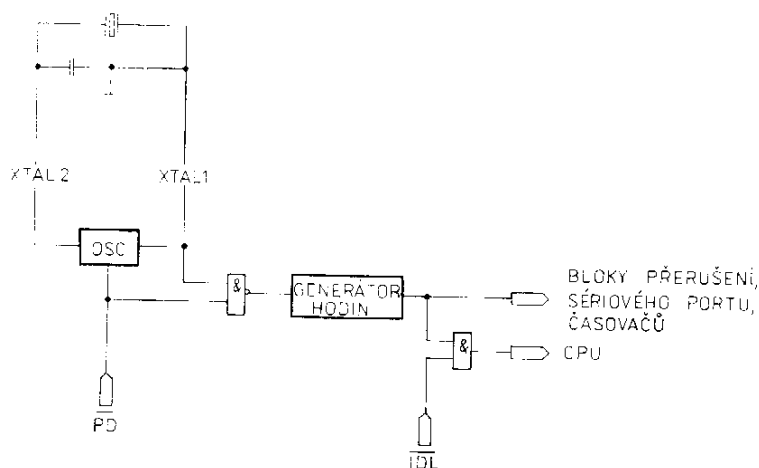
V aplikacích, kde je kritická spotřeba energie, umožňují jak HMOS, tak i CHMOS verze mikrořadičů přechod do režimu činnosti se sníženým příkonem. Ve verzi CHMOS obvodů 8051 jsou již standardně zabudovány vlastnosti, které dovoluují režimy se sníženým příkonem - čekání (idle) a snížení napájení. Ve verzi HMOS je snížení příkonu rovněž možné, avšak pouze v režimu s vypnutým napájením.

Verze HMOS - režim s vypnutým napájením

Režim s vypnutým napájením umožňuje u obvodů verze HMOS snížit napětí Ucc na nulu a zároveň uchovat obsah paměti RAM na čipu pomocí podporného zdroje napětí Upd připojeného na špičku RST. Má-li se této vlastnosti využít, musí uživatelův systém při zjištění, že hrozí závada na napájení, přerušit činnost procesoru a přesunout důležitá data do paměti RAM na čipu. Dále musí připojit zdroj pomocného napětí na špičku RST a to dříve než napětí Ucc klesne pod spodní pracovní hranici. Po opětovném naběhnutí napájení musí zůstat pomocné napětí připojené tak dlouho, dokud se neprovede funkce nulování. Teprve potom se může pomocné napětí odpojit a lze pokračovat v normální činnosti.

Verze CHMOS - režim se sníženým příkonem

Obvody verze CHMOS mají dva režimy se sníženým příkonem - režim čekání (Idle mode) a režim se sníženým napájením (Power Down). Vstup, na který se při těchto činnostech přivádí pomocní napětí, je špička Ucc. Na obr. 32 jsou uvedeny vnitřní obvody, které umožňují funkce v obou režimech. V režimu čekání (logická hodnota IDL = 1) běží oscilátor dál a časuje bloky přerušeni, sériového portu a časovačů, avšak hodinový signál pro CPU je blokován. V režimu se sníženým napájením (logická hodnota PD = 1) se oscilátor zastaví.



Obr. 32 Vnitřní obvody pro režim čekání a režim se sníženým napájením

Režim čekání a režim se sníženým napájením se spouštějí nastavením odpovídajících bitů v registru speciálních funkcí PCON jehož adresa je 87h. Podrobná struktura registru PCON je na obr. 33, významy jednotlivých bitů jsou přehledně uvedeny v tabulce 15.

Režim čekání

Instrukce, která nastavuje bit PCON.0 do logické hodnoty 1, je poslední instrukcí provedenou před přechodem do režimu čekání. V režimu čekání se vnitřní hodinový signál odpojí od CPU, avšak nadále se přivádí k blokům přerušeni, sériového portu a časovačů. Je zachován úplný stav CPU: ukazatel zásobníku, programový čítač, stavové slovo programu, střadač i všechny ostatní registry uchovávají v režimu čekání svůj obsah. Špičky portu drží své logické stavy, které měly v době přechodu do režimu čekání. Signály ALE a PSEN přejdou do neaktivního stavu. Existují dva způsoby, jak režim čekání ukončit, žádost o jakékoliv předem povolené přerušeni způsobí, že se

(v. ř.)	P C O N				(n. ř.)			
SMOD	-	-	-	GF1	GFO	PD	IDL	

Obr. 33 Řídící registr napájení - PCON

Tabulka 15 Významy bitů registru PCON

Symbol	Pozice	Význam
SMOD	PCON.7	Bit dvojnásobné přenosové rychlosti. Má-li bit logickou hodnotu 1, zdvojnásobí se přenosová rychlost, pokud se sériový Port používá v některém z režimů 1, 2 nebo 3.

-	PCON.6	Rezerva.
-	PCON.5	
-	PCON.4	
GF1	PCON.3	Příznakový bit pro obecné použití.
GF0	PCON.2	Příznakový bit pro obecné použití.
PD	PCON.1	Bit režimu se sníženým napájením. Nastavením tohoto bitu do logické hodnoty 1 se spouští režim se sníženým napájením.
IDL	PCON.0	Bit režimu čekání. Nastavením tohoto bitu do logické hodnoty 1 se spouští operace režimu čekání.

Poznámka:

Zapiše-li se současně logická hodnota 1 do bitů PD a IDL, spustí se režim se sníženým napájením.

obsah registru PCON po funkci nulování je 0XXX0000B. Hardwarově vynuluje bit PCON.0 a tím se ukončí režim čekání. Přerušeni se obslouží, provede se instrukce RETI a ještě jedna instrukce, která může znovu přepnout zařízení do režimu čekání. Příznakové bity GF0 a GF1 se mohou využít pro indikaci, zda přerušeni nastalo během normální činnosti nebo během čekání. Například instrukce, která spouští čekání, může nastavit jeden nebo oba příznakové bity. Skončí-li čekání v důsledku přerušeni, může obslužný program přerušeni tyto příznakové bity zkoumat. Jiní způsob, jak ukončit režim čekání, je využití hardwarové funkce nulování. Protože oscilátor hodin stále běží, stačí ke kompletnímu nulování vnitřních obvodů, aby hardwarové nulování trvalo pouze dva strojové cykly (24 period oscilátoru).

Režim se sníženým napájením

Instrukce, která nastavuje bit PCON.1 do logické hodnoty 1, je poslední instrukci, provedenou před přechodem do režimu se sníženým napájením. V tomto režimu se oscilátor umístěný na čipu zastaví. Se zastavením hodin se zastaví všechny funkce, avšak obsah vnitřní paměti RAM a registrů speciálních funkcí zůstává zachován. Výstupní špičky portů (resp. Jejich registrů speciálních funkcí) také zachovávají své hodnoty. Výstupy signálů ALE a PSEN mají logickou úroveň 0. Jediným východem z režimu se sníženým napájením je provedení hardwarové funkce nulování (RESET). Tato funkce znovu definuje obsah všech registrů speciálních funkcí, avšak nemění obsah paměti RAM na čipu. V režimu se sníženým napájením se může napětí U_{cc} snížit tak, aby se minimalizoval odběr. Musí se zajistit, aby napětí U_{cc} nekleslo dříve než se vyvolá režim se sníženým napájením, a aby se naopak vrátilo na svou normální pracovní hodnotu před ukončením tohoto režimu. Funkce nulování, která zakončí režim se sníženým napájením, rozbíhá také oscilátor. Funkce nulování by neměla být provedena dříve, dokud se napětí U_{cc} nedosáhne na svou jmenovitou pracovní hodnotu a musí se provádět tak dlouho, až es rozběhne a stabilizuje oscilátor (normálně je to doba kratší než 10 ms).