

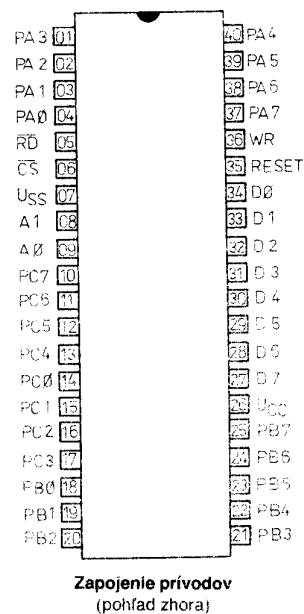
## PROGRAMOVATEĽNÝ OBVOD PRE PARALELNÝ VSTUP/VÝSTUP (PPI)

Programovateľný obvod pre paralelné pripojenie periférií pre mikropočítačový systém MHB8080A. Obvod má 24 vývodov pre pripojenie vonkajších zariadení, ktoré možno naprogramovať v dvoch skupinách. Funkčné vlastnosti obvodu sú programovateľné. Vstupy a výstupy pre pripojenie vonkajších zariadení sú zlučiteľné s logikou TTL.

Puzdro:	DIL 40
Stupeň integrácie:	$10^4$
Hmotnosť:	max. 6,1 g

MHB8255A je programovateľný obvod pre paralelné pripojenie periférií pre mikropočítačový systém 8080. Obsahuje 24 prívodov pre pripojenie vonkajších zariadení, ktoré môžu byť naprogramované oddelene vo dvoch skupinách. Funkčné vlastnosti obvodu sú dané programom.

Obvod MHB8255 je vyrobený technológiou NMOS. Je plne kompatibilný s obvodmi TTL, včítane napájacieho napätia  $U_{cc} = 5\text{ V}$ . V prípade naprogramovania výstupnej prevádzky kanál PA možno zaťažiť jedným obvodom TTL, výstupy kanálov PB, PC sú prispôsobené pre pripojenie budiacich tranzistorov v Darlingtonovom zapojení (1,5 V/4 mA). Obvod je zapuzdrený do puzdra so 40 prívodmi.



## Popis funkcie:

Obvod s údajovou zbernicou mikropočítača je spojený cez obojsmerný osembitový budič. Údaje pri vykonaní inštrukcií IN, OUT mikropočítača sú privedené z vnútornej údajovej zbernice na údajovú zbernicu mikropočítača a naopak. Informácia z adresovej a riadiacej zbernice mikropočítača preberá blok riadiacej logiky pre čítanie a zápis a odovzdáva odpovedajúce signály riadiacej logike oboch skupín kanálov (A, B) a jednotlivým kanálom PA, PB, PC: Každý z blokov riadenia skupín prevezme riadiace slovo z vnútornej údajovej zbernice. Do registra riadiaceho slova môže byť vykonaný len zápis.

Tri osembitové kanály podľa spôsobu naprogramovania môžu splniť rôzne funkcie. Programom sú dané tri základné režimy činnosti: režim 0 - jednoduché vstupy/výstupy, režim 1 - strobované vstupy/výstupy, režim 2 - obojsmerná zbernica. Režimy kanálov PA, PB môžu byť naprogramované nezávisle od seba, funkcia kanálu PC je závislá od režimu kanálov PA a PB. Kanál PC možno navyše naprogramovať do režimu nastavenia po jednotlivých bitoch.

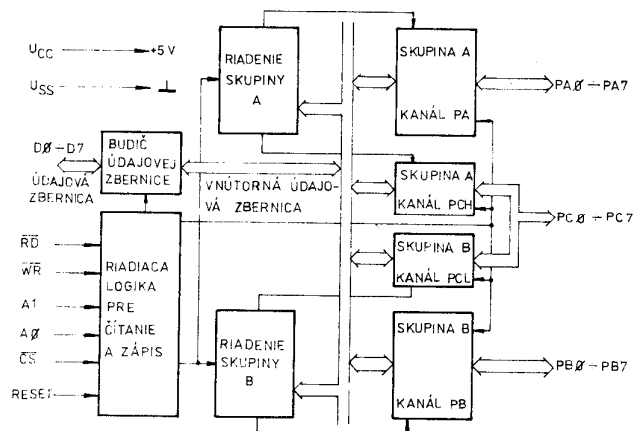
Pri činnosti v režime 0 každý z dvoch osembitových kanálov PA, PB a z dvoch štvorbitových kanálov PCH, PCL môže pracovať vo funkcii vstupu alebo výstupu. Výstupy majú charakter registrov (zapísaná informácia ostane zachovaná až do nasledujúceho zápisu), vstupy sú bez registrov. Túto vlastnosť možno využiť na prečítanie stavu výstupného kanálu.

Pri prevádzke v režime 1 každá zo skupín kanálov A, B obsahuje jeden osembitový údajový kanál a jeden trojbitový riadiaci/stavový kanál. V režime 2 môže pracovať len skupina kanálov. A. Obsahuje osembitový údajový kanál a päťbitový riadiaci/stavový kanál. V oboch režimoch vstupy a výstupy údajových kanálov majú charakter registrov.

Riadiaci/stavový kanál v režimoch 1 a 2 obsahuje signály potrebné pre uskutočnenie prenosu údajov a pre vybavenie požiadaviek o prerušenie. Požiadavky na prerušenie sú akceptované v závislosti od stavu interných klopných obvodov INTE, ktoré sú zvlášť pre vstupnú a výstupnú operáciu. Stav riadiaceho/stavového kanálu možno zistiť priamym prečítaním údajov z kanálu PC.

Signál RESET nastaví kanály PA, PB, PC do funkcie vstupu údajov v režime 0. Pri signále RESET a pri zápise riadiaceho slova sa vynulujú všetky vnútorné klopné obvody (včítane klopných obvodov INTE).

**Bloková schéma:**



**Prehľad funkcie vývodov**

C.	Názov	Funkcia
7 26 35	$U_{SS}$ $U_{CC}$ RESET	Pripojenie nulového potenciálu (Zem). Napájacie napätie +5 V Vstup pre vynulovanie vnútorných registrov včítane klopných obvodov INTE a pre nastavenie kanálov PA, PB, PC do funkcie vstupov v režime 0.
34 ÷ 27	D0 ÷ D7	Údajová zbernica pre obojsmerný prenos informácie medzi obvodom a zbernicou mikropočítača.
4 ÷ 1, 40 ÷ 37 18 ÷ 25 14 ÷ 17, 13 ÷ 10 9, 8	PA0 ÷ PA7 PB0 ÷ PB7 PC0 ÷ PC7 A0, A1	Prívody kanálu PA. Prívody kanálu PB. Prívody kanálu PC. Vstupy adres pre zápis a čítanie kanálov PA, PB, PC alebo pre zápis do riadiaceho registra.

A0	A1	Výber
0	0	kanál PA
1	0	kanál PB
0	1	kanál PC
1	1	riadiaci register

Pozn.: Možnosť adresovania a funkcia jednotlivých prívodov kanálu PC je daná naprogramovanými režimami pre jednotlivé skupiny A, B.

6 5 36	$\overline{CS}$ $\overline{RD}$ $\overline{WR}$	Vstup pre výber obvodu. Vstup pre prenos údajov z obvodu na údajovú zbernicu. Vstup pre prenos údajov z údajovej zbernice do obvodu.
--------------	---	--

$\overline{CS}$	$\overline{RD}$	$\overline{WR}$	Stav obvodu 8255A	Pozn.
0	0	0	Zakázaná kombinácia	1)
0	0	1	Prenos z obvodu na údajovú zbernicu	
0	1	0	Prenos z údajovej zbernice do obvodu	
0	1	1	Údajová zbernica je v neaktívnom stave	
1	x	x		

1) Pri danej kombinácii stav  $A0 = A1 = 1$  je neplatný.

**Medzné hodnoty**

Napätie jednotlivých prívodov oproti $U_{SS}$	-0,5 ÷ +7 V
Stratový výkon	1,0 W
Rozsah pracovných teplôt	0 ÷ +70 °C

**Menovité hodnoty statické**

$$U_{SS} = 0 \text{ V}; U_{CC} = 4,75 \div 5,25 \text{ V}; T_a = 0 \div +70 \text{ }^\circ\text{C}$$

Parameter	Označ.	Jedn.	Hodnota			Poznámka
			min.	typ.	max.	
Nizká úroveň vstupov	$U_{IL}$	V	-0,5		0,8	
Vysoká úroveň vstupov	$U_{IH}$	V	0,2		$U_{CC}$	
Nizká úroveň výstupov pre údajovú zbernicu	$U_{OL(DB)}$	V			0,45	$I_{OL} = 2,5 \text{ mA}$
Nizká úroveň výstupov pripojenia periférii	$U_{OL(P)}$	V			0,45	$I_{OL} = 1,7 \text{ mA}$
Vysoká úroveň výstupov pre údajovú zbernicu	$U_{OH(DB)}$	V	2,4			$I_{OH} = -400 \text{ } \mu\text{A}$
Vysoká úroveň výstupov pripojenia periférii	$U_{OH(P)}$	V	2,4			$I_{OH} = -200 \text{ } \mu\text{A}$
Prúd výstupov pripojenia periférii pre prúdové budenie	$I_{OH(P)}$	mA	-1,0		-4,0	<sup>1)</sup> <sup>2)</sup>
Prúdový odber zo zdroja napájacieho napätia	$I_{CC}$	mA		65	120	$U_I = 0 \div U_{CC}$
Zvodový prúd vstupov	$I_{IL}$	$\mu\text{A}$			$\pm 10$	$U_O = 0 \div U_{CC}$
Zvodový prúd výstupov v neaktívnom stave	$I_{OL}$	$\mu\text{A}$			$\pm 10$	

<sup>1)</sup> Platí pre privody kanálov PB, PC.

<sup>2)</sup> Zapojenie pri meraní:


**Hodnoty kapacít**

$$U_{CC} = U_{CC} = 0 \text{ V}; T_a = +25 \text{ }^\circ\text{C}$$

Parameter	Označ.	Jedn.	Hodnota		Poznámky
			min.	max.	
Vstupné kapacity A0, A1, $\overline{CS}$ , $\overline{RD}$ , $\overline{WR}$ a RESET	$C_1$	pF	6	10	$f_S = 1 \text{ MHz}$
Kapacita privodov PA0–PA7, PB0–PB7, PC0–PC7 a D0–D7	$C_{I/O}$	pF	10	20	Nemerané privody sú pripojené na $U_{SS}$

**Menovité hodnoty dynamické**

$U_{SS} = 0 \text{ V}; U_{CC} = 4,75 \div 5,25 \text{ V}; T_a = +25 \text{ }^\circ\text{C}$

Parameter	Označ.	Jedn.	Hodnota		Poznámky
			min.	max.	
Predstih adres pred $\overline{RD}$	$t_{AR}$	ns	0		
Presah adres cez $\overline{RD}$	$t_{RA}$	ns	0		
Trvanie impulzu $\overline{RD}$	$t_{RR}$	ns	300		
Predstih vstupu údajov z perifériei pred $\overline{RD}$	$t_{IR}$	ns	0		
Presah vstupu údajov z perifériei cez $\overline{RD}$	$t_{HR}$	ns	0		
Oneskorenie údajov na zbernici od $\overline{RD}$	$t_{RD}$	ns		250	1) 4)
Presah údajov na zbernici cez $\overline{RD}$	$t_{DF}$	ns	10	150	
Predstih adres pred $\overline{WR}$	$t_{AW}$	ns	0		
Presah adres cez $\overline{WR}$	$t_{WA}$	ns	20		
Trvanie impulzu $\overline{WR}$	$t_{WW}$	ns	400		
Predstih údajov na zbernici pred tylom $\overline{WR}$	$t_{DW}$	ns	100		
Presah údajov na zbernici cez $\overline{WR}$	$t_{WD}$	ns	30		
Oneskorenie výstupu údajov na perifériei od tyla $\overline{WR}$	$t_{WB}$	ns		350	1) 5)
Trvanie impulzu $\overline{ACK}$	$t_{AK}$	ns	300		
Trvanie impulzu $\overline{STB}$	$t_{ST}$	ns	500		
Predstih vstupu údajov z perifériei pred tylom $\overline{STB}$	$t_{PS}$	ns	0		
Predstih vstupu údajov z perifériei za tylom $\overline{STB}$	$t_{PH}$	ns	180		
Oneskorenie výstupu údajov na perifériei od $\overline{ACK}$	$t_{AD}$	ns	300		2)
Presah výstupu údajov na perifériei cez $\overline{ACK}$	$t_{KD}$	ns	20	250	2)
Doba medzi dvoma operáciami	$t_{RW}$	ns	850		3)
Oneskorenie $\overline{OBF}$ od tyla $\overline{WR}$	$t_{WOR}$	ns		650	1) 7)
Oneskorenie ukončenia $\overline{OBF}$ od $\overline{ACK}$	$t_{AOB}$	ns		350	1) 5)
Oneskorenie $\overline{IBF}$ od $\overline{STB}$	$t_{SB}$	ns		300	1) 5)
Oneskorenie ukončenia $\overline{IBF}$ od tyla $\overline{RD}$	$t_{RIB}$	ns		300	1) 5)
Oneskorenie $\overline{INTR}$ od tyla $\overline{STB}$	$t_{BIT}$	ns		300	1) 5)
Oneskorenie $\overline{INTR}$ od tyla $\overline{ACK}$	$t_{AIT}$	ns		350	1) 5)
Oneskorenie ukončenia $\overline{INTR}$ od $\overline{RD}$	$t_{RIT}$	ns		400	1) 5)
Oneskorenie ukončenia $\overline{INTR}$ od $\overline{WR}$	$t_{WIT}$	ns		850	1) 7)

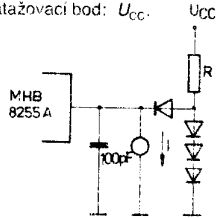
1) Zatažovací bod:  $U_{CC}$ .

2) Platí pre režim 2.

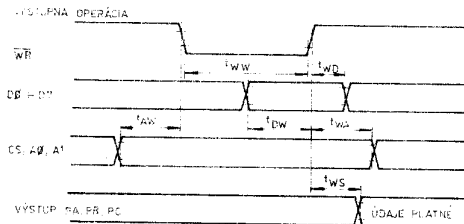
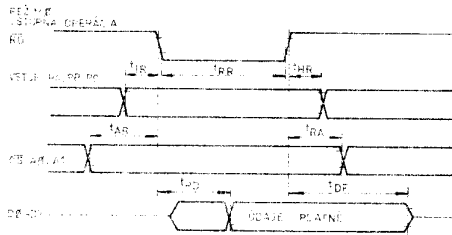
4)  $R = 1,5 \text{ k}\Omega; I = 400 \mu\text{A}$ .

3) Na údajovej zbernici.

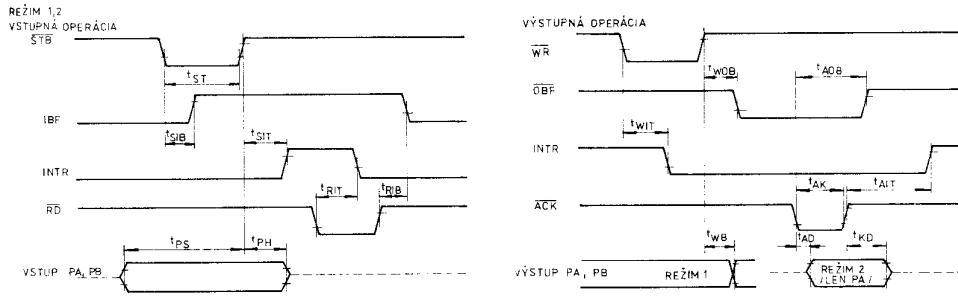
5)  $R = 2,2 \text{ k}\Omega; I = 200 \mu\text{A}$ .



**Časové priebehy:**

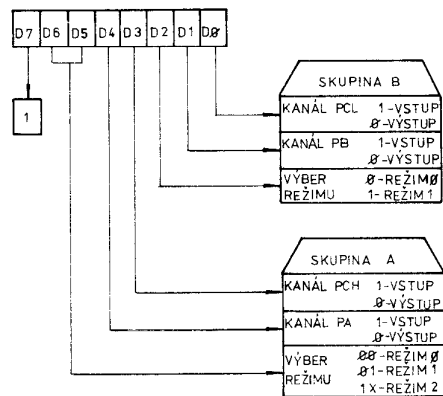


**Časové priebehy:**

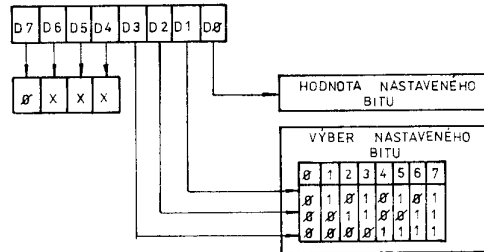


Poznámky: 1) Rozhodovacie úrovne:  $U_{IL} = U_{OL} = 0,8 \text{ V}$ ;  $U_{IH} = U_{OH} = 2,0 \text{ V}$ .  
 2) V režime 2 je dovolený každý priebeh, kde  $\overline{WR}$  sa vyskytuje pred  $\overline{ACK}$  a  $\overline{STB}$  pred  $\overline{RD}$ .  
 ( $\text{INTR} = \text{IBF} \cdot \overline{\text{STB}} \cdot \overline{\text{RD}} \cdot \text{MASK} + \overline{\text{OBF}} \cdot \overline{\text{ACK}} \cdot \overline{\text{WR}} \cdot \text{MASK}$ ).

**Programovanie funkcie jednotlivých kanálov (D7 = 1):**



**Nastavenie kanálu PC po jednotlivých bitoch (D7 = 0):**



**Priradenie a význam signálov riadiaceho/stavového kanálu v režime A1 a 2**

Režim	Kanál PB			Kanál PA				Operácia	
	PC0	PC1	PC2	PC3	PC4	PC5	PC6		PC7
1	INTR	$\overline{\text{IBF}}$	$\overline{\text{STB}}$	INTR	$\overline{\text{STB}}$	$\overline{\text{IBF}}$	voľný		vstup
	INTR	$\overline{\text{OBF}}$	$\overline{\text{ACK}}$	INTR	voľný		$\overline{\text{ACK}}$	$\overline{\text{OBF}}$	výstup
2				INTR	$\overline{\text{STB}}$	$\overline{\text{IBR}}$	$\overline{\text{ACK}}$	$\overline{\text{OBF}}$	vstup/výstup

Poznámky: 1) Klopňé obvody INTE sú riadené v režime nastavenia kanálu PC na jednotlivých bitoch pomocou bitu pre  $\overline{STB}$  (pri vstupnej prevádzke) a  $\overline{ACK}$  (pri výstupnej prevádzke). Pri čítaní stavu kanálu PC v bitoch pre  $\overline{STB}$  a  $\overline{ACK}$  sú informácie o stave klopňých obvodov INTE.

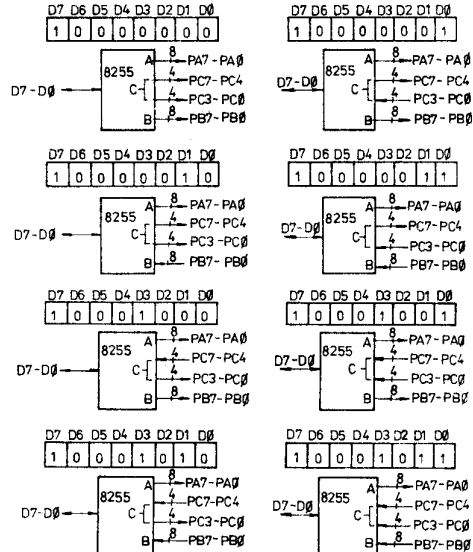
Kanál B	Kanál A	
	vstup	výstup
PC2	PC4	PC6

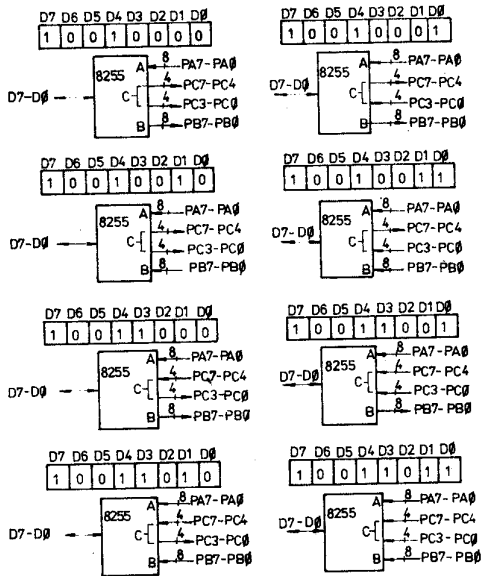
2) Volné privody kanálu PC, t. j.

- PC6, PC7 pri vstupnej operácii kanálu PA a v režime 1,
- PC4, PC5 pri výstupnej operácii kanálu PA a v režime 1,
- PC0, PC1, PC2 pri súčasnom naprogramovaní kanálu PA do režimu 1 alebo 2 a kanálu PB do režimu 0, možno naprogramovať ako vstupy alebo výstupy pomocou D3, resp. D0 riadiaceho slova alebo výstupy v režime nastavenia po jednotlivých bitoch.

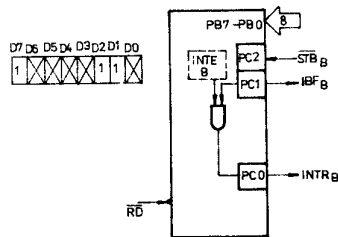
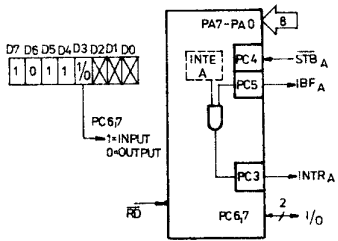
Názov	Funkcia
INTR	Výstup požiadavky na prerušenie. Pri vstupnej operácii je nastavený tylovou hranou $\overline{STB}$ ( $IBF = 1$ ) a nulovaný čelnou hranou $\overline{RD}$ . Pri výstupnej operácii je nastavený tylovou hranou $\overline{ACK}$ ( $\overline{OBF} = 1$ ) a nulovaný čelnou hranou $\overline{WR}$ . Vnútrotný klopňý obvod INTE musí byť v stave 1.
INTE	Vnútrotný klopňý obvod pre prerušenie. Obvod akceptuje požiadavku na prerušenie pri $INTE = 1$ . Klopňý obvod INTE je možné riadiť v režime nastavenia kanálu PC po jednotlivých bitoch a je vynulovaný signálom RESET a pri zmene režimu činnosti.
$\overline{STB}$	Vstup pre uloženie dát do vstupného registra pri vstupnej operácii.
$\overline{IBF}$	Výstup klopňého obvodu indikujúceho naplnenie vstupného registra pri vstupnej operácii.
$\overline{OBF}$	Výstup klopňého obvodu indikujúceho naplnenie výstupného registra procesora pri výstupnej operácii.
$\overline{ACK}$	Vstup pre potvrdenie prenosu údajov z obvodu do výst. zariadenia.

Režim 0:

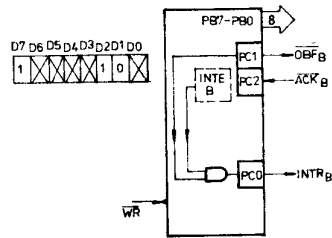
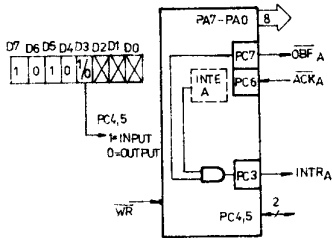




**Režim 1 Vstup:**



**Režim 1 Výstup:**



**Režim 2:**

